

SNx5LBC182 差動バス・トランシーバ

1 特長

- 1/4 ユニット負荷により、バス上に最大 128 個のデバイスを搭載可能
- ANSI 規格 TIA/EIA-485-A と ISO 8482:1987(E) の要件を満たす、または上回る性能
- 制御されたドライバの出力電圧のスルーレートにより、より長いケーブル・スタブ長を実現
- 信号速度用に設計
 - ラインの信号速度とは 1 秒間の電圧遷移回数であり、bps (Bits Per Second) 単位で表され、最大 250kbps である
- 無効になる消費電流が小さい: 250 μ A 以下
- サーマル・シャットダウン保護
- 開路フェイルセーフ・レシーバ設計
- レシーバ入力ヒステリシス: 70mV (標準値)
- グリッチ・フリーのパワーアップ / パワーダウン保護機能

2 アプリケーション

- ユーティリティ・メーター
- 産業用プロセス制御
- ビル・オートメーション

3 概要

SN65LBC182 および SN75LBC182 は、SN75176 の業界標準のフットプリントで、高レベルの ESD 保護を備えた差動データ・ライン・トランシーバです。これらの製品は平衡伝送ラインを想定して設計されており、ANSI 規格の TIA/EIA-485-A および ISO 8482 の要件に適合しています。SN65LBC182 および SN75LBC182 は、3 ステート差動ライン・ドライバと差動入力ライン・レシーバを統合しており、どちらも 5V 単一電源で動作します。ドライバとレシーバはそれぞれアクティブ High、アクティブ Low のイネーブルを備えており、それらのイネーブルを外部で互いに接続することで、方向制御として機能させることができます。

ドライバ出力とレシーバ入力とは内部で接続され、差動出力 (I/O) バス・ポートを形成し、バスへの負荷を最小限に抑えるように設計されています。このポートは広い同相電圧範囲で動作するため、パーティライン・アプリケーションに適しています。また、このデバイスには、産業用プロセス制御や電力インバータなど、電気的ノイズの多い環境でのアプリケーションにおけるパーティライン・データ・バス用の追加機能も含まれています。

また、SN75LBC182 および SN65LBC182 のバス・ピンは、1/4 単位負荷に相当する高い入力抵抗を示し、最大 128 個の同様のデバイスをバスに接続することができます。高い ESD 耐性により、ケーブル接続のデバイスを保護します。(さらに高いレベルの保護機能については、SN65/75LBC184 (文献番号 SLLS236) を参照してください。)

差動ドライバの設計には、最大 250kbps のデータを送信するのに十分なスルーレート制御された出力が組み込まれています。スルーレート制御により、制御されていない電圧遷移で可能な長さより、未終端のケーブル配線を長くし、メイン・バックボーンからのスタブ長を長くすることができます。このレシーバ設計は、入力がフローティング (開回路) のままになっている場合、ハイレベルのフェイルセーフ出力を供給します。ドライバとレシーバをディセーブルすると、デバイスの消費電流を非常に小さくできます。

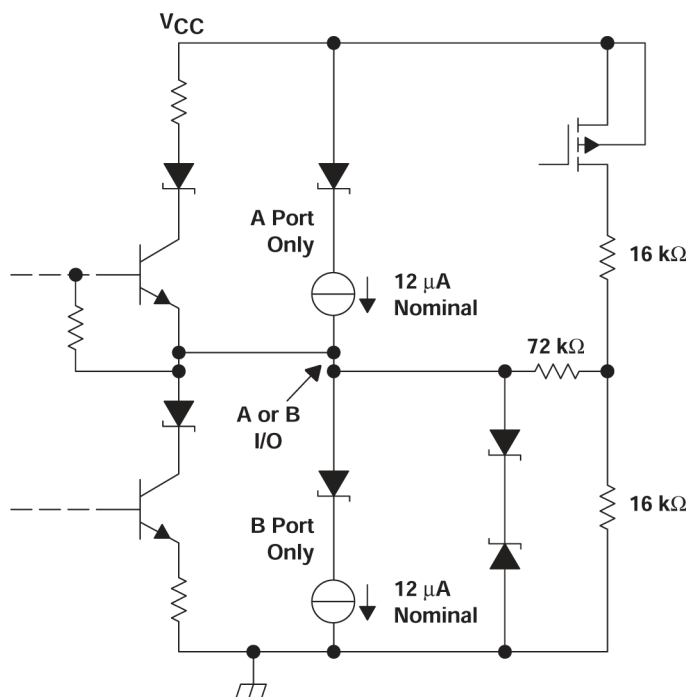
SN65LBC182 は -40°C ~ 85°C、SN75LBC182 は 0°C ~ 70°C で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN65LBC182、 SN75LBC182	P (PDIP, 8)	9.81mm × 9.43mm
	D (SOIC, 8)	4.9mm × 6mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



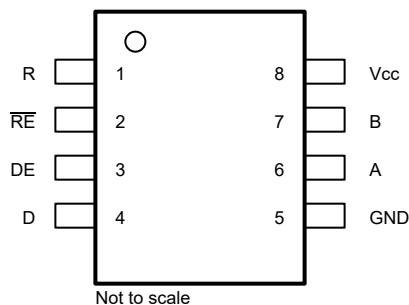


入力と出力の回路図

Table of Contents

1 特長	1	6 Parameter Measurement Information	9
2 アプリケーション	1	7 Detailed Description	12
3 概要	1	7.1 Functional Block Diagram.....	12
4 Pin Configuration and Functions	4	7.2 Device Functional Modes.....	12
5 Specifications	5	8 Application and Implementation	13
5.1 Absolute Maximum Ratings	5	8.1 Application Information.....	13
5.2 ESD Ratings.....	5	9 Device and Documentation Support	14
5.3 Dissipation Rating.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	14
5.4 Recommended Operating Conditions.....	5	9.2 サポート・リソース.....	14
5.5 Thermal Information.....	6	9.3 Trademarks.....	14
5.6 Driver Electrical Characteristics.....	6	9.4 静電気放電に関する注意事項.....	14
5.7 Receiver Electrical Characteristics.....	6	9.5 用語集.....	14
5.8 Driver Switching Characteristics.....	7	10 Revision History	14
5.9 Receiver Switching Characteristics.....	7	11 Mechanical, Packaging, and Orderable Information	14
5.10 Typical Characteristics.....	8		

4 Pin Configuration and Functions



**図 4-1. P (PDIP) or D (SOIC) Package
(Top View)**

表 4-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
R	1	O	Receiver Output
RE	2	I	Active Low Receiver Enable Input
DE	3	I	Active High Driver Enable Input
D	4	I	Driver Input
GND	5	GND	Device GND
A	6	I/O	Non-Inverting Differential Bus I/O
B	7	I/O	Inverting Differential Bus I/O
V _{CC}	8	PWR	Device VCC (4.75V to 5.25V)

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range unless otherwise noted⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage range, (see ⁽²⁾)	–0.5	7	V
(A or B)	Voltage range at any bus terminal	–15	15	V
V _I (D, DE, R or RE)	Input voltage	–0.3	7	V
I _O	Receiver output current		±20	mA
	Continuous total power dissipation	See <i>Dissipation Rating</i> table		

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential I/O bus voltages, are with respect to network ground terminal.

5.2 ESD Ratings

				VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	A, B, GND	±15	kV
			All pins	±3	
		IEC 61000-4-2 contact discharge	A, B, GND	±8	kV
		IEC 61000-4-2 Air-gap discharge	A, B, GND	±15	kV

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

5.3 Dissipation Rating

PACKAGE ⁽²⁾	T _A ≤ 25°C POWER RATING	DERATING FACTOR ⁽¹⁾ ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
D	725 mW	5.8 mW/°C	464 mW	377 mW
P	1150 mW	9.2 mW/°C	736 mW	598 mW

- (1) This is the inverse of the junction-to-ambient thermal resistance when board-mounted and with no air flow.
- (2) The maximum operating junction temperature is internally limited. Use the dissipation rating table to operate below this temperature

5.4 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
Voltage at any bus I/O terminal (separately or common mode) V _I or V _{IC}		−7		12	V
High-level input voltage, V _{IH}	D, DE, RE	2		0.8	V
Low-level input voltage, V _{IL}					
Differential input voltage, V _{ID} (see ⁽¹⁾)		−12		12	V
Output current, I _O	Driver	−60		60	mA
	Receiver	−8		4	
Operating free-air temperature, T _A	SN65LBC182	−40		85	°C
	SN75LBC182	0		70	

- (1) Differential input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

5.5 Thermal Information

THERMAL METRIC ⁽¹⁾		D (SOIC)	P (PDIP)	UNIT
		8-PINS		
R _{θJA}	Junction-to-ambient thermal resistance	116.7	84.3	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	56.3	65.4	°C/W
R _{θJB}	Junction-to-board thermal resistance	63.4	62.1	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	8.8	31.3	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	62.6	60.4	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.6 Driver Electrical Characteristics

over recommended operating conditions

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IK}	Input clamp voltage	$I_I = -18 \text{ mA}$		-1.5			V
V_O	Output voltage	$I_O = 0$		0		V_{CC}	V
$ V_{OD} $	Differential output voltage	$R_L = 54 \Omega$,	See Figure 6-1	1.5	2.2	V_{CC}	V
		$V_{test} = -7 \text{ V to } 12 \text{ V}$,	See Figure 6-2	1.5	2.2	V_{CC}	V
ΔV_{OD}	Change in magnitude of differential output voltage	See Figure 6-1		-0.2		0.2	V
$V_{OC(SS)}$	Steady-state common-mode output voltage			1		3	
$\Delta V_{OC(SS)}$	Change in steady-state common-mode output voltage	See Figure 6-1 and Figure 6-4		-0.2		0.2	
$V_{OC(PP)}$	Peak-to-peak change in common-mode output voltage during state transitions				0.8		V
I_{OZ}	High-impedance output current	See receiver input currents					
I_{IH}	High-level input current (D, DE)	$V_I = 2.4 \text{ V}$				50	μA
I_{IL}	Low-level input current (D, DE)	$V_I = 0.4 \text{ V}$		-50			μA
I_{OS}	Short-circuit output current	$V_O = -7 \text{ V to } 12 \text{ V}$		-250		250	mA
I_{CC}	Supply current	SN75LBC182	No load, DE at V_{CC} , RE at V CC		12	25	mA
		SN65LBC182			12	30	

(1) All typical values are at $V_{CC} = 5 \text{ V}$ and $T_A = 25^\circ\text{C}$.

5.7 Receiver Electrical Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage					0.2	V
V_{IT-}	Negative-going input threshold voltage			-0.2			
V_{hys}	Hysteresis voltage ($V_{IT+} - V_{IT-}$)				70		mV
V_{IK}	Enable-input clamp voltage	$I_I = -18 \text{ mA}$		-1.5			V
V_{OH}	High-level output voltage	$V_{ID} = 200 \text{ mV}$, $I_O = -8 \text{ mA}$,	See Figure 6-7		2.8		V
V_{OL}	Low-level output voltage	$V_{ID} = 200 \text{ mV}$, $I_O = 4 \text{ mA}$,	See Figure 6-7			0.4	V

5.7 Receiver Electrical Characteristics (続き)

over recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
I _{OZ} High-impedance-state output current	V _O = 0.4 to 2.4 V			±1	μA
I _I Bus input current	V _{IH} = 12 V, V _{CC} = 5 V			250	μA
	V _{IH} = 12 V, V _{CC} = 0 V			250	
	V _{IH} = -7 V, V _{CC} = 5 V			-200	
	V _{IH} = -7 V, V _{CC} = 0 V			-200	
I _{IH} High-level input current (RE)	V _{IH} = 2 V			50	μA
I _{IL} Low-level input current (RE)	V _{IL} = 0.8 V			-50	μA
I _{CC} Supply current	No load	DE at 0 V, RE at 0 V		3.5	mA
		DE at 0 V, RE at V _{CC}		175 250	μA

(1) All typical values are at V_{CC} = 5 V and T_A = 25°C.

5.8 Driver Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _r Differential output signal rise time	R _L = 54 Ω, See 6-3 C _L = 50 pF,	0.25	0.72	1.2	μs
t _f Differential output signal fall time		0.25	0.73	1.2	
t _{PLH} Propagation delay time, low-to-high-level output				1.3	
t _{PHL} Propagation delay time, high-to-low-level output				1.3	
t _{sk(p)} Pulse skew (t _{PHL} - t _{PLH})			0.075	0.15	
t _{PZH} Output enable time to high level	R _L = 110 Ω, See 6-5			3.5	μs
t _{PHZ} Output disable time from high level				3.5	
t _{PZL} Output enable time to low level	R _L = 110 Ω, See 6-6			3.5	μs
t _{PLZ} Output disable time from low level				3.5	

5.9 Receiver Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _r Differential output signal rise time	C _L = 50 pF, See 6-7		20		ns
t _f Differential output signal fall time			20		
t _{PLH} Propagation delay time, low-to-high-level output				150	
t _{PHL} Propagation delay time, high-to-low-level output				150	
t _{PZH} Output enable time to high level	See 6-8			100	ns
t _{PZL} Output enable time to low level				100	
t _{PHZ} Output disable time from high level				100	ns
t _{PLZ} Output disable time from low level				100	
t _{sk(p)} Pulse skew t _{PHL} - t _{PLH}				50	ns

5.10 Typical Characteristics

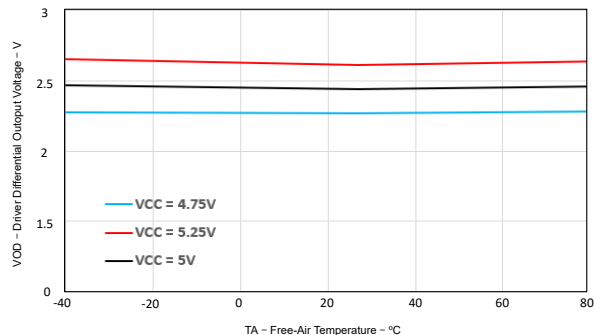


图 5-1. Driver Differential Output Voltage vs Temperature

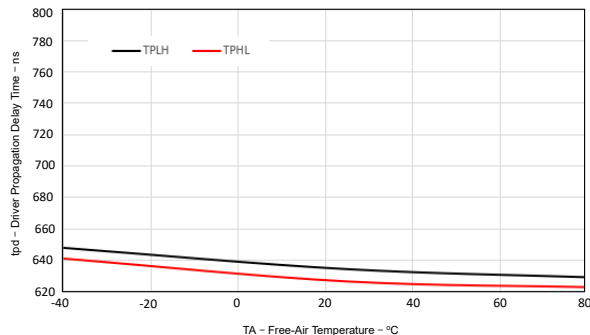


图 5-2. Driver Propagation Delay Time vs Temperature

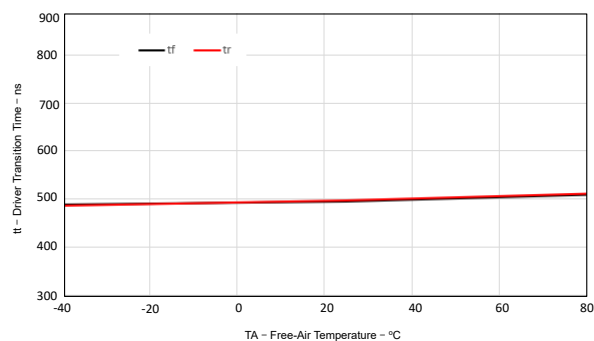


图 5-3. Driver Transition Time vs Temperature

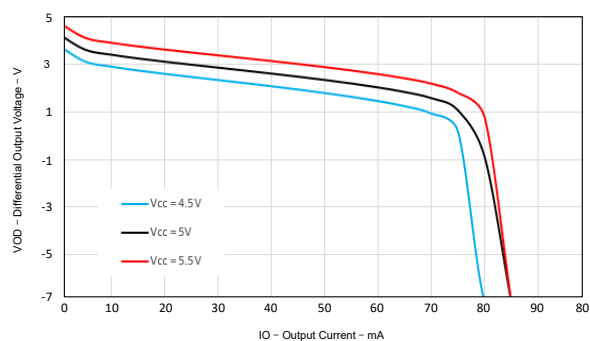


图 5-4. Differential Output Voltage vs Output Current

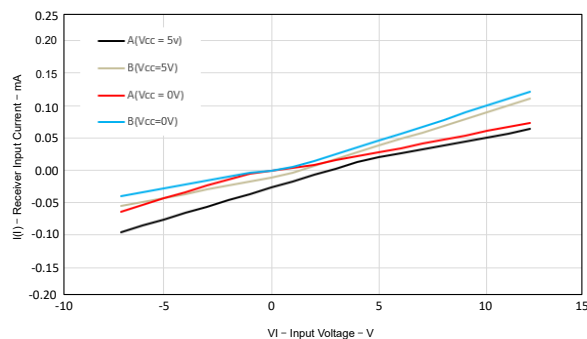
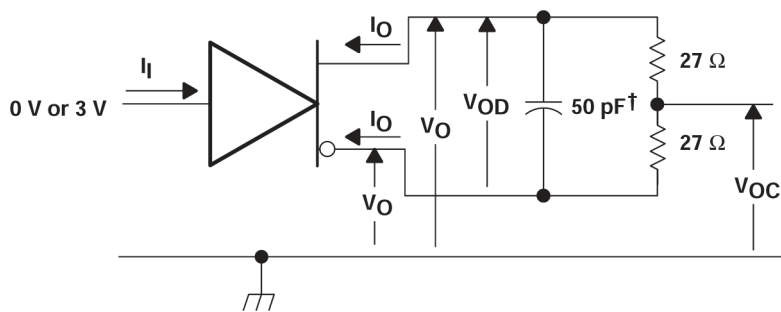


图 5-5. Receiver Input Current vs Input Voltage

6 Parameter Measurement Information



A. Includes probe and jig capacitance

図 6-1. Driver Test Circuit, v_{OD} And v_{OC} Without Common-Mode Loading

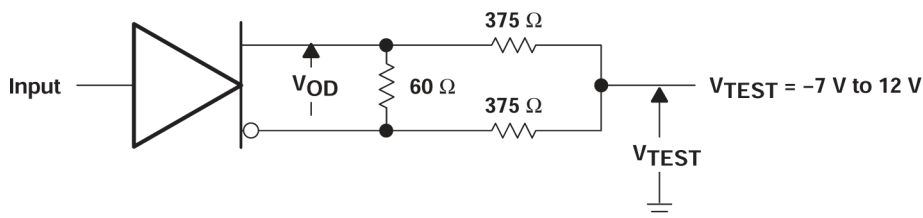
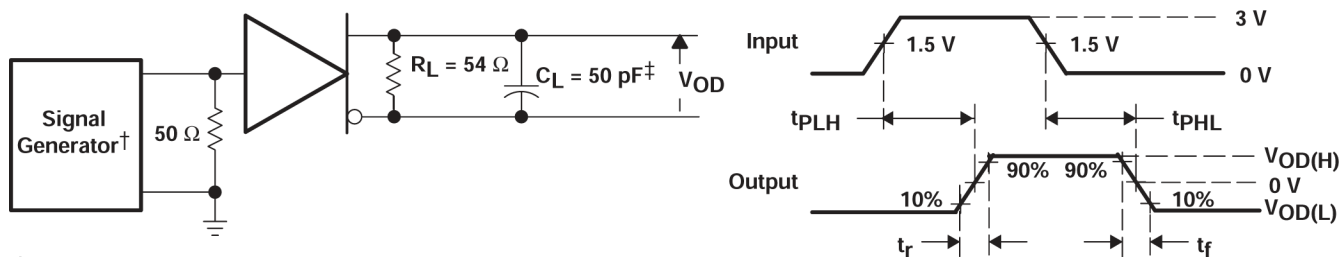


図 6-2. Driver Test Circuit, v_{OD} With Common-Mode Loading



- A. PRR = 1 MHz, 50% duty cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_o = 50 \Omega$
B. Includes probe and jig capacitance

図 6-3. Driver Switching Test Circuit and Waveforms

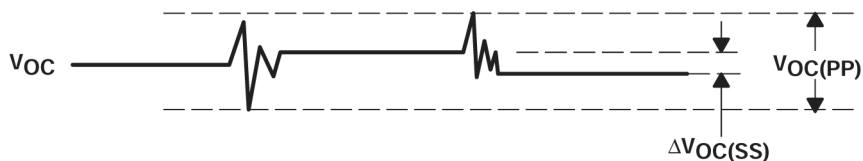
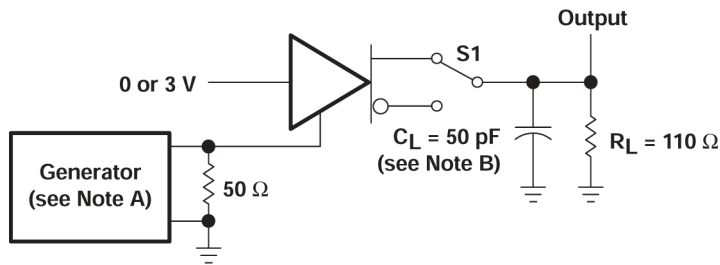
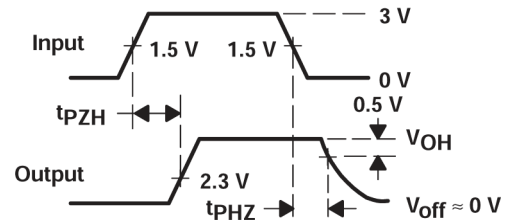


図 6-4. v_{OC} Definitions



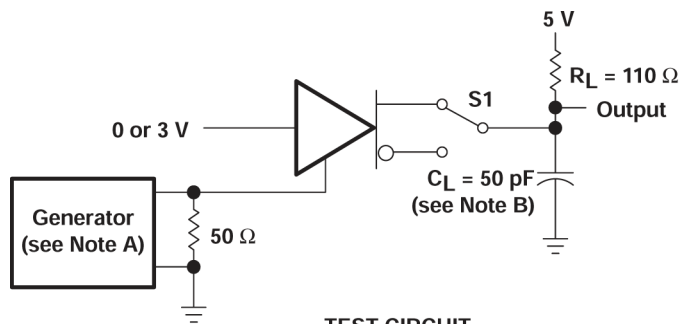
TEST CIRCUIT



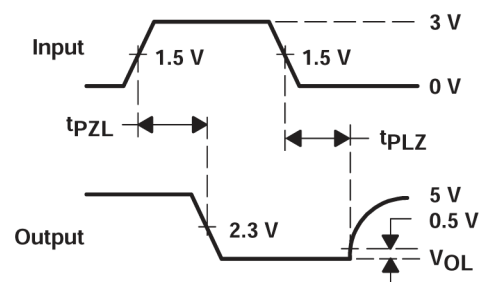
VOLTAGE WAVEFORMS

- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1.25 kHz, 50% duty cycle, $t_r \leq 10$ ns, $t_f \leq 10$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and jig capacitance.

图 6-5. Driver T_{PZH} And T_{PHZ} Test Circuit and Voltage Waveforms



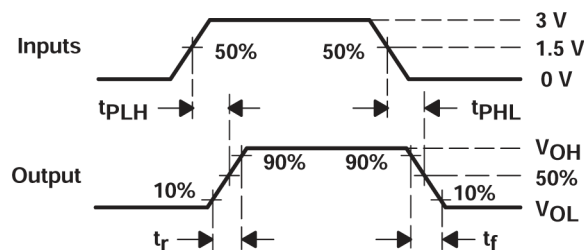
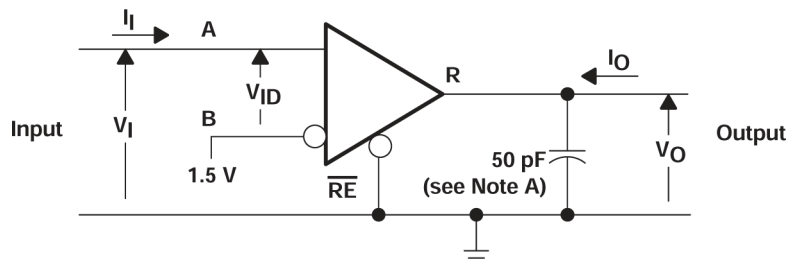
TEST CIRCUIT



VOLTAGE WAVEFORMS

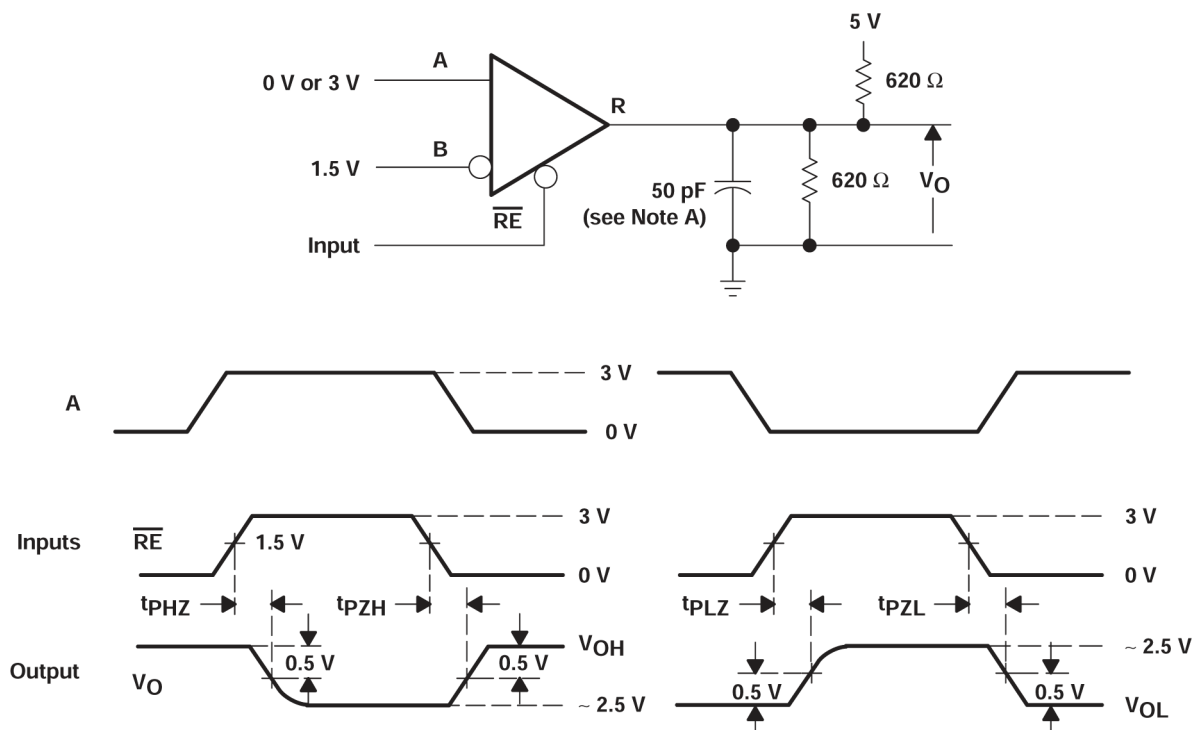
- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1.25 kHz, 50% duty cycle, $t_r \leq 10$ ns, $t_f \leq 10$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and jig capacitance.

图 6-6. Driver T_{PZL} And T_{PLZ} Test Circuit and Voltage Waveforms



- A. This value includes probe and jig capacitance ($\pm 10\%$).

图 6-7. Receiver T_{PLH} And T_{PHL} Test Circuit and Voltage Waveforms

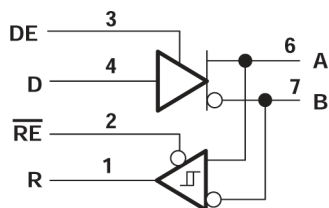


A. This value includes probe and jig capacitance ($\pm 10\%$).

6-8. Receiver T_{PZL} , T_{PLZ} , T_{PZH} , And T_{PHZ} Test Circuit and Voltage Waveforms

7 Detailed Description

7.1 Functional Block Diagram



7.2 Device Functional Modes

表 7-1. Function Tables Driver

INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z
Open	H	H	L

表 7-2. Function Tables Receiver

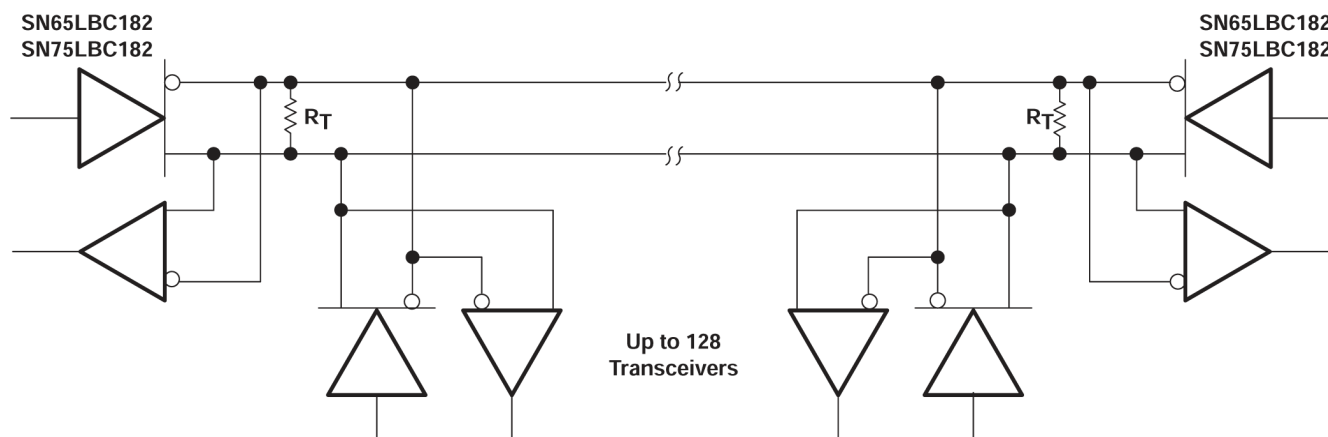
DIFFERENTIAL INPUTS	ENABLE RE	OUTPUT R
$V_{ID} \geq 0.2 \text{ V}$	L	H
$-0.2 \text{ V} < V_{ID} < 0.2 \text{ V}$	L	?
$V_{ID} \leq -0.2 \text{ V}$	L	L
X	H	Z
Open	L	H

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information



- A. The line should be terminated at both ends in its characteristic impedance ($R_T = Z_0$). Stub lengths off the main line should be kept as short as possible.

図 8-1. Typical Application Circuit

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.3 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2005) to Revision B (October 2023)

Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を変更..... 1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC182D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	6LB182
SN65LBC182DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	6LB182
SN65LBC182DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	6LB182
SN65LBC182DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	6LB182
SN65LBC182P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC182
SN65LBC182P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC182
SN75LBC182D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	7LB182
SN75LBC182DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	7LB182
SN75LBC182DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	7LB182
SN75LBC182P	Obsolete	Production	PDIP (P) 8	-	-	Call TI	Call TI	0 to 70	75LBC182

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

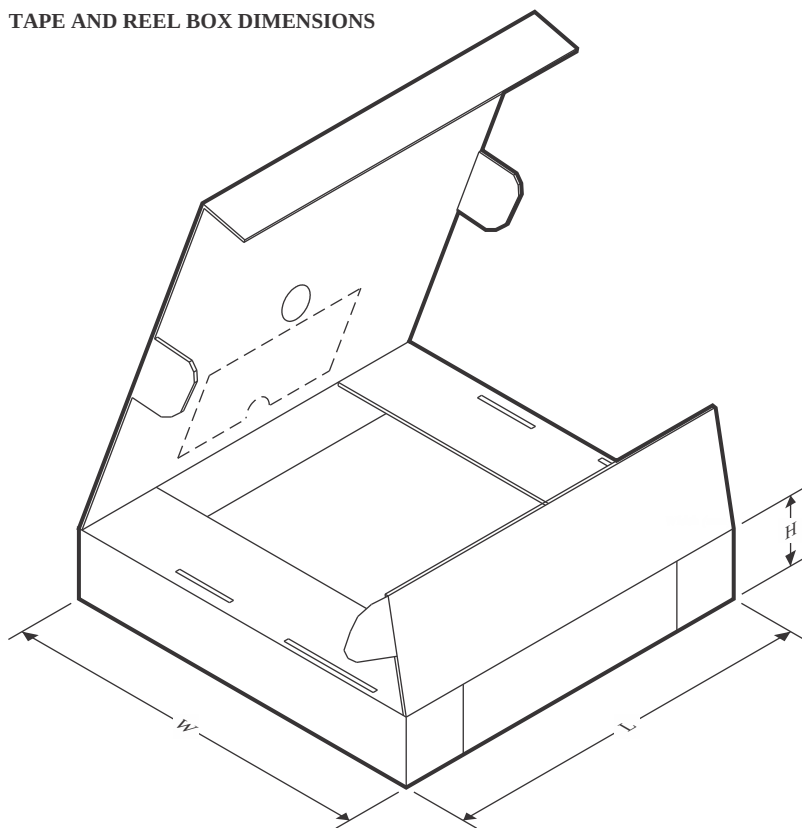
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC182DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LBC182DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75LBC182DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75LBC182DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

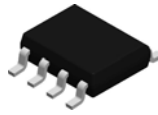
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC182DR	SOIC	D	8	2500	353.0	353.0	32.0
SN65LBC182DR	SOIC	D	8	2500	340.5	336.1	25.0
SN75LBC182DR	SOIC	D	8	2500	340.5	336.1	25.0
SN75LBC182DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC182P	P	PDIP	8	50	506	13.97	11230	4.32
SN65LBC182P.A	P	PDIP	8	50	506	13.97	11230	4.32

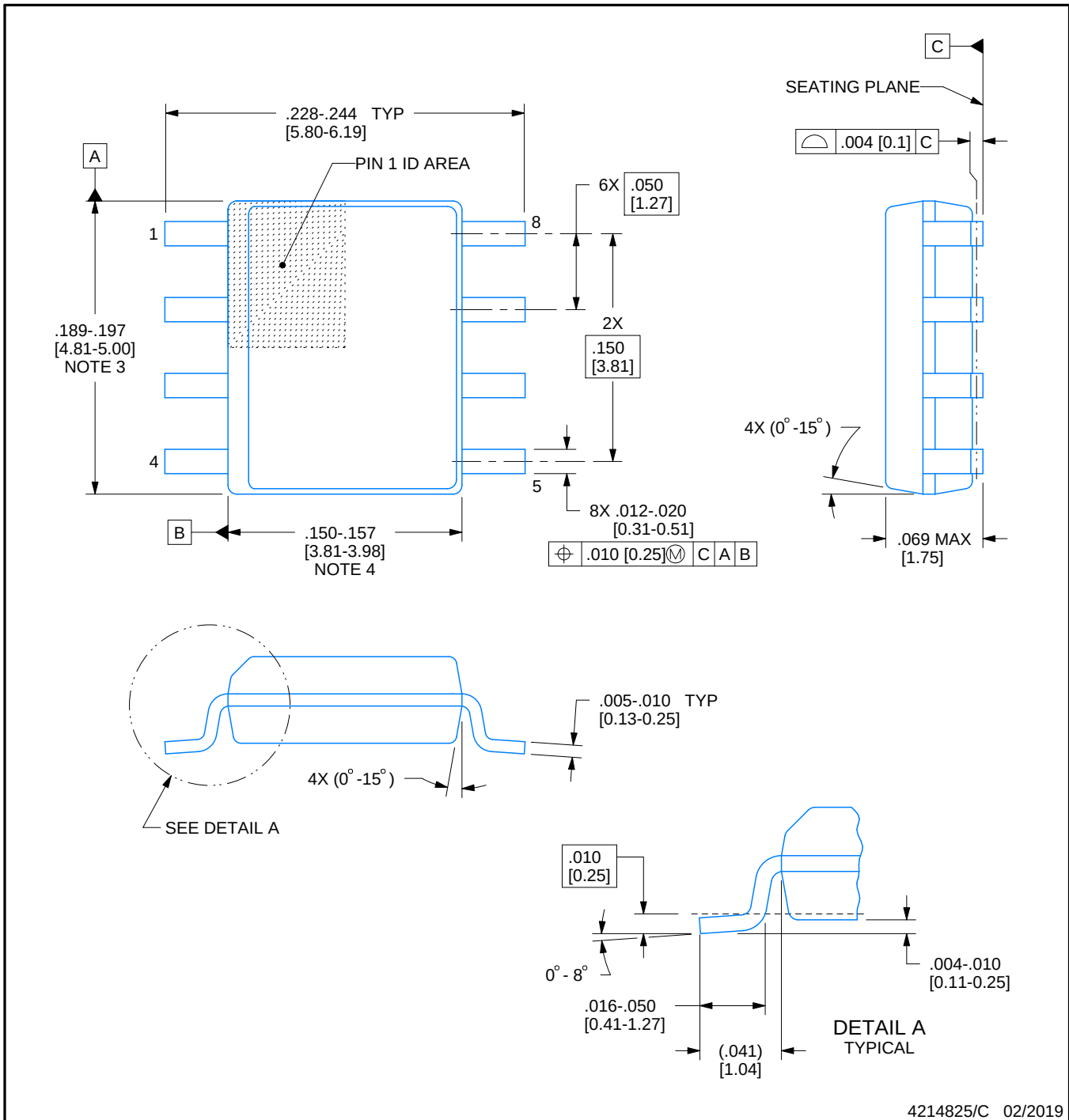


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

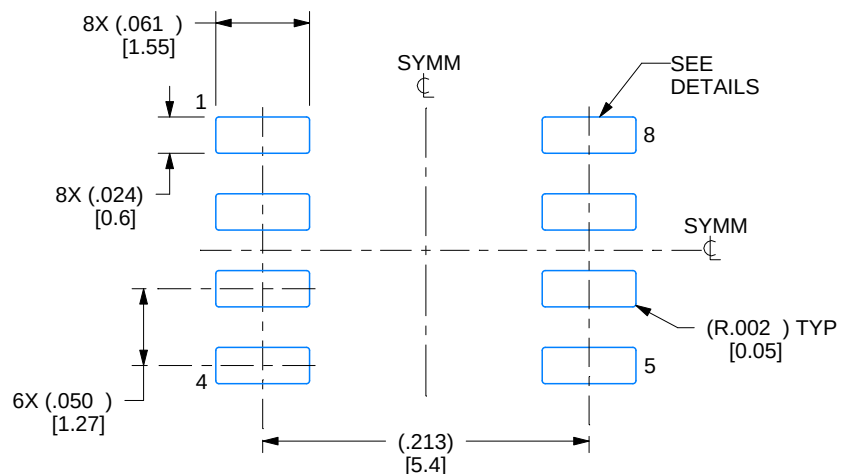
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

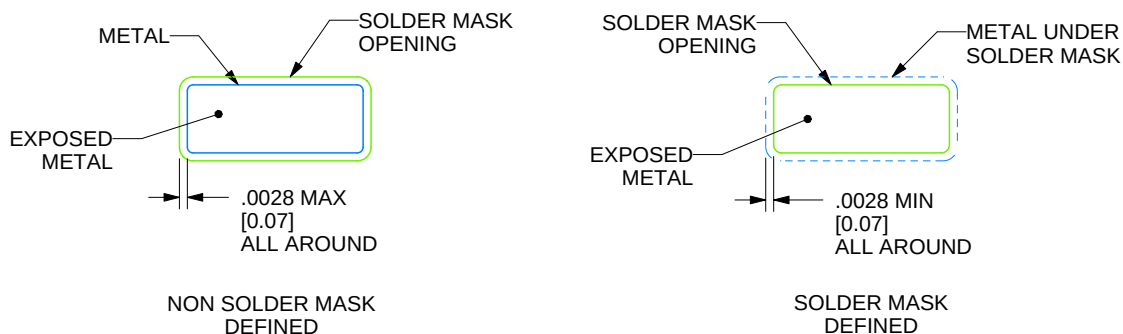
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

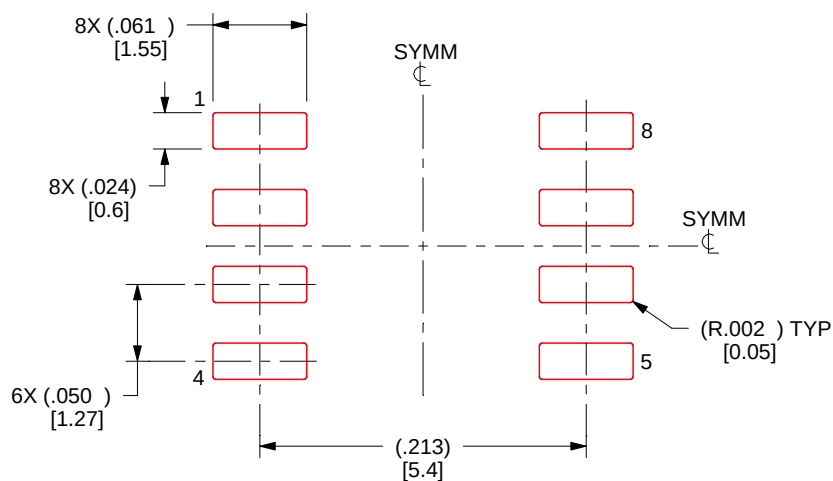
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

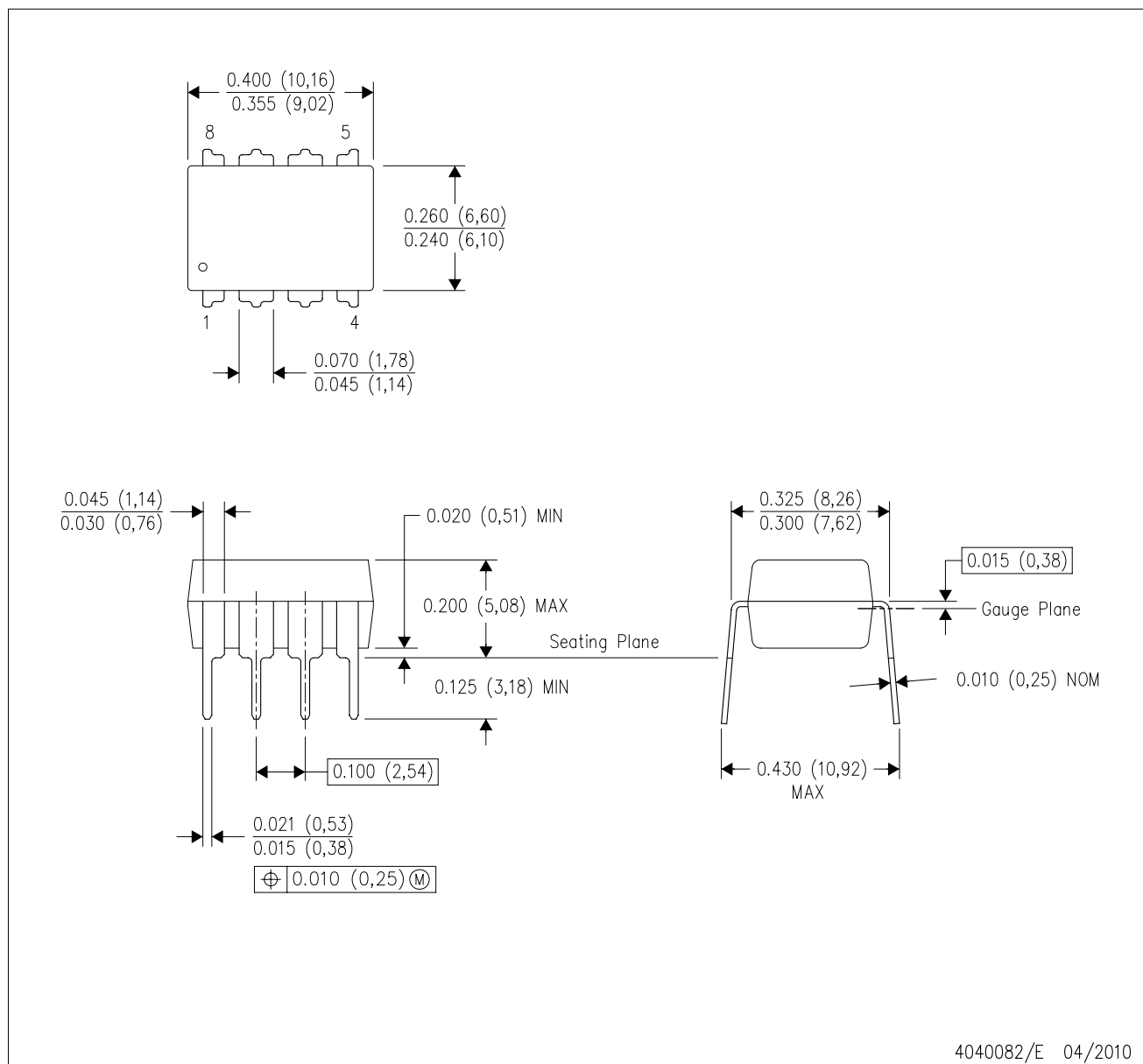
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月