

IEC ESD 保護機能搭載 SN65MLVD204B マルチポイント LVDS ライン ドライバ / レシーバ (トランシーバ)

1 特長

- マルチポイント データ交換について M-LVDS 標準 TIA/EIA-899 に互換
- 低電圧の差動 30Ω~55Ω ラインドライバおよびレシーバにより最高 100Mbps までの信号速度⁽¹⁾に対応、最高 50MHz のクロック周波数
 - Type-2 レシーバは、断線およびアイドル バス条件を検出するためのオフセット スレッショルドを提供
- バス I/O 保護
 - >±8kV HBM
 - >±8kV IEC 61000-4-2 接触放電
- ドライバ出力電圧の遷移時間制御による信号品質の向上
- 1V~3.4V の同相電圧範囲により、2V のグラウンド ノイズでデータ転送が可能
- ディセーブル時または $V_{CC} \leq 1.5V$ 時にバス ピンが高インピーダンス
- 200Mbps デバイスが利用可能 (SN65MLVD206B)¹
- SN65MLVD204A の改良された代替品

2 アプリケーション

- 低消費電力、高速、そして短距離での TIA/EIA-485 の代替
- バックプレーンまたはケーブルによるマルチポイント データおよびクロック転送
- 携帯電話の基地局
- 基地局用スイッチ
- ネットワーク スイッチおよびルータ

3 説明

SN65MLVD204B デバイスは、最高 100Mbps の信号速度で動作するように最適化されたマルチポイント低電圧差

動 (M-LVDS) ラインドライバおよびレシーバです。このデバイス ファミリーは、標準の SOIC および QFN フットプリントに堅牢な 3.3V ドライバおよびレシーバを搭載しており、要求の厳しい産業用アプリケーション向きです。バスのピンは ESD イベントに対して強化されており、人体モデルおよび IEC 接触放電仕様について高いレベルの保護を実現しています。

SN65MLVD204B は、差動ドライバと差動レシーバ (トランシーバ) を組み合わせた製品であり、3.3V の単一電源で動作します。このトランシーバは最高 100Mbps の信号速度で動作するように最適化されています。

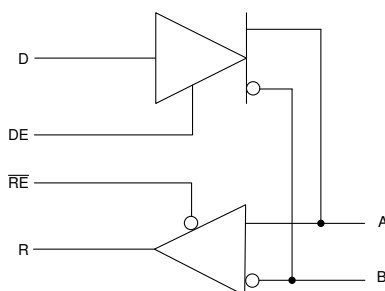
SN65MLVD204B は類似のデバイスよりも機能拡張されています。改良部分として、ドライバ出力のスルー レート制御により無終端スタブからの反射を最小化し、シグナルインテグリティ (信号品質) を強化する機能が挙げられます。フットプリントの定義は同じであるため、簡単なドロップイン交換によりシステム性能のアップグレードが可能です。これらのデバイスは、-40°C~85°Cでの動作が規定されています。

SN65MLVD204B M-LVDS トランシーバは、テキサス・インスツルメンツの幅広い M-LVDS ポートフォリオの一部です。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
SN65MLVD204B	SOIC (8)	4.90mm × 3.91mm
SN65MLVD204B	WQFN (16)	4.0mm × 4.0mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図、SN65MLVD204B

¹ ラインの信号速度は 1 秒間に行われる電圧遷移回数で、bps (Bits Per Second) 単位で表されます。



目次

1 特長.....	1	8 詳細説明.....	17
2 アプリケーション.....	1	8.1 概要.....	17
3 説明.....	1	8.2 機能ブロック図.....	17
4 改訂履歴.....	2	8.3 機能説明.....	17
5 ピン構成および機能.....	3	8.4 デバイスの機能モード.....	18
ピンの機能.....	4	9 アプリケーションと実装.....	20
ピン機能.....	5	9.1 使用上の注意.....	20
6 仕様.....	6	9.2 代表的なアプリケーション.....	20
6.1 絶対最大定格.....	6	10 電源に関する推奨事項.....	25
6.2 ESD 定格.....	6	11 レイアウト.....	26
6.3 推奨動作条件.....	6	11.1 レイアウトのガイドライン.....	26
6.4 熱に関する情報.....	7	11.2 レイアウト例.....	29
6.5 電気的特性.....	7	12 デバイスおよびドキュメントのサポート.....	31
6.6 電気特性 - ドライバ.....	7	12.1 ドキュメントの更新通知を受け取る方法.....	31
6.7 電気特性 - レシーバ.....	8	12.2 サポート・リソース.....	31
6.8 電気的特性 - デジタル入力および出力.....	8	12.3 商標.....	31
6.9 スイッチング特性 - ドライバ.....	9	12.4 静電気放電に関する注意事項.....	31
6.10 スイッチング特性 - レシーバ.....	9	12.5 用語集.....	31
6.11 代表的特性.....	10	13 メカニカル、パッケージ、および注文情報.....	32
7 パラメータ測定情報.....	11	13.1 付録: パッケージ オプション.....	33

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2015) to Revision A (December 2016)	Page
• 製品ステータスを「プレビュー」から量産出荷中.....	1

Changes from Revision A (December 2016) to Revision B (March 2020)	Page
• SN65MLVD200B、SN65MLVD202B、SN65MLVD205B デバイスのテキスト、表、図の参照をすべて削除.....	1
• ピン構成および機能から D 14 ピンパッケージを削除.....	3
• バス入力および出力の電気的特性で、 C_A および C_B を 5pF から 12pF に変更.....	8
• バス入力および出力の電気的特性で、 C_{AB} を 4pF から 7pF に変更.....	8
• Type1 レシーバ入力スレッシュホールドテスト電圧表を削除.....	11
• 「機能ブロック図」からピン番号を削除.....	17
• 「デバイス機能表」セクションの Type-1 レシーバ表を削除.....	18

Changes from Revision B (March 2020) to Revision C (September 2020)	Page
• 16 ピン WQFN (RUM) パッケージオプションはプレビューステータスです.....	5
• 16 ピン WQFN (RUM) パッケージ オプションを追加.....	5
• 16 ピン WQFN (RUM) の熱に関する情報を追加.....	7

5 ピン構成および機能

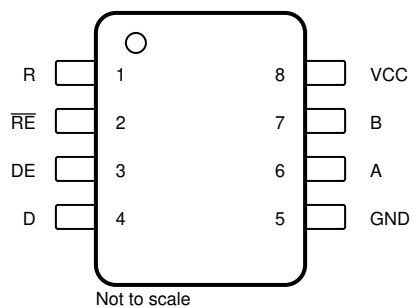


図 5-1. D パッケージ 8 ピン SOIC 上面図

ピンの機能

ピン		タイプ	説明
名称	番号		
A	6	I/O	差動 I/O
B	7	I/O	差動 I/O
D	4	入力	ドライバ入力
DE	3	入力	ドライバイネーブルピン、High = イネーブル、Low = ディスエーブル
GND	5	電源	電源グランド
NC	—	NC	内部接続なし
R	1	出力	レシーバ出力
RE	2	入力	レシーバ イネーブル ピン、High = ディスエーブル、Low = イネーブル
V _{CC}	8	電源	電源、3.3V
Y	—	I/O	差動 I/O
Z	—	I/O	差動 I/O

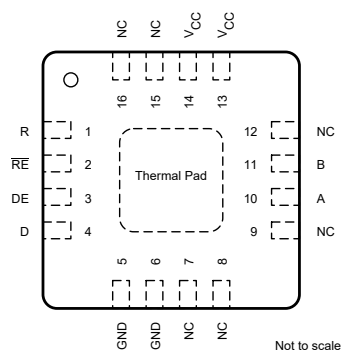


図 5-2. RUM パッケージ 16 ピン WQFN 上面図

ピン機能

ピン		タイプ	説明
番号	名称		
1	R	出力	レシーバ出力
2	RE	入力	レシーバ イネーブル ピン、High = ディスエーブル、Low = イネーブル
3	DE	入力	ドライバ イネーブル ピン、High = イネーブル、Low = ディスエーブル
4	D	入力	ドライバ入力
5	GND	電源	電源グランド
6	GND	電源	電源グランド
7	NC	NC	内部接続なし
8	NC	NC	内部接続なし
9	NC	NC	内部接続なし
10	A	I/O	差動 I/O
11	B	I/O	差動 I/O
12	NC	NC	内部接続なし
13	V _{CC}	電源	電源、3.3V
14	V _{CC}	電源	電源、3.3V
15	NC	NC	内部接続なし
16	NC	NC	内部接続なし
TP	サーマル パッド	電源	サーマル パッド。ソリッド グランド プレーンに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧範囲、 V_{CC} ⁽²⁾		-0.5	4	V
入力電圧範囲	D、DE、 $\overline{RE}$	-0.5	4	V
	A、B	-1.8	4	V
出力電圧範囲	R	-0.3	4	V
	A、B	-1.8	4	V
連続消費電力		熱に関する情報表を参照		
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ネットワーク グランド端子を基準にしています。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	接触放電、IEC 61000-4-2 に準拠	A、B	±8000	V
		人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 準拠、すべてのピン	A、B	±8000	
			A と B を除くすべてのピン	±4000	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠、すべてのピン	すべてのピン	±1500	

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	3	3.3	3.6	V
V_{IH}	High レベル入力電圧	2		V_{CC}	V
V_{IL}	Low レベル入力電圧	0		0.8	V
	任意のバス端子 V_A または V_B の電圧	-1.4		3.8	V
$ V_{ID} $	差動入力電圧の大きさ			V_{CC}	V
R_L	差動負荷抵抗	30	50		Ω
$1/t_{UI}$	信号速度			100	Mbps
T_A	D パッケージの自由気流での動作温度	-40		85	°C
T_A	RUM パッケージの自由気流での動作温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		SN65MLVD204B		単位
		D (SOIC)	RUM (WQFN)	
		8 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	112.2	39.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.7	34.7	
$R_{\theta JB}$	接合部から基板への熱抵抗	52.8	17.7	
Ψ_{JT}	接合部から上面への特性パラメータ	10.3	0.6	
Ψ_{JB}	接合部から基板への特性パラメータ	52.3	17.7	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	7.5	

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{CC}	電源電流	ドライバのみ	V_{CC} で $\overline{RE}$ および DE、 $R_L = 50\Omega$ 、その他はすべてオープン		13	22	mA
		両方ディセーブル	V_{CC} で $\overline{RE}$ 、0V で DE、 R_L = 無負荷、その他はすべてオープン		1	4	
		両方がイネーブル	0V で $\overline{RE}$ 、 V_{CC} で DE、 $R_L = 50\Omega$ 、その他はすべてオープン		16	24	
		レシーバのみ	0V で $\overline{RE}$ 、0V で DE、その他はすべてオープン		4	13	
P_D	デバイス消費電力		$R_L = 50\Omega$ 、D への入力は 50MHz 50% デューティ サイクルの方形波、DE = High、 $\overline{RE} = Low$ 、 $T_A = 85^\circ C$			100	mW

(1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

6.6 電気特性 - ドライバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値 ⁽²⁾	最大値	単位
$ V_{AB} $	差動出力電圧の大きさ ⁽³⁾	図 7-2 を参照	480		650	mV
$\Delta V_{AB} $	ロジック状態間の差動出力電圧の大きさの変化		-50		50	mV
$V_{OS(SS)}$	定常同相出力電圧	図 7-3 を参照	0.8		1.2	V
$\Delta V_{OS(SS)}$	ロジック状態間での定常同相出力電圧の変化		-50		50	mV
$V_{OS(PP)}$	ピーク ツー ピークの同相出力電圧				150	mV
$V_{A(OC)}$	最大定常断線出力電圧	図 7-7 を参照	0		2.4	V
$V_{B(OC)}$	最大定常断線出力電圧		0		2.4	V
$V_{P(H)}$	電圧オーバーシュート、Low レベルから High レベルへの出力	図 7-5 を参照			1.2V _{SS}	V
$V_{P(L)}$	電圧オーバーシュート、High レベルから Low レベルへの出力		-0.2V _{SS}			V
I_{IH}	High レベル入力電流 (D、DE)	$V_{IH} = 2V \sim V_{CC}$	0		10	μA
I_{IL}	Low レベル入力電流 (D、DE)	$V_{IL} = GND \sim 0.8V$	0		10	μA
$ I_{OS} $	差動短絡出力電流の大きさ	図 7-4 を参照			24	mA

(1) このデータシートでは、最も小さい正 (最も大きな負の) 制限を最小として指定する代数的規約を使用します。

(2) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

(3) 測定機器の精度は、-40°C で 10mV です

6.7 電気特性 - レシーバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
V_{IT+}	正方向の差動入力電圧スレッシュホールド ⁽²⁾	タイプ 2	図 7-9 および表 7-1 を参照			150	mV
V_{IT-}	負方向の差動入力電圧スレッシュホールド ⁽²⁾	タイプ 2		50			
V_{HYS}	差動入力電圧ヒステリシス ($V_{IT+} - V_{IT-}$)	タイプ 2			0		
V_{OH}	High レベル出力電圧 (R)		$I_{OH} = -8\text{mA}$	2.4			V
V_{OL}	Low レベル出力電圧 (R)		$I_{OL} = 8\text{mA}$			0.4	V
I_{IH}	High レベル入力電流 ($\overline{RE}$)		$V_{IH} = 2\text{V} \sim V_{CC}$	-10		0	μA
I_{IL}	Low レベル入力電流 ($\overline{RE}$)		$V_{IL} = \text{GND} \sim 0.8\text{V}$	-10		0	μA
I_{OZ}	高インピーダンス出力電流 (R)		$V_O = 0\text{V}$ または 3.6V	-10		15	μA

(1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

(2) 測定機器の精度は、-40°C で 10mV です

6.8 電気的特性 - デジタル入力および出力

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
I_A	ドライバが入力電流をディセーブルしたレシーバまたはトランシーバ	$V_A = 3.8\text{V}$ 、	$V_B = 1.2\text{V}$ 、	0		32	μA
		$V_A = 0\text{V}$ または 2.4V 、	$V_B = 1.2\text{V}$	-20		20	
		$V_A = -1.4\text{V}$ 、	$V_B = 1.2\text{V}$	-32		0	
I_B	ドライバが入力電流をディセーブルしたレシーバまたはトランシーバ	$V_B = 3.8\text{V}$ 、	$V_A = 1.2\text{V}$	0		32	μA
		$V_B = 0\text{V}$ または 2.4V 、	$V_A = 1.2\text{V}$	-20		20	
		$V_B = -1.4\text{V}$ 、	$V_A = 1.2\text{V}$	-32		0	
I_{AB}	ドライバが差動入力電流をディセーブルしたレシーバまたはトランシーバ ($I_A - I_B$)	$V_A = V_B$ 、	$1.4 \leq V_A \leq 3.8\text{V}$	-4		4	μA
$I_{A(OFF)}$	レシーバまたはトランシーバの電源オフ入力電流	$V_A = 3.8\text{V}$ 、	$V_B = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	0		32	μA
		$V_A = 0\text{V}$ または 2.4V 、	$V_B = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	-20		20	
		$V_A = -1.4\text{V}$ 、	$V_B = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	-32		0	
$I_{B(OFF)}$	レシーバまたはトランシーバの電源オフ入力電流	$V_B = 3.8\text{V}$ 、	$V_A = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	0		32	μA
		$V_B = 0\text{V}$ または 2.4V 、	$V_A = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	-20		20	
		$V_B = -1.4\text{V}$ 、	$V_A = 1.2\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	-32		0	
$I_{AB(OFF)}$	レシーバ入力またはトランシーバの電源オフ差動入力電流 ($I_A - I_B$)	$V_A = V_B$ 、 $0\text{V} \leq V_{CC} \leq 1.5\text{V}$ 、 $-1.4 \leq V_A \leq 3.8\text{V}$		-4		4	μA
C_A	ドライバの入力容量がディセーブルされたトランシーバ。	$V_A = 0.4\sin(30E6\pi t) + 0.5\text{V}^{(2)}$ 、 $V_B = 1.2\text{V}$			12		pF
C_B	ドライバの入力容量がディセーブルされたトランシーバ	$V_B = 0.4\sin(30E6\pi t) + 0.5\text{V}^{(2)}$ 、 $V_A = 1.2\text{V}$			12		pF
C_{AB}	ドライバの差動入力容量がディセーブルされたトランシーバ	$V_{AB} = 0.4\sin(30E6\pi t)\text{V}^{(2)}$			7		pF

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
$C_{A/B}$	ドライバの入力容量バランスがディセーブルされたトランシーバ、(C_A/C_B)		0.99		1.01	

- (1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。
(2) HP4194A インピーダンスアナライザ (または同等のもの)

6.9 スイッチング特性 – ドライバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
t_{pLH}	伝搬遅延時間、出力立ち上がり	図 7-5 を参照	2	2.5	3.5	ns
t_{pHL}	伝搬遅延時間、出力立ち下がり		2	2.5	3.5	ns
t_r	差動出力信号の立ち上がり時間			2		ns
t_f	差動出力信号の立ち下がり時間			2		ns
$t_{sk(p)}$	パルス スキュー ($ t_{pHL} - t_{pLH} $)			30	150	ps
$t_{sk(pp)}$	部品間スキュー ⁽²⁾				0.9	ns
$t_{jit(per)}$	周期ジッタ、rms (1 標準偏差) ⁽³⁾	50MHz クロック入力 ⁽⁴⁾		2	3	ps
$t_{jit(pp)}$	ピーク ツー ピーク ジッタ ^{(3) (6)}	100Mbps 2 ¹⁵ -1 PRBS 入力 ⁽⁵⁾		55	150	ps
t_{PHZ}	ディセーブル時間、High レベルから高インピーダンスへの出力	図 7-6 を参照		4	7	ns
t_{PLZ}	ディセーブル時間、Low レベルから高インピーダンスへの出力			4	7	ns
t_{PZH}	イネーブル時間、高インピーダンスから High レベルへの出力			4	7	ns
t_{PZL}	イネーブル時間、高インピーダンスから Low レベルへの出力			4	7	ns

- (1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。
(2) 部品間スキューは、同じ V / T 条件で動作する 2 つのデバイス間の伝搬遅延の差として定義されます。
(3) ジッタは、設計と特性によって保証されています。スティミュラスのジッタがこの数値から減算されました。
(4) $t_r = t_f = 0.5ns$ (10%~90%)、30K を超えるサンプルで測定。
(5) $t_r = t_f = 0.5ns$ (10%~90%)、100K を超えるサンプルで測定。
(6) ピーク ツー ピーク ジッタには、パルス スキュー ($t_{sk(p)}$) によるジッタが含まれます。

6.10 スイッチング特性 – レシーバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
t_{pLH}	伝搬遅延時間、出力立ち上がり	$C_L = 15pF$ 、図 7-10 を参照	2	6	10	ns
t_{pHL}	伝搬遅延時間、出力立ち下がり		2	6	10	ns
t_r	出力信号の立ち上がり時間				2.3	ns
t_f	出力信号の立ち下がり時間				2.3	ns
$t_{sk(p)}$	パルス スキュー ($ t_{pHL} - t_{pLH} $)	タイプ 2 $C_L = 15pF$ 、図 7-10 を参照		400	750	ps
$t_{sk(pp)}$	部品間スキュー ⁽²⁾	$C_L = 15pF$ 、図 7-10 を参照			1	ns
$t_{jit(per)}$	周期ジッタ、rms (1 標準偏差) ⁽³⁾	50MHz クロック入力 ⁽⁴⁾		2		ps
$t_{jit(pp)}$	ピーク ツー ピーク ジッタ ^{(3) (6)}	タイプ 2 100Mbps 2 ¹⁵ -1 PRBS 入力 ⁽⁵⁾		225	800	ps
t_{PHZ}	ディセーブル時間、High レベルから高インピーダンスへの出力	図 7-11 を参照		6	10	ns
t_{PLZ}	ディセーブル時間、Low レベルから高インピーダンスへの出力			6	10	ns
t_{PZH}	イネーブル時間、高インピーダンスから High レベルへの出力			10	15	ns
t_{PZL}	イネーブル時間、高インピーダンスから Low レベルへの出力			10	15	ns

- (1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

- (2) 部品間スキューは、同じ V / T 条件で動作する 2 つのデバイス間の伝搬遅延の差として定義されます。
- (3) ジッタは、設計と特性によって保証されています。スティミュラスのジッタがこの数値から減算されました。
- (4) 、 $V_{ID} = 400 \text{ mV}_{pp}$ 、 $V_{cm} = 1 \text{ V}$ 、 $t_r = t_f = 0.5 \text{ ns}$ (10%~90%)、30K を超えるサンプルで測定。
- (5) 、 $V_{ID} = 400 \text{ mV}_{pp}$ 、 $V_{cm} = 1 \text{ V}$ 、 $t_r = t_f = 0.5 \text{ ns}$ (10%~90%)、100K を超えるサンプルで測定。
- (6) ピーク ツー ピーク ジッタには、パルス スキュー ($t_{sk(p)}$) によるジッタが含まれます

6.11 代表的特性

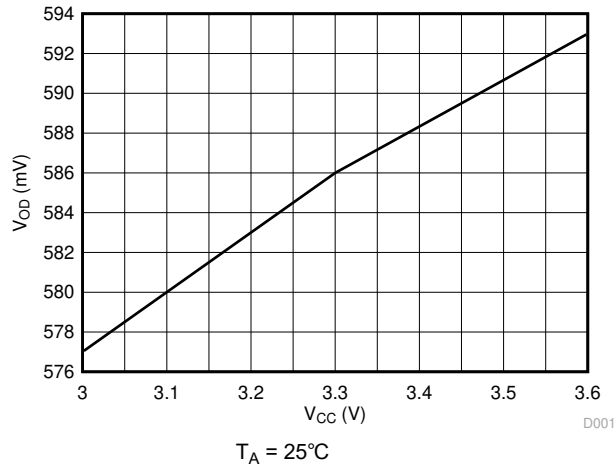
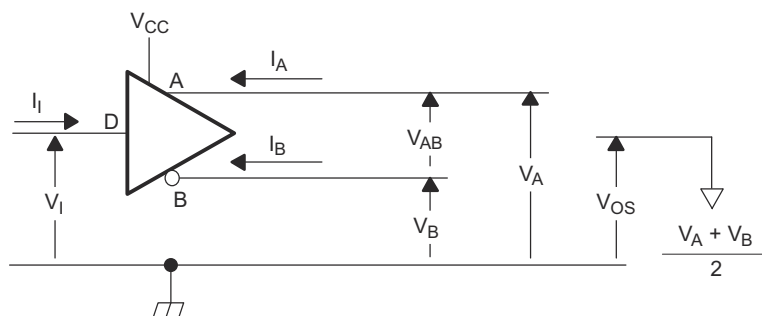


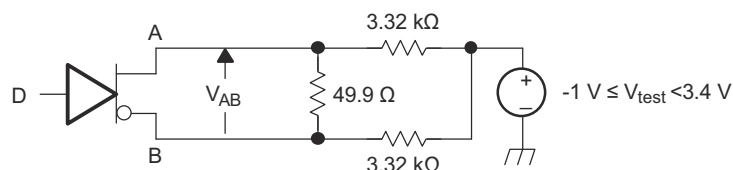
図 6-1. 差動出力電圧と供給電圧との関係

7 パラメータ測定情報



Copyright © 2016, Texas Instruments Incorporated

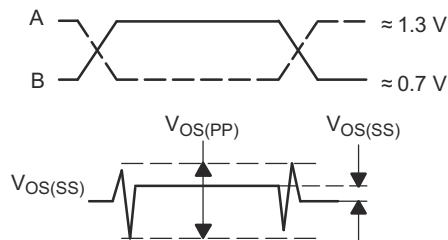
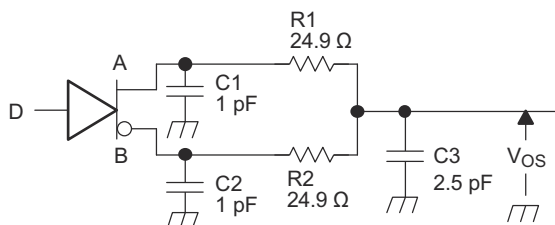
図 7-1. ドライバの電圧および電流の定義



Copyright © 2016, Texas Instruments Incorporated

- A. すべての抵抗の公差は 1% です。

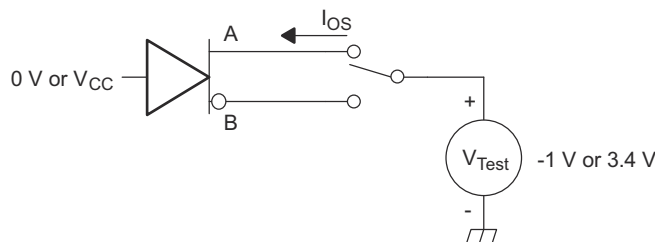
図 7-2. 差動出力電圧テスト回路



Copyright © 2016, Texas Instruments Incorporated

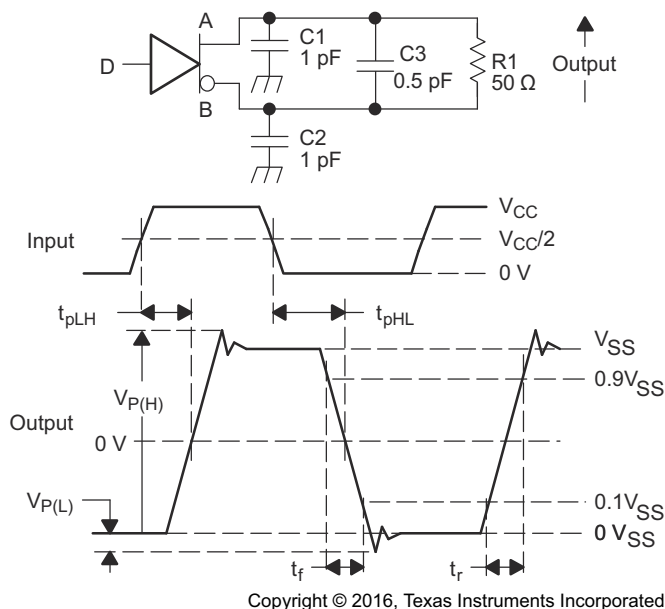
- A. すべての入力パルスは、 t_r または $t_f \leq 1\text{ns}$ 、パルス周波数 = 1MHz、デューティ サイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
B. C1、C2、C3 には D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
C. R1 および R2 は金属皮膜、表面実装、公差 $\pm 1\%$ で、D.U.T. から 2cm 以内に配置されています。
D. $V_{OS(PP)}$ の測定 は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 7-3. ドライバの同相モード出力電圧のテスト回路と定義



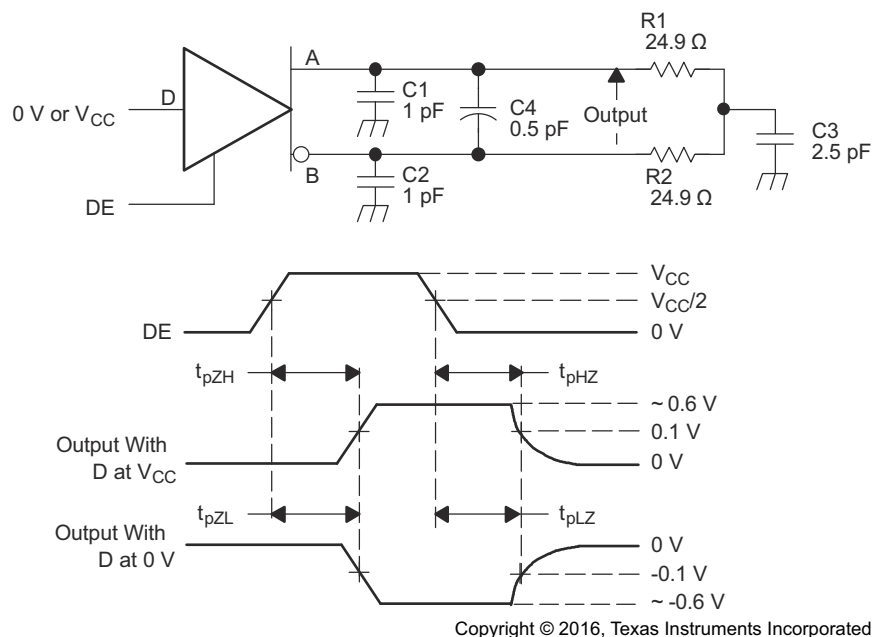
Copyright © 2016, Texas Instruments Incorporated

図 7-4. ドライバ短絡テスト回路



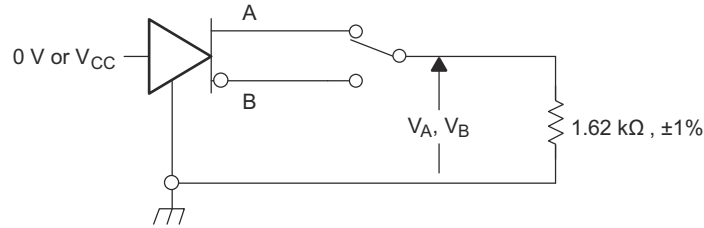
- A. すべての入力パルスは、 t_f または $t_f \leq 1\text{ns}$ 、周波数 = 1MHz、デューティ サイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- B. C1、C2、C3 には D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
- C. R1 は金属皮膜、表面実装、公差 1% で、D.U.T. から 2 cm 以内に配置されています。
- D. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 7-5. 差動出力信号のドライバ テスト回路、タイミング、電圧の定義



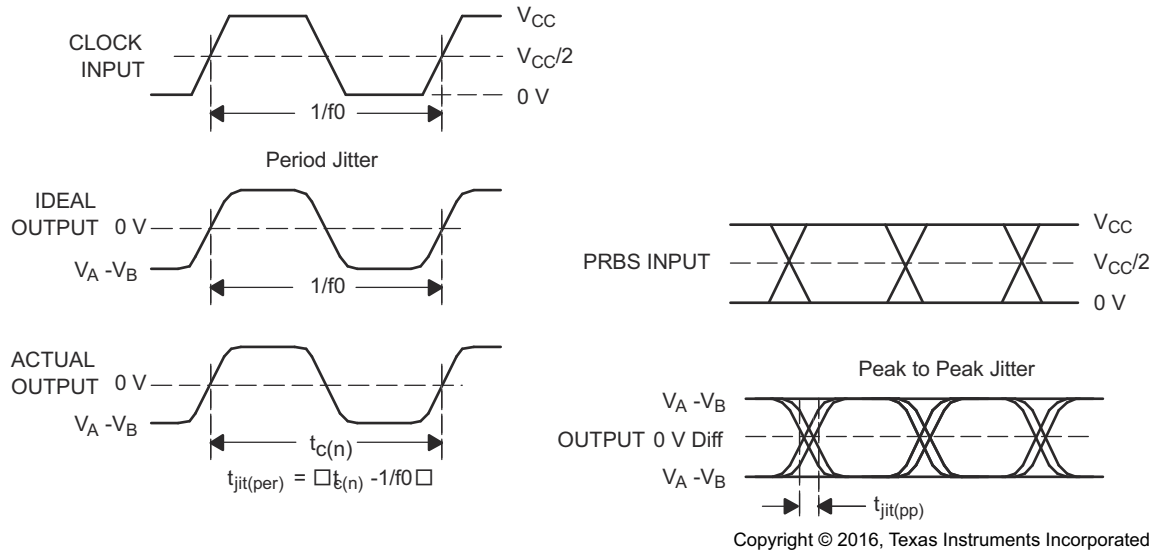
- A. すべての入力パルスは、 t_f または $t_f \leq 1\text{ns}$ 、周波数 = 1MHz、デューティ サイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- B. C1、C2、C3、C4 には、D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
- C. R1 および R2 は金属皮膜、表面実装、公差 1% で、D.U.T. から 2 cm 以内に配置されています。
- D. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 7-6. ドライバのイネーブル / ディセーブル時間回路と定義



Copyright © 2016, Texas Instruments Incorporated

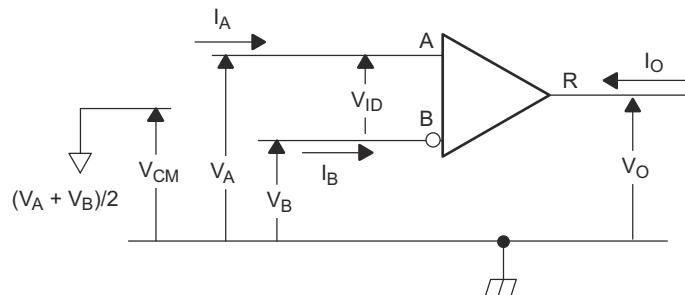
図 7-7. 最大定常状態出力電圧



Copyright © 2016, Texas Instruments Incorporated

- すべての入力パルスは、Agilent 81250 Stimulus System から供給されます。
- 測定は、TDSJIT3 アプリケーション ソフトウェアを実行している TEK TDS6604 で行います。
- 周期ジッタは、100MHz 50 ±1% デューティ サイクルのクロック入力を使用して測定します。
- サイクル間ジッタは、100Mbps 2¹⁵-1 PRBS 入力を使用して測定します。

図 7-8. ドライバのジッタ測定波形



Copyright © 2016, Texas Instruments Incorporated

図 7-9. レシーバの電圧および電流の定義

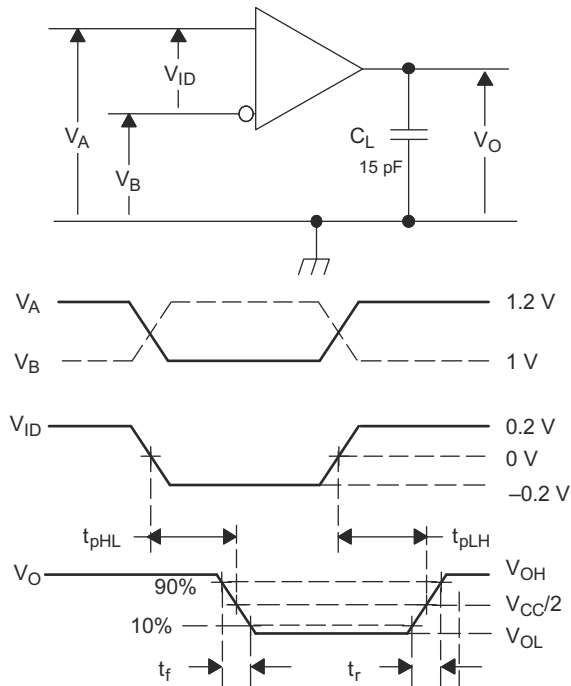
表 7-1. Type-2 レシーバの入力スレッシュホールド テスト電圧

印加電圧		結果として生じる 差動入力電圧	結果として生じる 同相モード入力電圧	レシーバ 出力 ⁽¹⁾
VA	VB	VID	VIC	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L

表 7-1. Type-2 レシーバの入力スレッショルド テスト電圧 (続き)

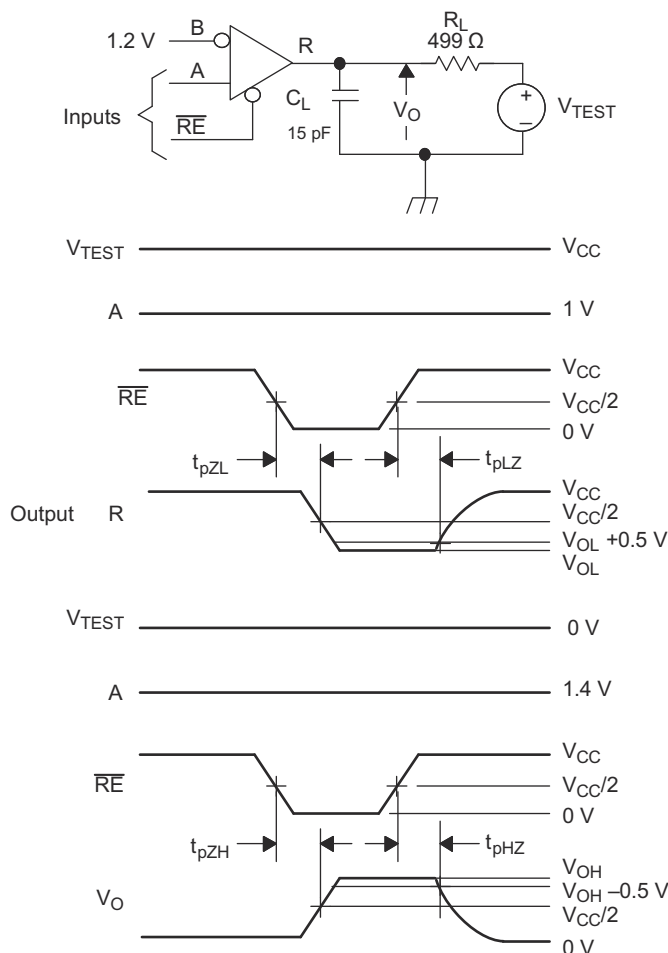
印加電圧		結果として生じる 差動入力電圧	結果として生じる 同相モード入力電圧	レシーバ 出力 ⁽¹⁾
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
3.475	3.325	0.150	3.4	H
3.425	3.375	0.050	3.4	L
-0.925	-1.075	0.150	-1	H
-0.975	-1.025	0.050	-1	L

(1) H = High レベル、L = Low レベル、出力状態はレシーバがイネーブルであると仮定 ($\overline{RE} = L$)



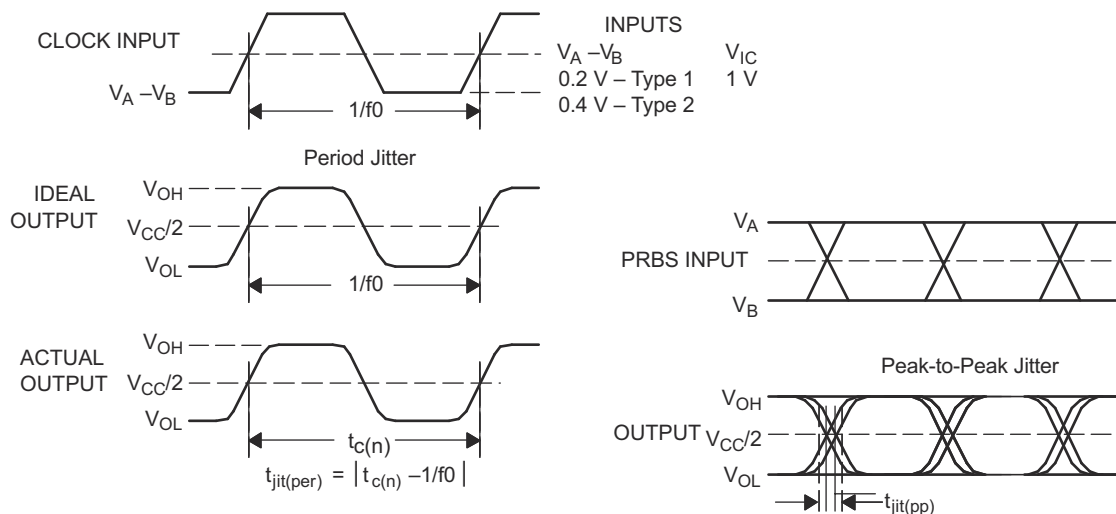
- A. すべての入力パルスは、 t_f または $t_f \leq 1\text{ns}$ 、周波数 = 1MHz、デューティサイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。 C_L は、公差 20% の低損失セラミック表面実装コンデンサと、D.U.T. から 2cm 以内の治具容量を組み合わせたものです。
- B. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 7-10. レシーバのタイミング テスト回路と波形



- A. すべての入力パルスは、 t_r または $t_f \leq 1\text{ns}$ 、周波数 = 1MHz、デューティサイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- B. R_L は公差 1%、金属皮膜、表面実装で、D.U.T. から 2cm 以内に配置されています。
- C. C_L は、DUT から 2cm 以内の計測機器および治具の容量で、 $\pm 20\%$ です。

図 7-11. レシーバのイネーブル/ディセーブル時間テスト回路と波形



- A. すべての入力パルスは、Agilent 8304A Stimulus System から供給されます。
- B. 測定は、TDSJIT3 アプリケーション ソフトウェアを実行している TEK TDS6604 で行います。

- C. 周期ジッタは、50MHz 50 ±1% デューティ サイクルのクロック入力を使用して測定します。
- D. サイクル間ジッタは、100Mbps 2¹⁵–1 PRBS 入力を使用して測定します。

図 7-12. レシーバのジッタ測定波形

8 詳細説明

8.1 概要

SN65MLVD204B は、最高 100 Mbps の信号速度で動作するように最適化されたマルチポイント低電圧差動信号方式 (M-LVDS) ライン ドライバおよびレシーバです。すべての部品がマルチポイント低電圧差動信号伝送 (M-LVDS) 規格 TIA/EIA-899 に準拠しています。これらの回路は TIA/EIA-644 規格に準拠した LVDS 対応の回路に類似しており、マルチポイント アプリケーションに対応する機能が追加されています。ドライバ出力は、最小 30 Ω の負荷を供給するマルチポイント バスをサポートするように設計されており、バックボーンの伝送ラインからスタブをオフにできるように、制御された遷移時間が組み込まれています。

SN65MLVD204B は、-1 V ~ 3.4V の同相電圧範囲にわたってわずか 50mV の差動入力電圧でバス状態を検出する Type-2 レシーバを内蔵しています。Type-2 レシーバは、開路、アイドルバス、その他のフォルト状態で既知の出力状態を提供するためのオフセット スレッショルドを備えています。

8.2 機能ブロック図

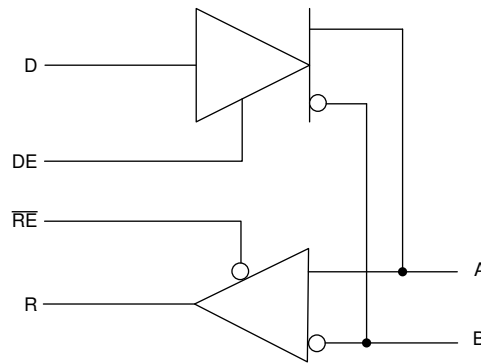


図 8-1. SN65MLVD204B ブロック図

8.3 機能説明

8.3.1 パワーオン リセット

SN65MLVD204B デバイスは、3V~3.6V の範囲の電源電圧で動作し、この範囲について規定されている性能要件をすべて満たしています。電源電圧が 1.5V を下回ると (または、電源がオンになってまだ 1.5V に達していないとき)、パワーオン リセット回路により、ドライバ出力が高インピーダンス状態に設定されます。

8.3.2 ESD 保護

SN65MLVD204B のバス端子は、 $\pm 8\text{kV}$ 人体モデル (HBM) および $\pm 8\text{kV}$ IEC61000-4-2 接点放電に対するオンチップ ESD 保護を備えています。IEC-ESD テストは、HBM-ESD テストよりはるかに厳しいものです。IEC モデルでは、充電容量 CS が 50% 高く、放電抵抗 R_D が 78% 低いいため、HBM モデルよりも放電電流が大幅に大きくなります。

IEC 61000-4-2 規格で規定されているように、接触放電が優先されるテスト方法です。IEC エアギャップ試験の再現性は接触試験より低いですが、接触放電試験の結果から空気放電保護レベルが推測されます。

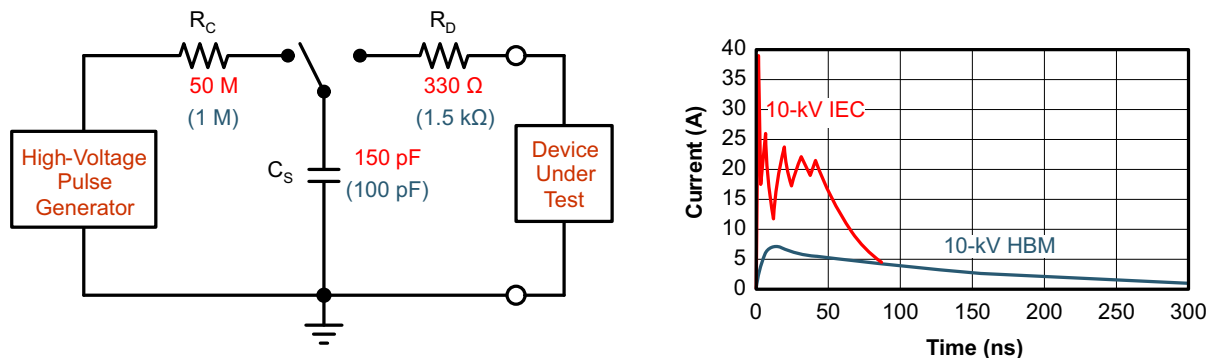


図 8-2. HBM と IEC の ESD モデルと比較時の電流 (HBM 値は括弧内)

8.4 デバイスの機能モード

8.4.1 $V_{CC} < 1.5V$ での動作

この状況ではバスピンが高インピーダンスになります。

8.4.2 $1.5V \leq V_{CC} < 3V$ での動作

$1.5V \leq V_{CC} < 3V$ の範囲の電源電圧での動作は未定義であり、この範囲内でのデバイス性能は保証されません。

8.4.3 $3V \leq V_{CC} < 3.6V$ での動作

電源電圧が $3V$ 以上 $3.6V$ 以下での動作は、通常の動作です。

8.4.4 デバイス機能表

表 8-1. Type-2 レシーバ ⁽¹⁾

入力		出力
$V_{ID} = V_A - V_B$	RE	R
$V_{ID} \geq 150 \text{ mV}$	L	H
$50\text{mV} < V_{ID} < 150 \text{ mV}$	L	?
$V_{ID} \leq 50\text{mV}$	L	L
X	H	Z
X	オープン	Z

(1) H = High レベル、L = Low レベル、Z = 高インピーダンス、X = ドント ケア、? - 不定

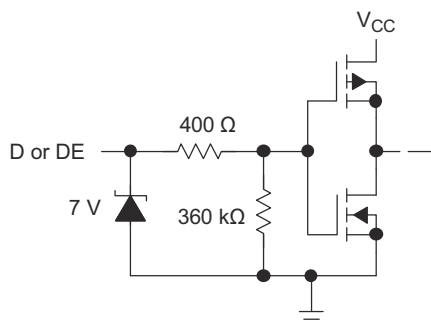
表 8-2. ドライバ ⁽¹⁾

入力	イネーブル	出力	
D	DE	A	B
L	H	L	H
H	H	H	L
オープン	H	L	H
X	オープン	Z	Z
X	L	Z	Z

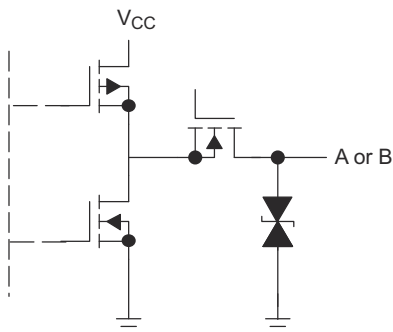
(1) H = High レベル、L = Low レベル、Z = 高インピーダンス、X = ドント ケア、? - 不定

8.4.5 等価な入力および出力回路図

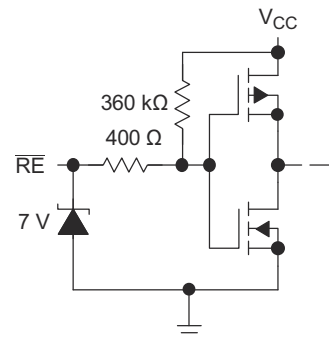
DRIVER INPUT AND DRIVER ENABLE



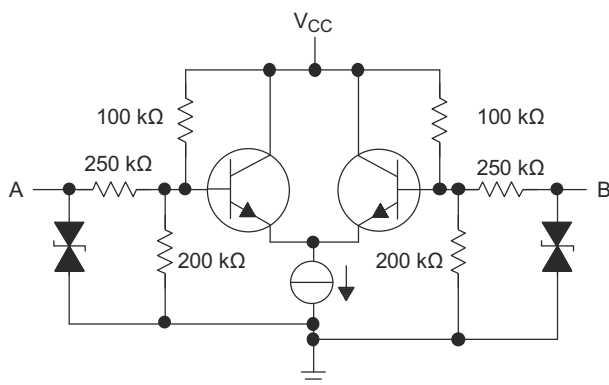
DRIVER OUTPUT



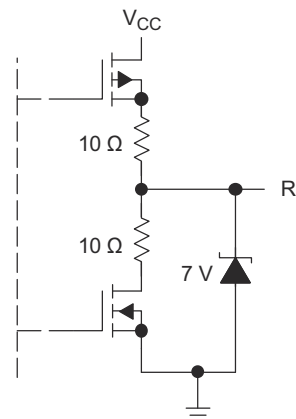
RECEIVER ENABLE



RECEIVER INPUT



RECEIVER OUTPUT



Copyright © 2016, Texas Instruments Incorporated

ADVANCE INFORMATION

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

SN65MLVD204B は、マルチポイントラインドライバおよびレシーバです。これらのデバイスの機能はシンプルであると同時に非常に柔軟性が高く、ワイヤレス ベースステーションからデスクトップ コンピュータまで、幅広い設計で使用できます。

9.2 代表的なアプリケーション

9.2.1 マルチポイント通信

マルチポイント構成では、多数のトランスミッタと多数のレシーバを 1 本の伝送ラインで相互接続できます。マルチドロップと比較した場合の主な違いは、2 つ以上のドライバが存在することです。このような状況では、ポイントツーポイントまたはマルチドロップのシステムでは対処できない競合の問題が発生します。マルチポイント動作により、1 組の平衡な媒体ペアで双方向の半二重通信が可能になります。伝送ライン全体で各種ドライバの位置をサポートするために、伝送ラインの二重終端が必要になっています。

システム設計者が直面する主な課題は、デバイス負荷とデバイス接続 (スタブ) によって共通のバスに発生するインピーダンスの不連続性です。マルチポイントトポロジでエラーのない信号伝送を実現するには、負荷バスのインピーダンスをマッチングし、信号エッジが制御された信号ドライバを使用することが重要です。

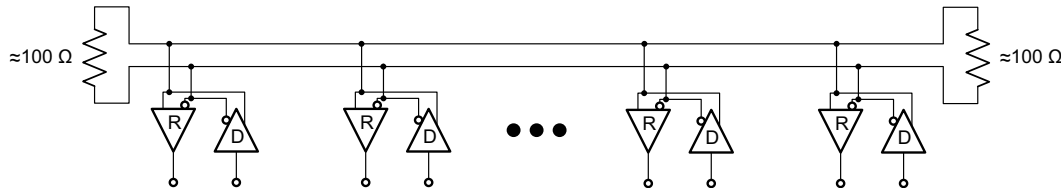


図 9-1. マルチポイント構成

9.2.2 設計要件

この設計例では、表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ	値
ドライバ電源電圧	3~3.6V
ドライバの入力電圧	0.8~3.3V
ドライバの信号速度	DC~100Mbps
相互接続特性インピーダンス	100 Ω
終端抵抗 (差動)	100 Ω
レシーバ ノード数	2~32
レシーバ電源電圧	3~3.6V
レシーバの入力電圧	0~(V _{CC} - 0.8)V
レシーバの信号速度	DC~100Mbps
ドライバとレシーバの間のグラウンド シフト	±1V

9.2.3 詳細な設計手順

9.2.3.1 電源電圧

SN65MLVD204B は、単電源で動作します。デバイスは、最低 3 V、最高 3.6 V の電源での動作をサポートしています。

9.2.3.2 電源バイパス容量

バイパス コンデンサは、パワー ディストリビューション回路で重要な役割を果たします。低周波数では、電源の端子間インピーダンスは極めて低くなっています。ただし、より高い周波数の電流が電源パターンを伝搬するため、電源でグラウンドへの低インピーダンスパスを維持できないことがよくあります。この欠点に対処するために、バイパス コンデンサを使用します。通常、ボードレベルで大容量のバイパス コンデンサ (10 μ F から 1000 μ F) を使用すると、kHz レンジまでの範囲で良好な成果を達成できます。リード線のサイズと長さの関係で、大きなコンデンサはスイッチング周波数で大きなインダクタンス値を持つ傾向があります。この問題を解決するには、より小型のコンデンサ (nF $\sim\mu$ F) を IC の隣にローカルに取り付ける必要があります。

積層セラミック チップまたは表面実装コンデンサ (サイズ 0603 または 0805) は、バイパス コンデンサのリード インダクタンスが約 1nH であるため、高速環境でのリード インダクタンスを最小限に抑えます。たとえば、リードがある標準的なコンデンサのリード インダクタンスは約 5nH です。

M-LVDS チップでローカルで使用するバイパス コンデンサの値は、Howard Johnson と Martin Graham による『High Speed Digital Design – A Handbook of Black Magic (高速デジタル設計 - ブラックマジックのハンドブック)』(1993 年) に従って 式 1 および 式 2 で決定できます。4ns の控えめな立ち上がり時間と、100mA のワーストケースの消費電流変化に、テキサス・インスツルメンツが提供するすべての M-LVDS デバイスが対応しています。この例では、最大許容電源ノイズは 100mV ですが、この値は設計で利用可能なノイズ バジェットによって異なります。

$$C_{\text{chip}} = \left(\frac{\Delta I_{\text{Maximum Step Change Supply Current}}}{\Delta V_{\text{Maximum Power Supply Noise}}} \right) \times T_{\text{Rise Time}} \quad (1)$$

$$C_{\text{MLVDS}} = \left(\frac{100 \text{ mA}}{100 \text{ mV}} \right) \times 4 \text{ ns} = 0.004 \mu\text{F} \quad (2)$$

図 9-2 は、リード インダクタンスを低減し、基板レベルのコンデンサ (10 μ F) と上記の容量値 (0.004 μ F) との間の中間周波数をカバーする構成を示しています。最小の容量をチップにできる限り近づけて配置します。

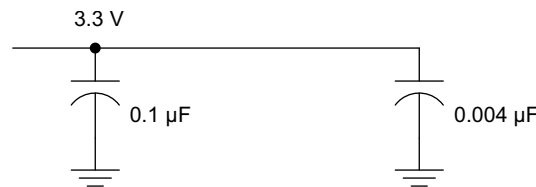


図 9-2. 推奨される M-LVDS バイパス コンデンサのレイアウト

9.2.3.3 ドライバの入力電圧

入力段は LVTTTL 信号を受け取ることができます。ドライバは約 1.4V の決定スレッショルドで動作します。

9.2.3.4 ドライバ出力電圧

ドライバの公称条件での定常同相モード出力電圧は 1V、差動信号は 540V です。

9.2.3.5 終端抵抗

すでに説明したように、M-LVDS 通信チャネルは、2 つの抵抗性負荷で終端された伝送ラインを駆動する電流源を使用します。これらの負荷は、送信された電流をレシーバ入力の電圧に変換する役割を果たします。良好なシグナル インテグリティを確保するには、終端抵抗を伝送ラインの特性インピーダンスにマッチングする必要があります。終端抵抗がメディアの公称特性インピーダンスの 10% 以内であることを確認する必要があります。伝送ラインのインピーダンスが 100 Ω を

目標としている場合、終端抵抗は $90\Omega \sim 110\Omega$ にする必要があります。通常、ライン終端抵抗は伝送ラインの終端に配置します。

9.2.3.6 レシーバの入力信号

本製品の M-LVDS レシーバは M-LVDS 規格に準拠しており、バスの状態を正しく判定します。これらのデバイスは Type-1 および Type-2 レシーバを搭載しており、 $-1V \sim 3.4V$ の同相範囲にわたってわずか $50mV$ の差動電圧でバス状態を検出できます。

9.2.3.7 レシーバ入力電圧スレッシュホールド (フェイルセーフ)

MLVDS 規格では、Type-1 レシーバと Type-2 レシーバが定義されています。Type-1 レシーバの差動入力電圧スレッシュホールドはほぼ $0V$ です。Type-2 レシーバの差動入力電圧スレッシュホールドは $0V$ からのオフセットで、これにより電圧差がないことを検出します。オフセット入力値がレシーバ出力に与える影響を表 9-2 および図 9-3 に示します。

表 9-2. レシーバ入力電圧スレッシュホールドの要件

レシーバのタイプ	出力 Low	出力 High
タイプ 1	$-2.4V \leq V_{ID} \leq -0.05V$	$0.05V \leq V_{ID} \leq 2.4V$
タイプ 2	$-2.4V \leq V_{ID} \leq 0.05V$	$0.15V \leq V_{ID} \leq 2.4V$

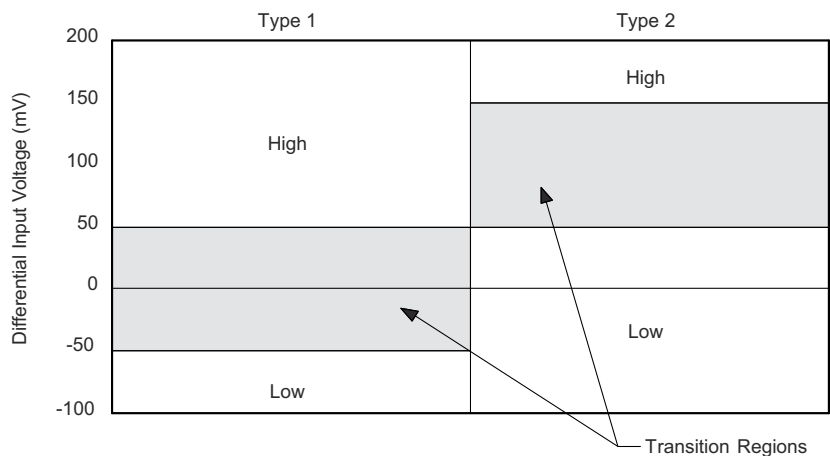


図 9-3. 遷移領域を示すレシーバ差動入力電圧の拡大グラフ

9.2.3.8 レシーバ出力信号

電源電圧が $3V \sim 3.6V$ の範囲内である場合、レシーバ出力は LVTTTL の出力電圧規格に準拠します。

9.2.3.9 メディアの相互接続

ドライバとレシーバの間の物理的な通信チャンネルには、M-LVDS 規格の要件を満たす、任意の平衡状態の金属導体ペアを使用できます。ここではその重要なポイントを示します。このメディアには、ツイストペア、Twinax、フラットリボンケーブル、または PCB パターンを使用できます。

相互接続の公称特性インピーダンスは $100\Omega \sim 120\Omega$ で、変動が 10% を超えないようにする必要があります ($90\Omega \sim 132\Omega$)。

9.2.3.10 PCB の伝送ライン

SNLA187 に従い、プリント基板 (PCB) で一般的に使用されるいくつかの伝送ライン構造を、図 9-4 に示します。それぞれの構造は、信号線と、その長さに沿って一様な断面を持つ帰路で構成されます。マイクロストリップは最上層 (または最下層) にある信号パターンで、グランドまたは電源プレーンの帰路から誘電体層で分離されています。ストリップラインは内層の信号パターンであり、信号パターンの上下のグランドプレーンとの間に誘電体層があります。構造の寸法と誘電体の特性によって、伝送ライン (制御インピーダンス伝送ラインとも呼ばれます) の特性インピーダンスが決まります。

2本の信号線をその近くに配置すると、結合された伝送線のペアが形成されます。図 9-4 に、エッジ結合マイクロストリップ、およびエッジ結合またはブロードサイド結合ストリップラインの例を示します。差動信号によって励起される場合、結合された伝送ラインは差動ペアと呼ばれます。各ラインの特性インピーダンスを奇数モード インピーダンスと呼びます。各ラインの奇数モード インピーダンスの合計が、差動ペアの差動インピーダンスになります。パターンの寸法と誘電体の特性に加えて、2つのパターン間の間隔によって相互結合が決まり、差動インピーダンスに影響を与えます。2本のラインがすぐ隣接している場合（たとえば S が W の2倍に満たない場合）、その差動ペアは密結合差動ペアと呼ばれます。長さ方向に一定の差動インピーダンスを維持するには、パターンの幅と間隔を長さ方向で均一に保ち、2つのラインの間に良好な対称性を維持することが重要です。

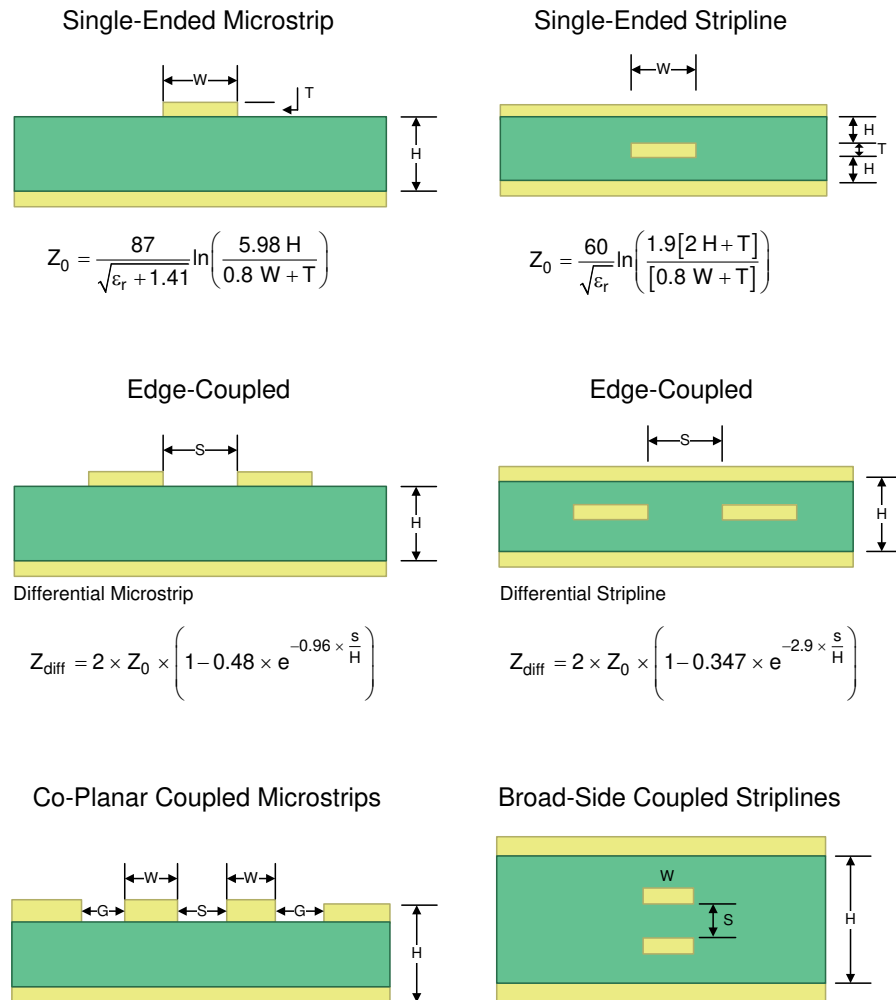
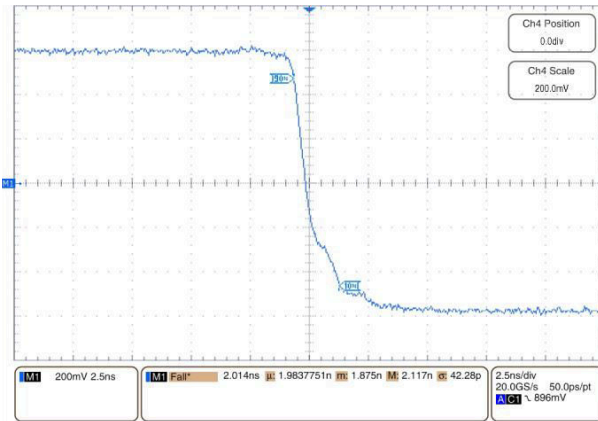


図 9-4. 制御インピーダンス伝送ライン

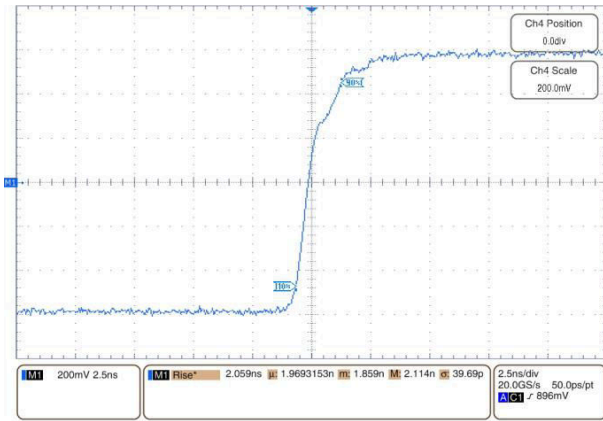
9.2.4 アプリケーション曲線



$V_{CC} = 3.3V$

$T_A = 25^{\circ}C$

図 9-5. ドライバ立ち下がり時間



$V_{CC} = 3.3V$

$T_A = 25^{\circ}C$

図 9-6. ドライバ立ち上がり時間

10 電源に関する推奨事項

このデータシートに記載されている M-LVDS ドライバおよびレシーバは、単一の電源で動作するように設計されています。ドライバとレシーバの両方が 3V~3.6V の範囲の電源電圧で動作します。代表的なアプリケーションでは、ドライバとレシーバが別々のボードに配置されている場合も、別々の機器に配置されている場合もあります。このような場合、それぞれの場所で個別の電源が使用されます。ドライバ電源とレシーバ電源の間に想定されるグランド電位差は $\pm 1V$ 未満です。基板レベルおよびローカル デバイス レベルのバイパス容量を使用する必要があり、これは電源バイパス容量にカバーされています。

11 レイアウト

11.1 レイアウトのガイドライン

11.1.1 マイクロストリップとストリップラインのトポロジ

SLLD009 に従い、プリント基板には通常、2 つの伝送ラインのオプションが用意されています。マイクロストリップとストリップラインです。マイクロストリップは、図 11-1 に示すように、PCB の外層のパターンです。

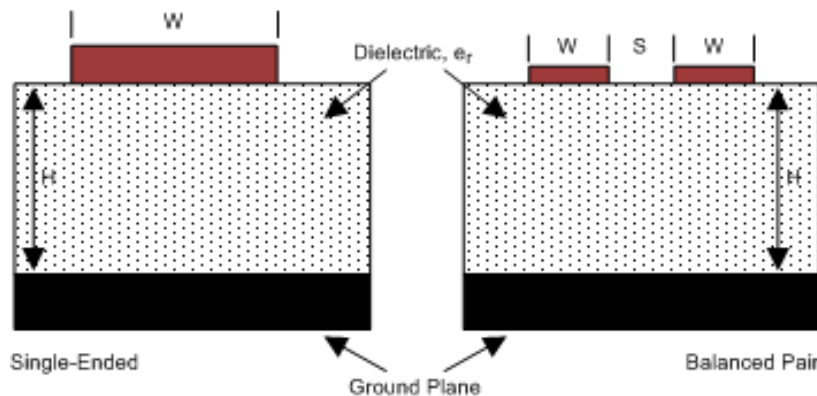


図 11-1. マイクロストリップのトポロジ

一方、ストリップラインは 2 つのグランドプレーン間のパターンです。ストリップラインは、基準プレーンが埋め込まれたパターンを効果的にシールドするため、放射と外部からの影響に関する問題を受けにくくなります。ただし、高速伝送を考えると、2 つのプレーンを並べて使用すると、静電容量が増加します。可能であれば、M-LVDS 信号がマイクロストリップ伝送ラインを通るようにすることを推奨します。PCB パターンを使用すると、全体のノイズ バジレットと反射許容量に基づいて、 Z_0 に必要な公差を指定できます。脚注 1²、2²、3³ に、差動およびシングルエンド パターンの Z_0 および t_{PD} の式を示します。2 3 4

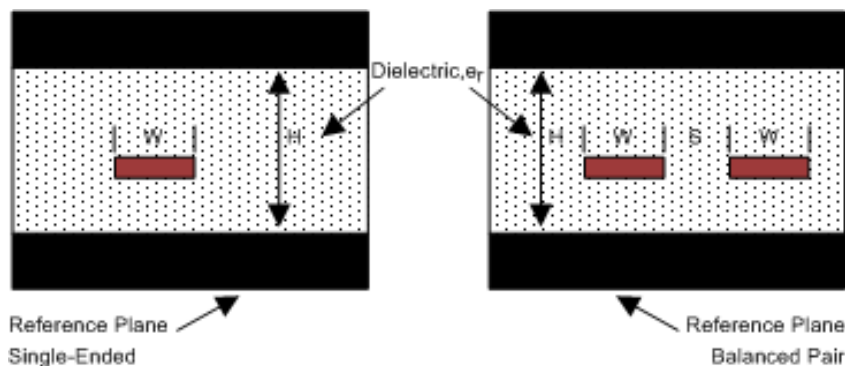


図 11-2. ストリップラインのトポロジ

11.1.2 誘電体の種類と基板構造

ボードを伝搬する信号の速度によって誘電体の選択が決まります。FR-4 または同等の製品は、通常、M-LVDS 信号で使用するのに十分な性能を発揮します。TTL/CMOS 信号の立ち上がり / 立ち下がり時間が 500ps 未満であれば、Rogers™ 4350 や Nelco N4000-13 のような誘電率が 3.4 に近い材料の方がより適していることが経験的に示されています。設計者が誘電体を選択しても、性能に影響を及ぼす可能性のある、基板構造に関連する複数のパラメータが存在

² Howard Johnson & Martin Graham. 1993. High Speed Digital Design – A Handbook of Black Magic. Prentice Hall PRT. ISBN number 013395724.

³ Mark I. Montrose. 1996. Printed Circuit Board Design Techniques for EMC Compliance. IEEE Press. ISBN number 0780311310.

⁴ Clyde F. Coombs, Jr. Ed, Printed Circuits Handbook, McGraw Hill, ISBN number 0070127549.

します。以下に示す一連のガイドラインは、M-LVDS デバイスを使用するいくつかの設計により、実験的に策定されたものです。

- 銅の重量: 15g または 1/2 オンスからメッキを開始し、30g または 1 オンスにする
- 露出した回路はすべて、7.62μm または 0.0003 インチ (最小値) の半田メッキ (60/40) を行う必要があります。
- スルーホール銅めっきは 25.4μm または 0.001 インチ (最小値) である必要があります。
- 高温エア レベリングによるベア銅箔上の半田マスク

11.1.3 推奨されるスタック レイアウト

選択した誘電体と設計仕様に従って、スタックで使用するレベルの数を決定する必要があります。TTL/CMOS から M-LVDS へのクロストークを低減するには、図 11-3 に示すように、少なくとも 2 つの独立した信号プレーンを用意することを推奨します。

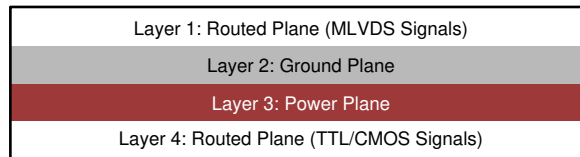


図 11-3. 4 層 PCB 基板

注

2 層と 3 層の間隔は 127μm (0.005 インチ) である必要があります。電源プレーンとグラウンド プレーンの緊密な結合を維持することで、増加した容量は過渡信号に対するバイパスとして機能します。

最も一般的なスタック構成の 1 つは、図 11-4 に示す 6 層基板です。

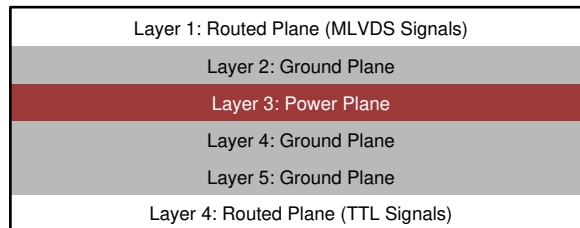


図 11-4. 6 層 PCB 基板

この具体的な構成では、少なくとも 1 つのグラウンド プレーンを使用して、各信号層を電源プレーンから絶縁できます。その結果、シグナル インテグリティは向上しますが、製造にはコストがかかります。レイアウト設計者が信号層 1 および 6 のグラウンド プレーンへのリファレンスを確保できることに加えて、信号層と基準プレーンの間の距離を柔軟に変更できるため、6 層基板の使用が推奨されます。

11.1.4 パターン間の分離

パターンの間隔はいくつかの要因に依存しますが、通常は許容される結合の量によって実際の間隔が決まります。低ノイズ結合では、電磁場の打ち消しを活用するために、M-LVDS リンクの差動ペアが密接に結合している必要があります。これらのパターンは 100Ω 差動で、この要件に最も適した方法で結合する必要があります。さらに、差動ペアは平衡を保つために同じ電気的長さを持つ必要があり、これにより、スキューと信号反射の問題を最小限に抑えることができます。

隣接するシングルエンド パターンが 2 つある場合、3W のルールを使用する必要があります。このルールでは、2 つのパターン間の距離は、単一パターンの幅の 2 倍、またはパターンの中心からパターンの中心まで測定した幅の 3 倍を超える必要があります。このように分離を増やすことで、クロストークの可能性が実質的に減少します。隣接する M-LVDS 差動ペア間の分離にも、パターンがエッジ結合かブロードサイド結合かにかかわらず、同じルールを適用する必要があります。

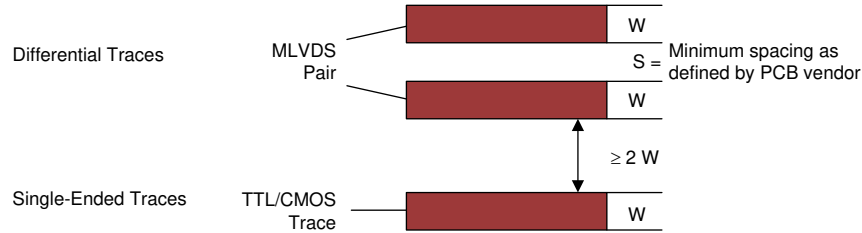


図 11-5. シングルエンドおよび差動パターンの 3W ルール (上面図)

オートルータを使用する場合は、クロストークや信号反射に影響するすべての要因を考慮しているとは限らないため、注意が必要です。たとえば、信号路の不連続性を防ぐために、90° の急な角を避けることが最善です。45° の角を連続して使用すると、反射を最小限に抑える傾向があります。

11.1.5 クロストークおよびグラウンド バウンスの最小化

クロストークを低減するには、高周波電流の帰路を、発生元のパターンにできるだけ近い場所に配置することが重要です。通常、グラウンド プレーンでこれを実現できます。リターン電流は常に最小のインダクタンスのパスを選択するため、元のパターンのすぐ下に戻る可能性が最も高く、クロストークを最小化できます。電流ループの面積を小さくすると、クロストークの可能性も低くなります。パターンをできる限り短くし、その下に連続したグラウンド プレーンを配置することで、放射される電磁界強度を最小化できます。グラウンド プレーンが不連続だと帰路のインダクタンスが増加するため、回避する必要があります。

11.1.6 デカップリング

高速デバイスの各電源リードまたはグラウンド リードは、低インダクタンスのパスを経由して PCB に接続する必要があります。最良の結果を得るには、1 つ以上のビアを使用して電源ピンまたはグラウンド ピンを近くのプレーンに接続します。パターンのインダクタンスの増加を避けるため、ビアをピンのすぐ隣に配置するのが理想的です。電源プレーンを基板の最上面に近づけて配置すると、実効ビアの長さとし、それに関連するインダクタンスが減少します。

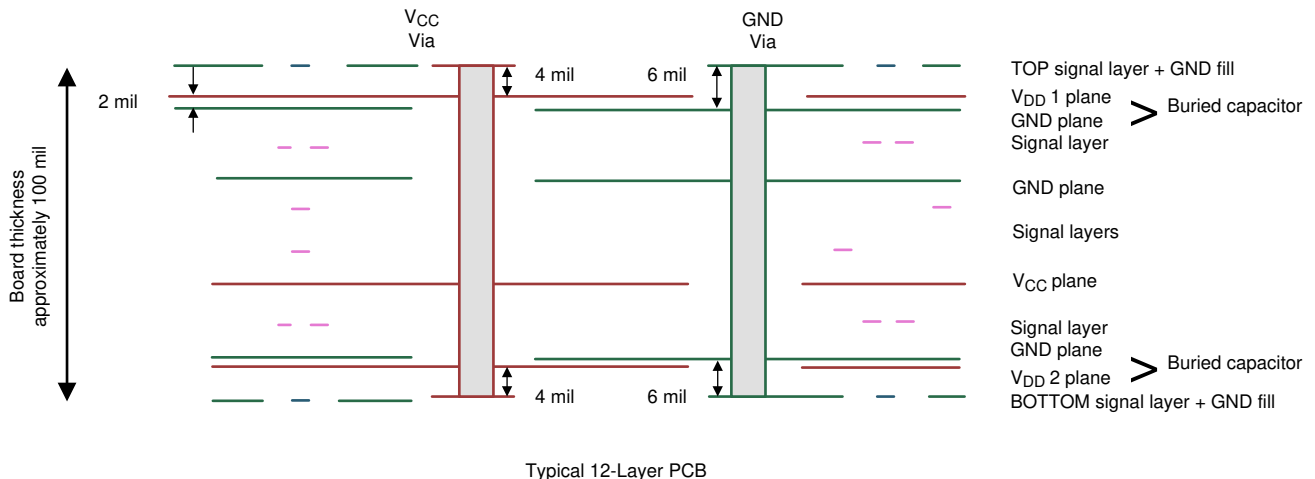


図 11-6. 低インダクタンスで大容量の電源接続

バイパス コンデンサは、V_{DD} ピンの近くに配置する必要があります。角の近くやパッケージの下に配置することで、ループ面積を最小限に抑えることができます。これにより、増加した容量の有効な周波数範囲が拡張されます。コンデンサのボディ インダクタンスを最小化するため、小型のコンデンサ (0402 や 0201、または X7R 表面実装コンデンサなど) を使用する必要があります。各バイパス コンデンサは、#none#(a) に示すように、コンデンサのパッドに接するビア経由で、電源およびグラウンド プレーンに接続されます。

サイズ 0402 の X7R 表面実装コンデンサのボディ インダクタンスは約 0.5nH です。30MHz を上回る周波数では、X7R コンデンサは低インピーダンスのインダクタとして動作します。動作周波数範囲を数百 MHz に拡張するため、一般的に

100pF、1nF、0.03μF、0.1μF などの値のコンデンサ アレイを並列に使用します。最も効果的なバイパス コンデンサは、2～3mil の間隔で、電源とグラウンドの層を挟んで形成できます。FR4 誘電体を 2mil で使用した場合、PCB 1 平方インチあたり約 500pF になります。多くの高速デバイスでは、パッケージの裏面で低インダクタンスの GND 接続が提供されています。このセンター パッドは、ビアのアレイを介してグラウンド プレーンに接続する必要があります。ビア アレイにより、グラウンドへの実効インダクタンスが減少し、小型の表面実装 (SMT) パッケージの放熱性能が向上します。パッド接続の周囲にビアを配置することで、適切な熱の拡散と、可能な限り低いダイ温度を確保できます。2 つの GND プレーンを使用して高性能デバイスを PCB の反対側に配置すると (図 9-4 を参照)、熱伝達のための複数の経路が形成されます。多くの場合、PCB の熱に関する問題は、あるデバイスが別のデバイスに熱を加えることで発生し、その結果、局所的な温度が非常に高くなります。熱伝達のための複数の経路がこの可能性を最小限に抑えます。多くの場合、GND パッドは、#none#(b) に示すようにパッド間の間隔が不十分なため、最適なデカップリング レイアウトを実現できません。この現象が発生した場合、ボードの裏面にデカップリング コンデンサを配置することで、追加のインダクタンスを最小限に抑えることができます。V_{DD} ビアは、十分な半田マスク領域を確保しながら、デバイスのピンにできる限り近づけて配置することが重要です。ビアがオープンのままの場合、ハンダがパッドからビア バレルに流れる可能性があります。この場合、半田接続が不十分になります。



11.2 レイアウト例

クロストークの可能性を最小限に抑えるため、個々のパターンの幅の少なくとも 2 倍または 3 倍の間隔で、シングルエンドのパターンと差動ペアを分離する必要があります。立ち上がり時間または立ち下がり時間の波長より短い間隔で並列に配線されるシングルエンドのパターンでは、通常、クロストークは無視できるほど小さくなります。クロストークを低減するため、長い並列配線の場合は信号路間の間隔を増やします。図 11-7 に示すように、基板の面積が限られている場合、配線パターン レイアウトを交互に配置することにはメリットがあります。

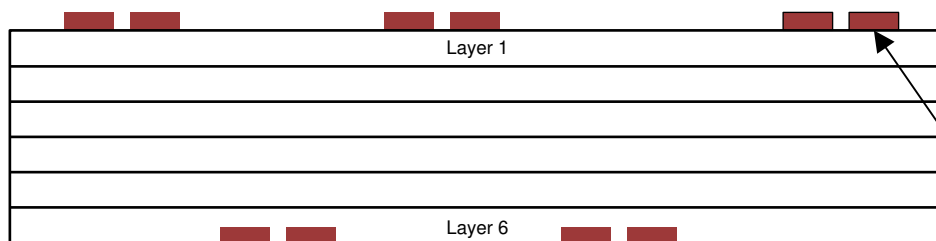


図 11-7. 交互パターンのレイアウト

この構成では、異なる層に交互の信号パターンが配置されるため、パターン間の水平間隔は個々のパターンの幅の 2 倍または 3 倍未満にできます。グラウンド信号路の連続性を確保するため、[図 11-8](#) に示すように、すべての信号ビアに隣接するグラウンド ビアを配置することを推奨します。ビアを使用すると追加の容量が発生することに注意してください。たとえば、代表的なビアには、FR4 で 1/2pF から 1pF への容量増加効果があります。

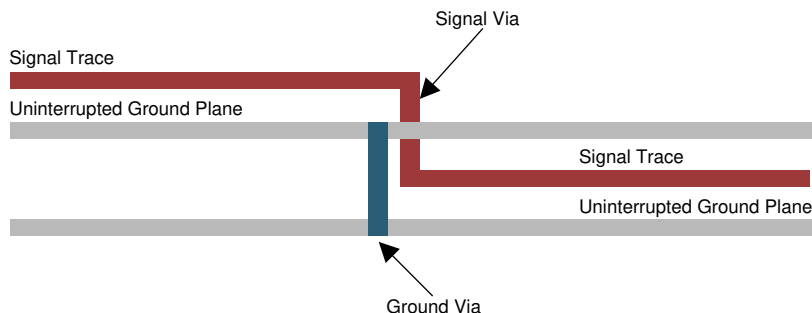


図 11-8. グラウンド ビアの位置 (側面図)

デバイスのグラウンド ピンを PCB のグラウンド プレーンに短く低インピーダンスで接続すると、グラウンド バウンスが低減されます。グラウンド プレーンの穴や切り欠きがリターン電流のループ面積を増やすような不連続性を形成する場合、電流のリターンパスに悪影響を及ぼす可能性があります。

EMI の問題を最小限に抑えるため、パターンの下に不連続が生じることを避け (穴、スリットなど)、パターンをできるだけ短くすることを推奨します。機能を混在させるのではなく、類似の機能を同じ領域にすべて配置してボードを適切にゾーニングすることは、外部からの影響の受けやすさに関する問題を低減するのに役立ちます。

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により、現状のまま提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

12.3 商標

Rogers™ is a trademark of Rogers Corporation.

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

13.1 付録 : パッケージ オプション

13.1.1 パッケージ情報

発注可能なデバイス	ステータス ⁽¹⁾	パッケージタイプ	パッケージ図	ピン	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール仕上げ	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ⁽⁴⁾
SN65MLVD204B	アクティブ	SOIC	D	8	75	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル-1-260C-UNLIM	-40～85	MF204B
SN65MLVD204BR	アクティブ	SOIC	D	8	2500	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル-1-260C-UNLIM	-40～85	MF204B
SN65MLVD204BRUM	プレビュー	WQFN	RUM	16	250	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル-1-260C-UNLIM	-40～125	MF204B
SN65MLVD204BRUM R	プレビュー	WQFN	RUM	16	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル-1-260C-UNLIM	-40～125	MF204B

- (1) マーケティング ステータスの値は次のように定義されています。

供給中: 新しい設計への使用が推奨される量産デバイス。

最終受注中: テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。

量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。

プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。

生産中止品: テキサス・インスツルメンツはデバイスの生産を終了しました。

- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

未定: 鉛フリー / グリーン転換プランが策定されていません。

鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。

鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。

グリーン (RoHS 準拠、Sb/Br 非含有): テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

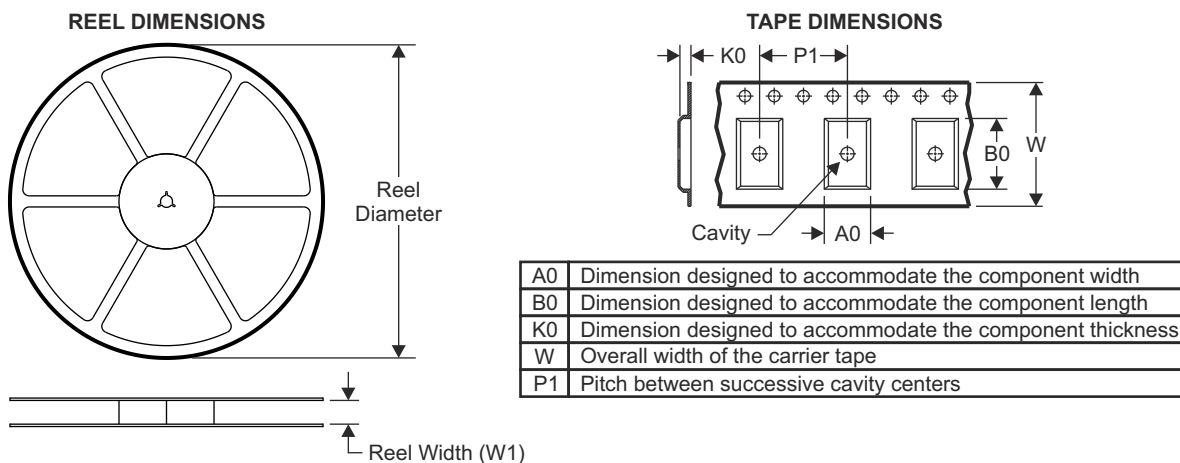
- (4) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります

- (5) 複数のデバイス マーキングが、括弧書きされています。「～」で区切られた括弧書きデバイス マーキングだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

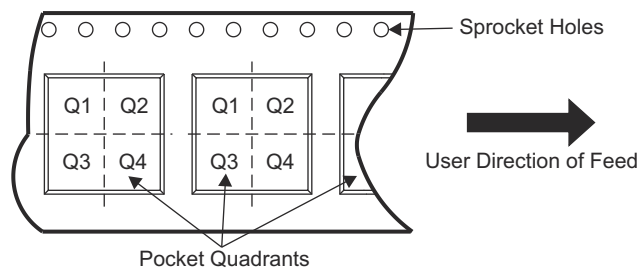
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

13.1.2 テープおよびリール情報

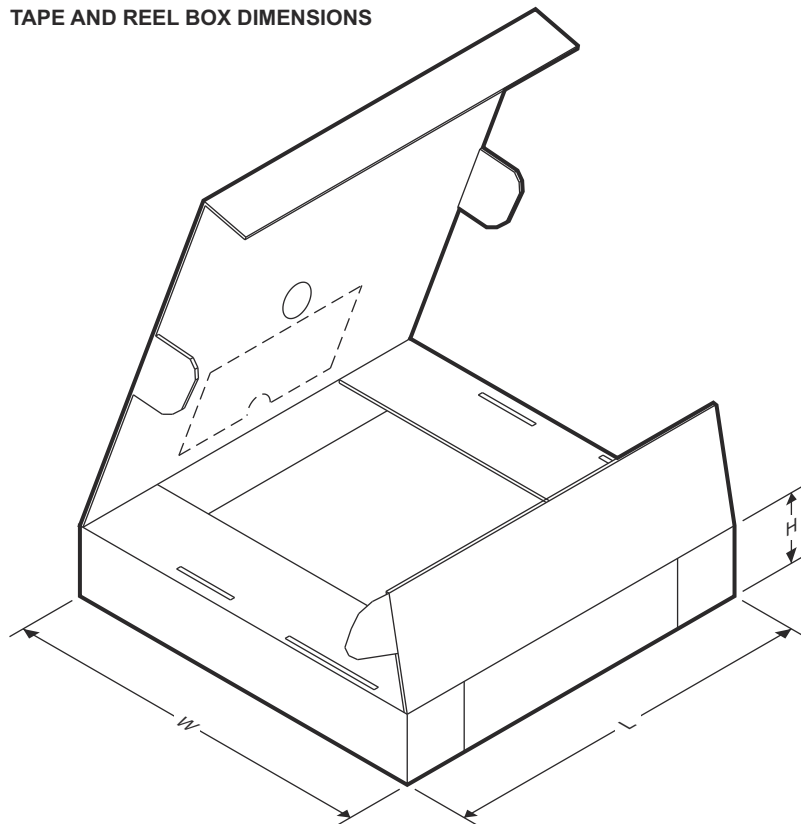


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
SN65MLVD204BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD204BRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
SN65MLVD204BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65MLVD204BRUMR	WQFN	RUM	16	3000	367.0	367.0	35.0

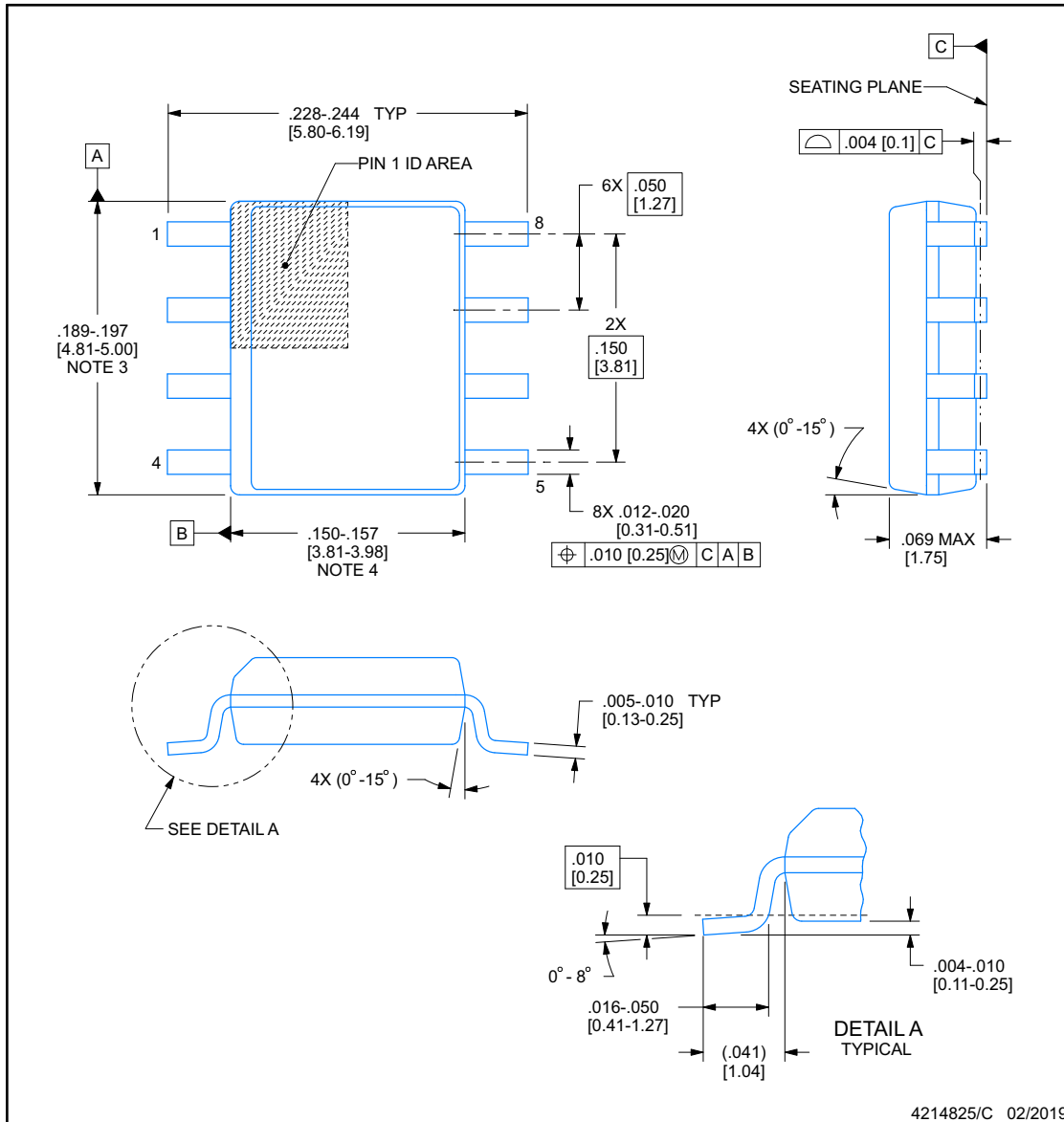


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

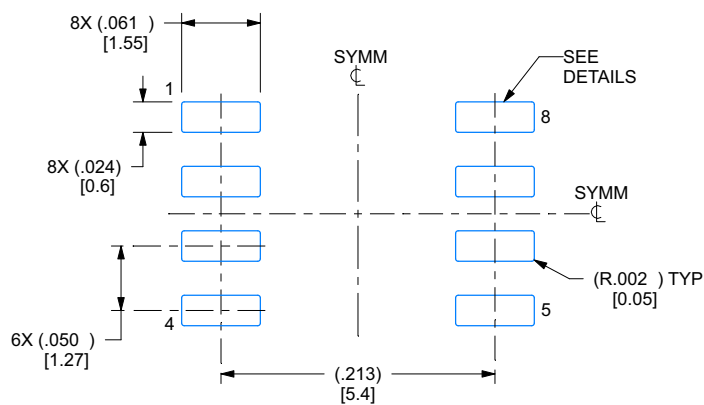
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

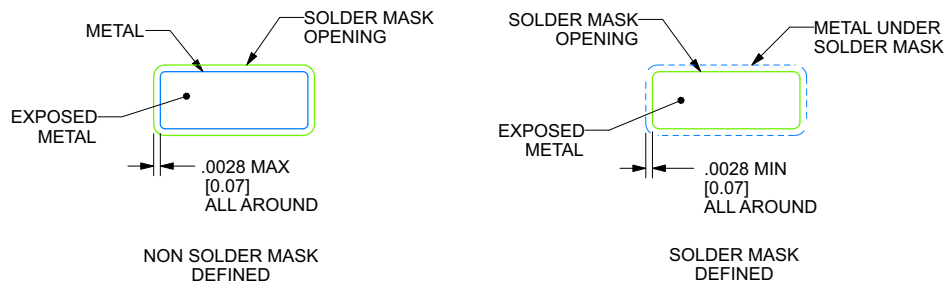
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

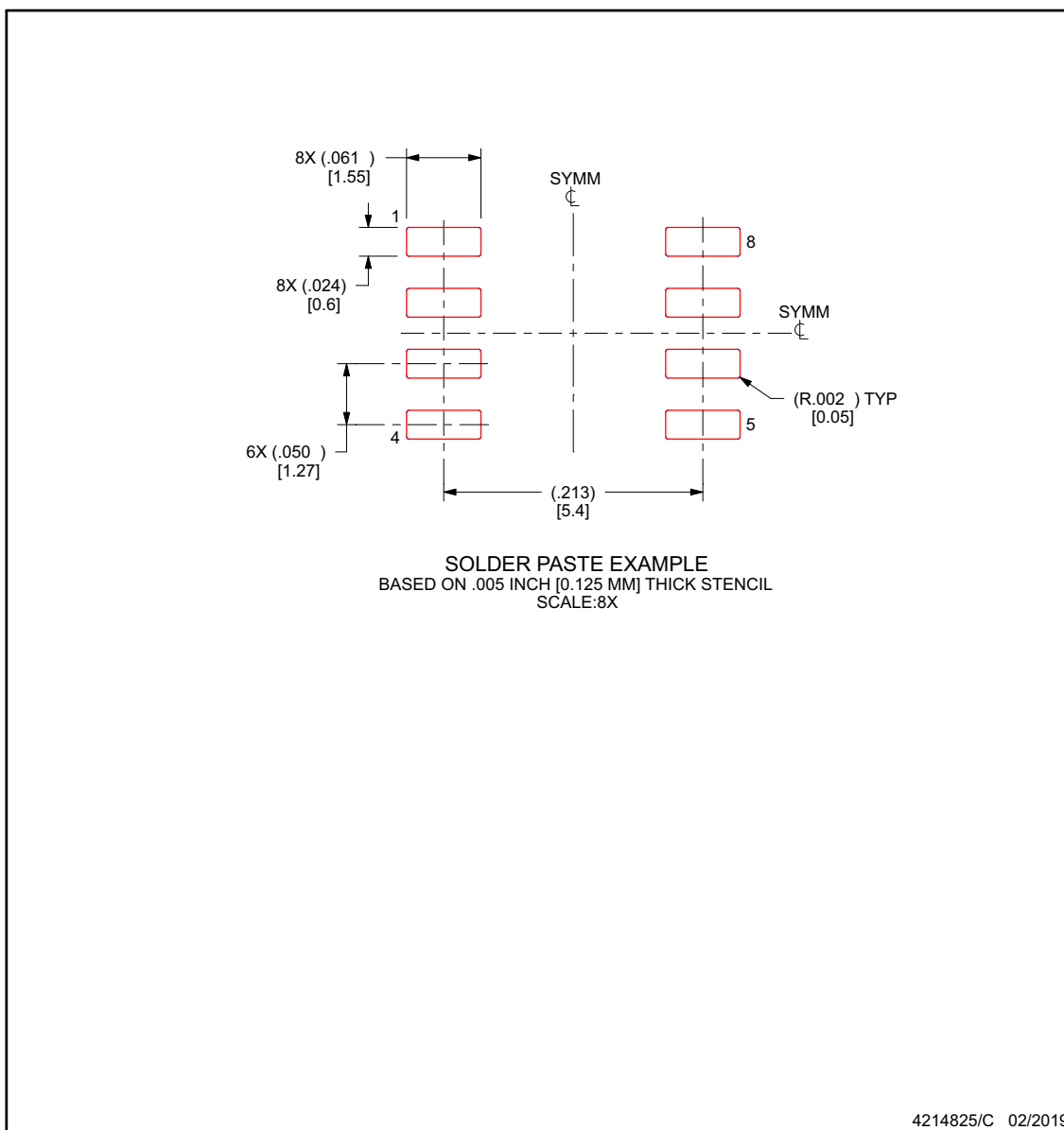
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



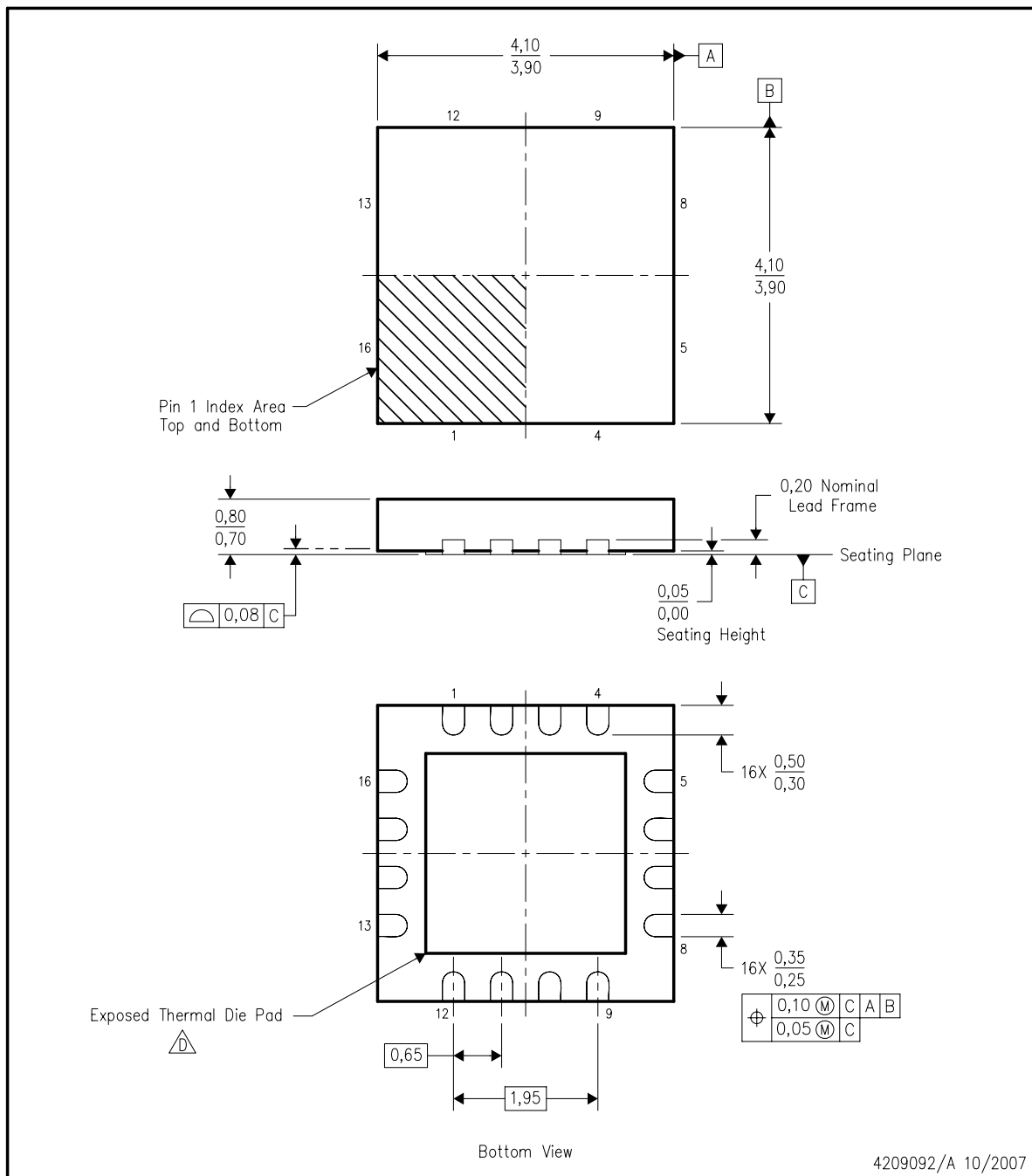
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

RUM (S-PQFP-N16)

PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 -  The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - E. Package complies to JEDEC MO-220 variation WGGC-3.

THERMAL PAD MECHANICAL DATA

RUM (S-PWQFN-N16)

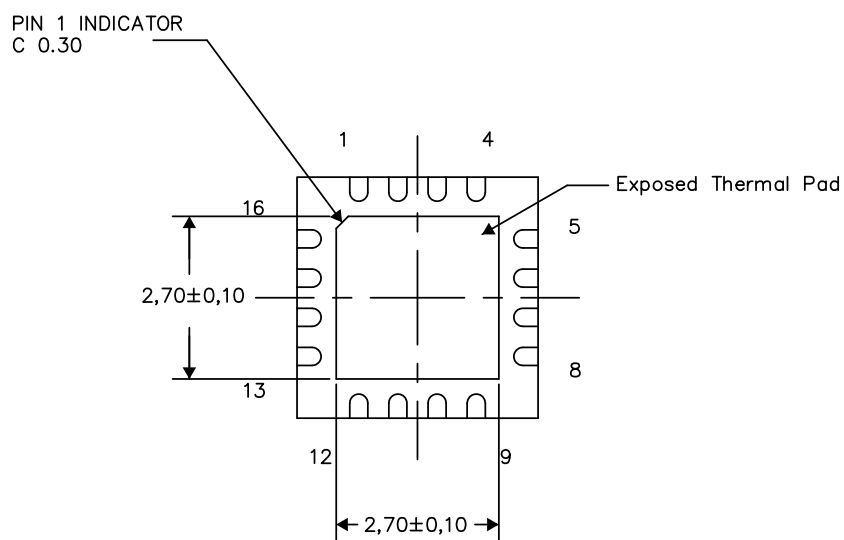
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093-2/F 09/15

NOTES: All linear dimensions are in millimeters

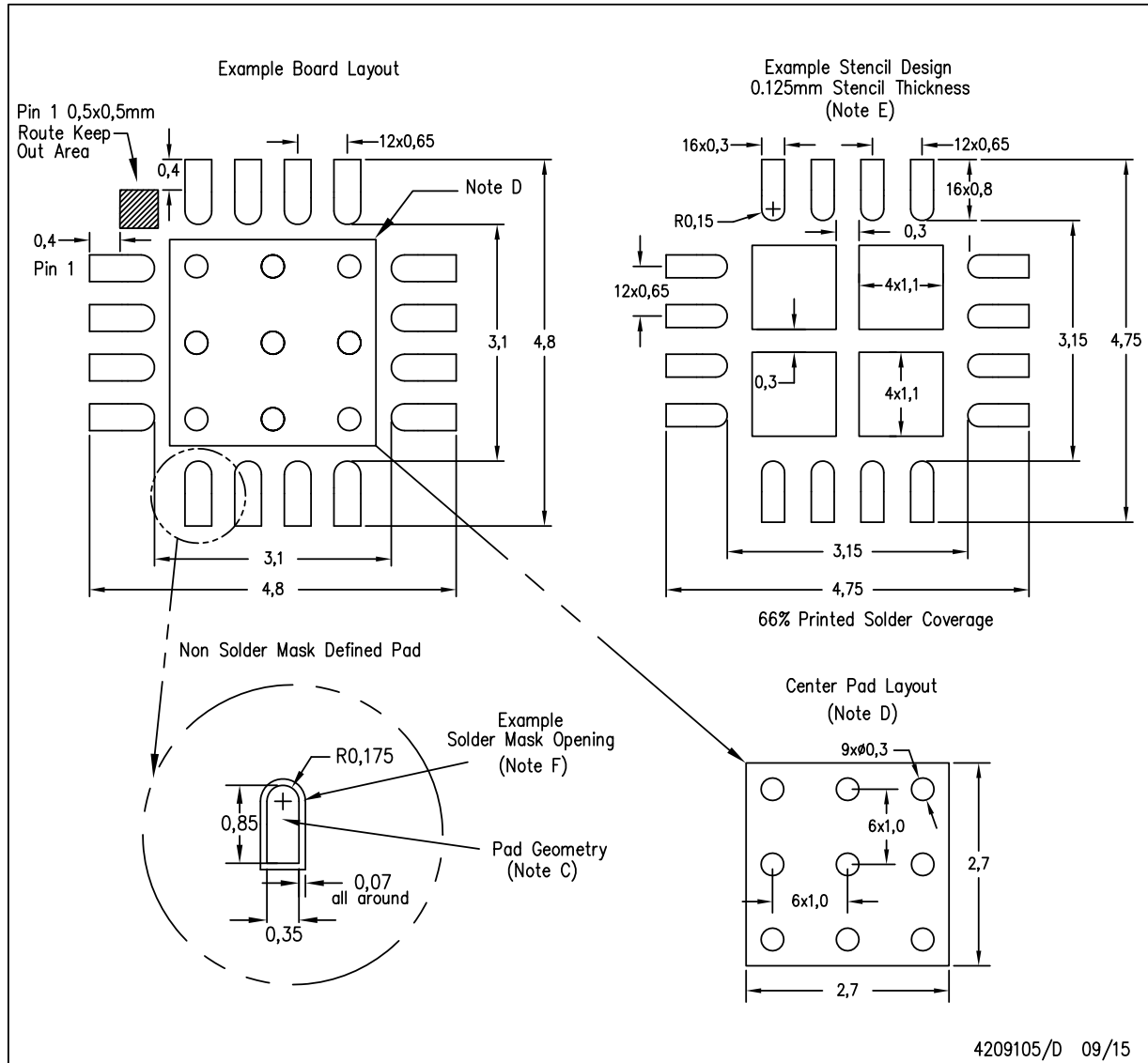
ADVANCE INFORMATION

LAND PATTERN DATA

RUM (S-PWQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD

ADVANCE INFORMATION



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for solder mask tolerances.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65MLVD204BD	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BD.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMR.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMT	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMT.B	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

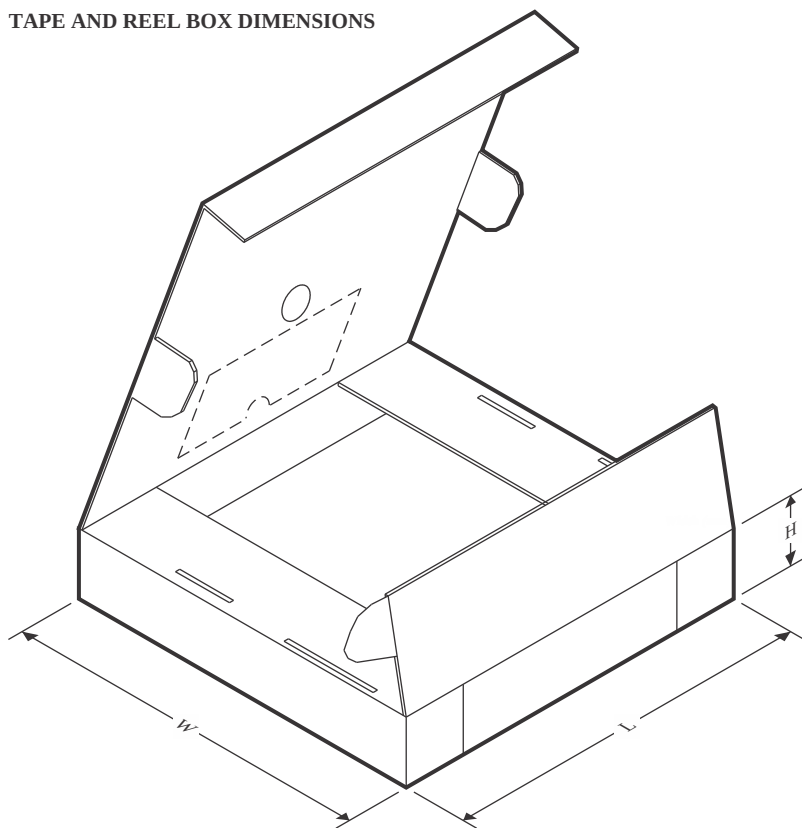
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65MLVD204BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD204BRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
SN65MLVD204BRUMT	WQFN	RUM	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65MLVD204BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN65MLVD204BRUMR	WQFN	RUM	16	3000	360.0	360.0	36.0
SN65MLVD204BRUMT	WQFN	RUM	16	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65MLVD204BD	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD204BD.B	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

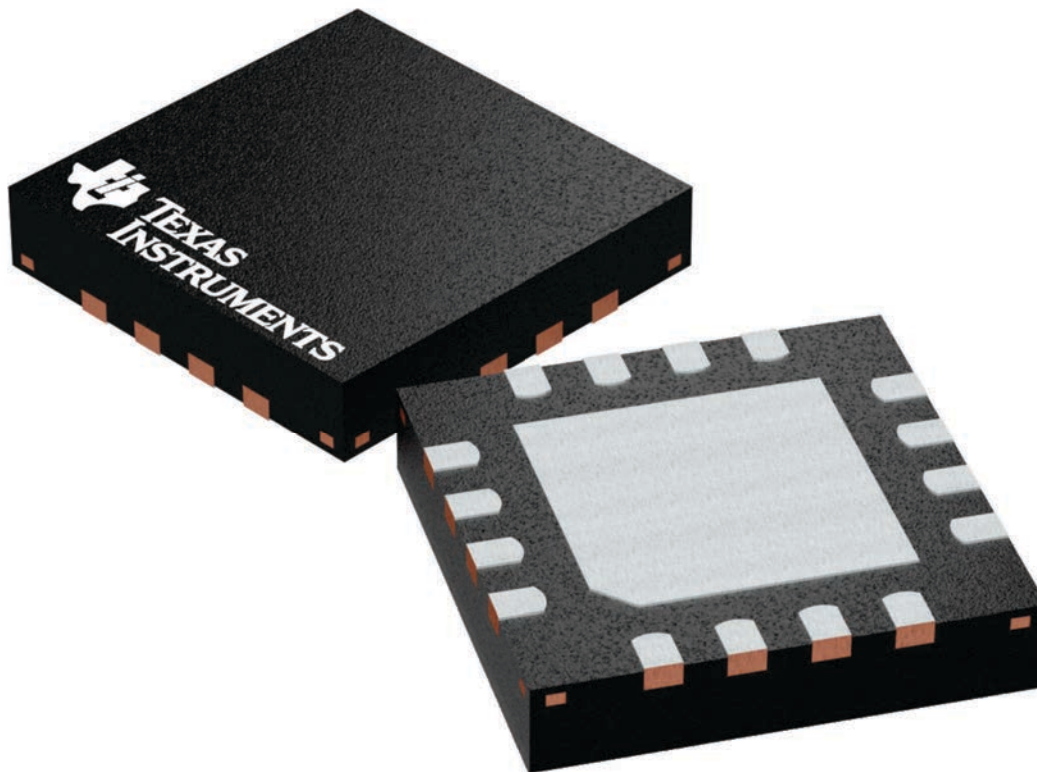
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

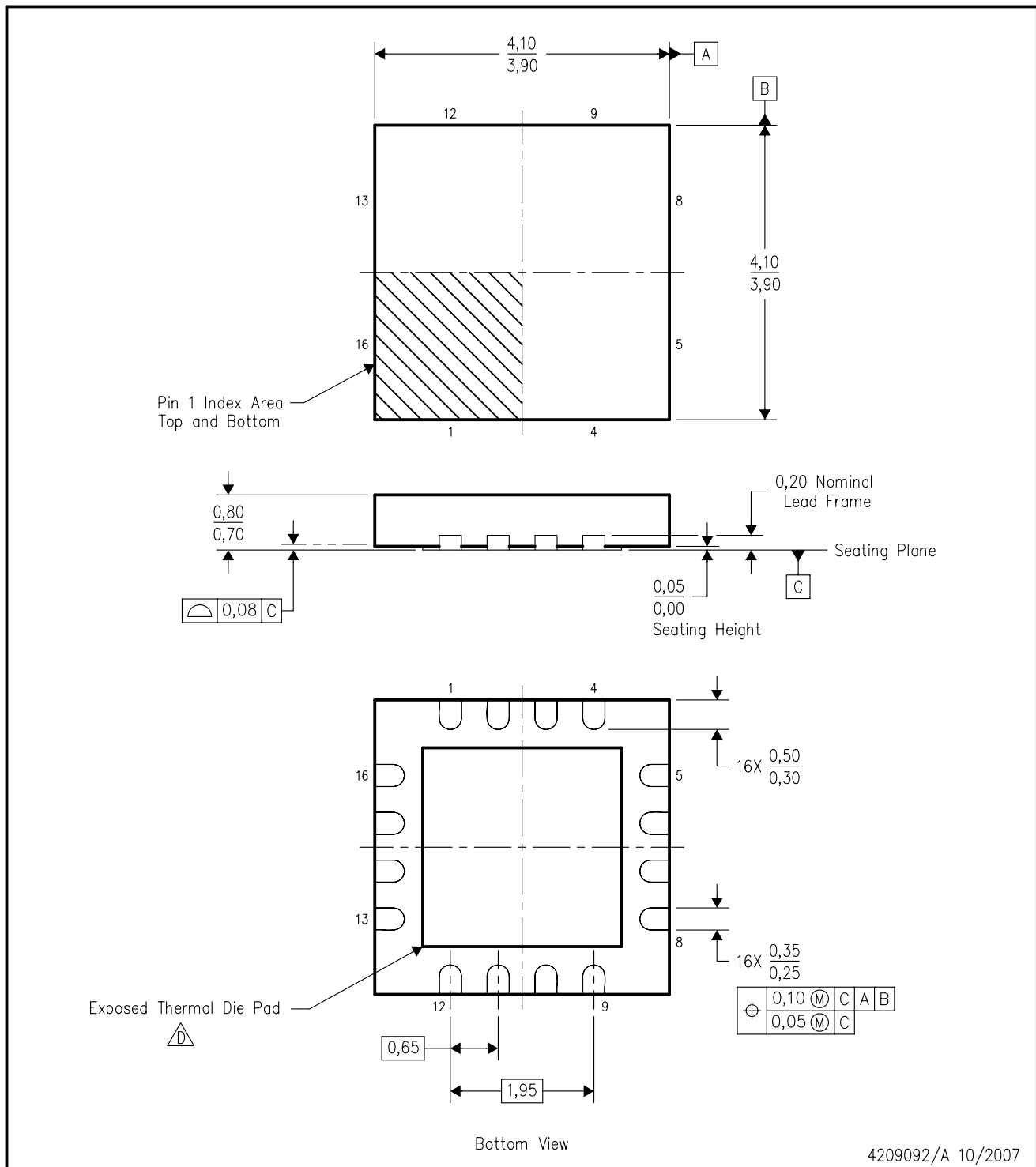
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224843/A

RUM (S-PQFP-N16)

PLASTIC QUAD FLATPACK



4209092/A 10/2007

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - E. Package complies to JEDEC MO-220 variation WGGC-3.

RUM (S-PWQFN-N16)

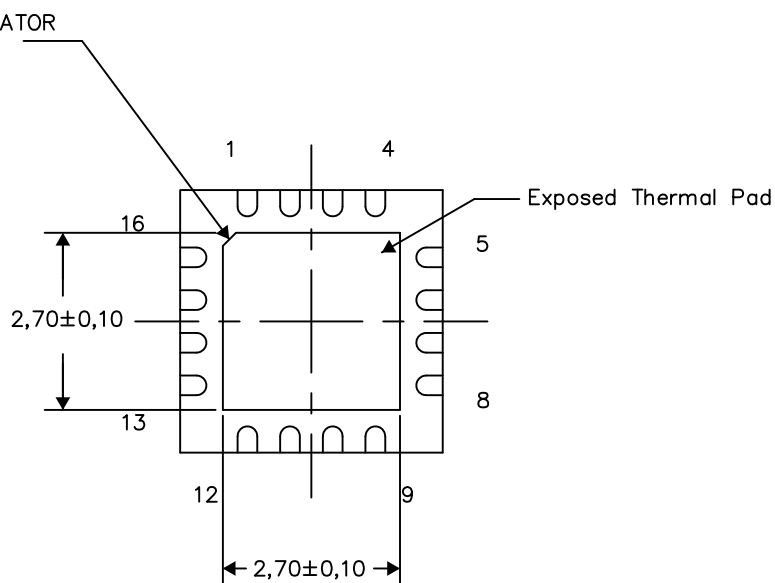
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093-2/F 09/15

NOTES: All linear dimensions are in millimeters



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



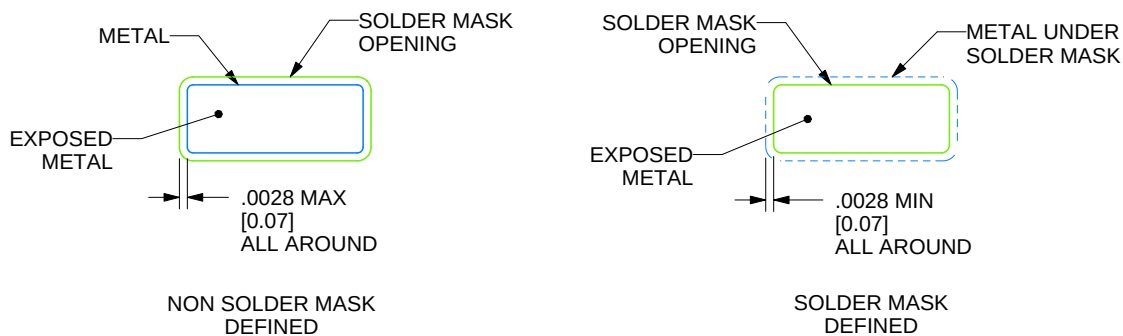
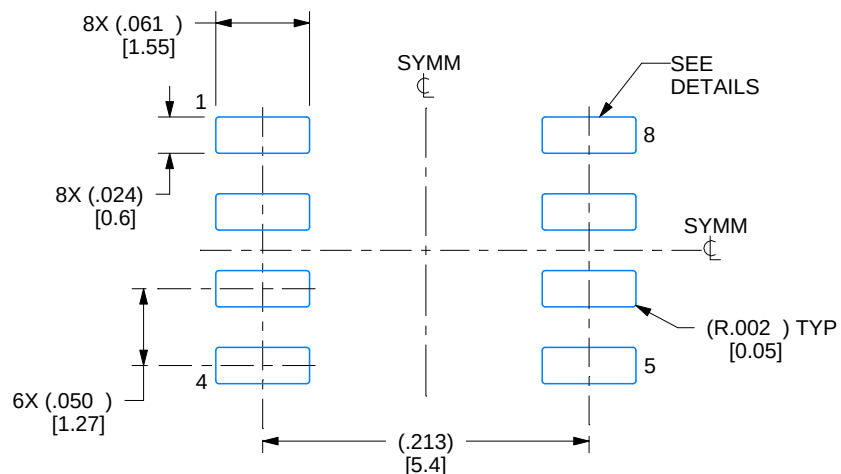
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

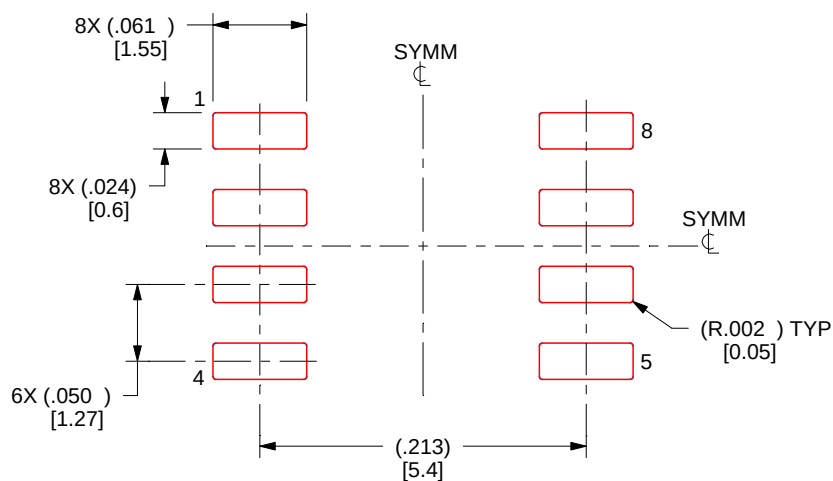
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月