TEXAS INSTRUMENTS
SN54ACT240, SN74ACT240
JAJSQC6G – JUNE 1995 – REVISED MARCH 2024

SNx4ACT240 3 ステート出力、オクタル バッファまたはドライバ

1 特長

- 4.5V～5.5V の V_{CC} で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 8.5ns (5V 時)
- 入力は TTL 互換です

2 アプリケーション

- ハンドセット:スマートフォン
- ネットワーク・スイッチ
- 健康管理およびフィットネス / ウェアラブル

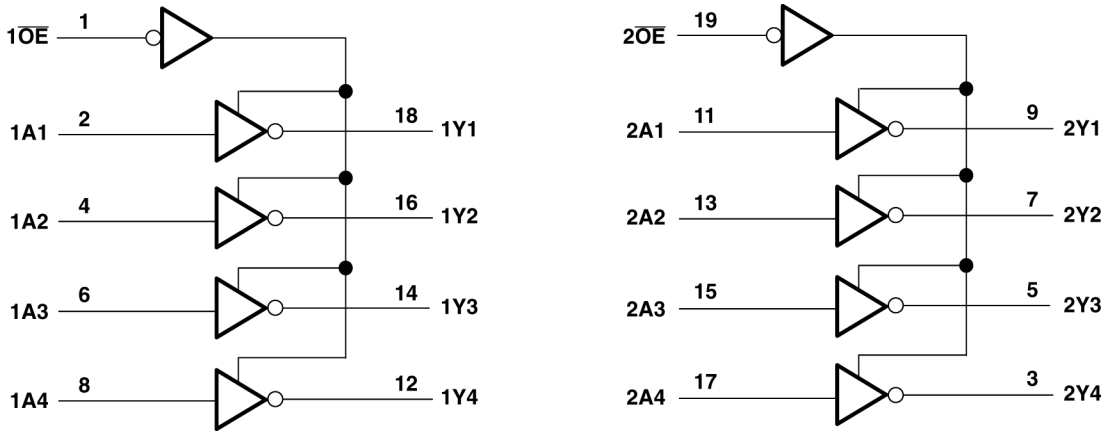
3 概要

これらのオクタル バッファ / ライン ドライバは、3 ステート メモリ アドレス ドライバ、クロック ドライバ、バス用レシーバ / トランスミッタの性能と密度を向上することに特化して設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74ACT240	N (PDIP、20)	24.33mm × 9.4mm	24.33mm × 6.35mm
	DGS (VSSOP、20)	5.1mm × 4.9mm	5.1mm × 3mm
	DW (SOIC、20)	12.8mm × 10.3mm	12.80mm × 7.50mm
	NS (SOP、20)	12.6mm × 7.8mm	12.6mm × 5.3mm
	DB (SSOP、20)	7.2mm × 7.8mm	7.2mm × 5.3mm
	PW (TSSOP、20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	RKS (VQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 推奨動作条件.....5
5.3 熱に関する情報.....5
5.4 電気的特性.....6
5.5 スイッチング特性.....6
5.6 動作特性.....6
6 パラメータ測定情報.....7
7 詳細説明.....8
7.1 概要.....8
7.2 機能ブロック図.....8
7.3 機能説明.....8
7.4 デバイスの機能モード.....8
8 デバイスおよびドキュメントのサポート.....9
8.1 ドキュメントの更新通知を受け取る方法.....9
8.2 サポート・リソース.....9
8.3 商標.....9
8.4 静電気放電に関する注意事項.....9
8.5 用語集.....9
9 改訂履歴.....9
10 メカニカル、パッケージ、および注文情報.....9

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

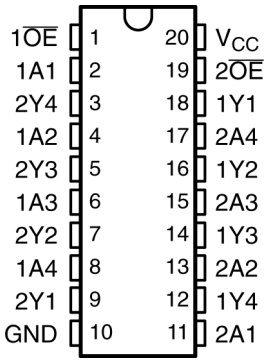


図 4-1. SN54ACT240 J または W パッケージ、SN74ACT240 DB、DGS、DW、N、NS、または PW パッケージ (上面図)

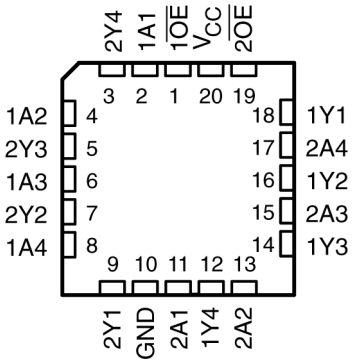


図 4-2. SN54ACT240 FK パッケージ (上面図)

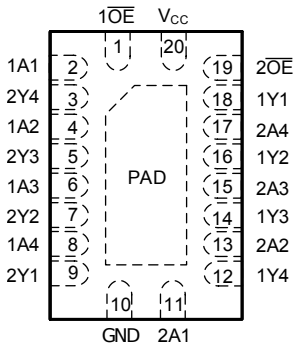


図 4-3. SNx4ACT240 VQFN パッケージ (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
1OE	1	I	出力イネーブル 1
1A1	2	I	1A1 入力
2Y4	3	O	2Y4 出力
1A2	4	I	1A2 入力
2Y3	5	O	2Y3 出力
1A3	6	I	1A3 入力
2Y2	7	O	2Y2 出力
1A4	8	I	1A4 入力
2Y1	9	O	2Y1 出力
GND	10	—	グランド ピン
2A1	11	I	2A1 入力
1Y4	12	O	1Y4 出力
2A2	13	I	2A2 入力
1Y3	14	O	1Y3 出力
2A3	15	I	2A3 入力
1Y2	16	O	1Y2 出力

Copyright © 2024 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類 (1)	説明
名称	番号		
2A4	17	I	2A4 入力
1Y1	18	O	1Y1 出力
$\overline{2OE}$	19	I	出力イネーブル 2
VCC	20	—	パワー ピン
放熱パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力
(2) RKS パッケージに限定

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I (2)	入力電圧範囲		-0.5	V_{CC}+0.5	V
V_O (2)	出力電圧範囲		-0.5	V_{CC}+0.5	V
I_{IK}	入力クランプ電流	(V_I < 0 または V_I > V_{CC})		±20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0 または V_{CC})		±50	mA
	V_{CC} または GND を通過する連続電流			±200	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。S これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		SN54ACT240		SN74ACT240		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5		5.5	V
V_{IH}	High レベル入力電圧	2				V
V_{IL}	Low レベル入力電圧		0.8		0.8	V
V_I	入力電圧	0	V_{CC}		V_{CC}	V
V_O	出力電圧	0	V_{CC}		V_{CC}	V
I_{OH}	HIGH レベル出力電流		-24		-24	mA
I_{OL}	Low レベル出力電流		24		24	mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート		8		8	ns/V
T_A	自由空気での動作温度	-55	125		85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

5.3 熱に関する情報

熱評価基準(1)		DB (SSOP)	DGS (VSSOP)	DW (SOIC)	N (PDIP)	NS (SOP)	PW (TSSOP)	RKS (VQFN)	単位
		20 ピン							
$R_{\theta JA}$	接合部から周囲への熱抵抗 (2)	70	123.5	101.2	69	60	126.2	68	℃/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

Copyright © 2024 Texas Instruments Incorporated

5.4 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN54ACT240		SN74ACT240		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.49		4.4		4.4		V
		5.5V	5.4	5.49		5.4		5.4		
	I_{OH} = -24mA	4.5V	3.86			3.7		3.76		
		5.5V	4.86			4.7		4.76		
	I_{OH} = –50mA(1)	5.5V				3.85				
	I_{OH} = –75mA(1)	5.5V						3.85		
V_{OL}	I_{OL} = 50μA	4.5V		0.001	0.1		0.1		0.1	V
		5.5V		0.001	0.1		0.1		0.1	
	I_{OL} = 24 mA	4.5V			0.36		0.5		0.44	
		5.5V			0.36		0.5		0.44	
	I_{OL} = 50mA(1)	5.5V					1.65			
	I_{OL} = 75mA(1)	5.5V							1.65	
I_{OZ}	V_O = V_{CC} または GND	5.5V			±0.25		±5		±2.5	μA
I_I	V_I = V_{CC} または GND	5.5V			±0.1		±1		±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			4		80		40	μA
ΔI_{CC} (2)	1 つの入力は 3.4V、その他の入力は GND または V_{CC}	5.5V		0.6			1.6		1.5	mA
C_i	V_I = V_{CC} または GND	5V		2.5						pF
C_O	V_I = V_{CC} または GND	5V		8						pF

(1) 一度に複数の出力をテストすることはできません。また、テスト期間は 2ms を超えないようにしてください。
(2) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

5.5 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5 V±0.5 V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	T_A = 25℃			SN54ACT240		SN74ACT240		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A	Y	1.5	6	8.5	1	9.5	1.5	9.5	ns
t_{PHL}			1.5	5.5	7.5	1	9	1.5	8.5	
t_{PZH}	$\overline{OE}$	Y	1.5	7	8.5	1	10	1	9.5	ns
t_{PZL}			2	7	9.5	1	11.5	1.5	10.5	
t_{PHZ}	$\overline{OE}$	Y	2	8	9.5	1	11	2	10.5	ns
t_{PLZ}			2.5	6.5	10	1	11.5	2	10.5	

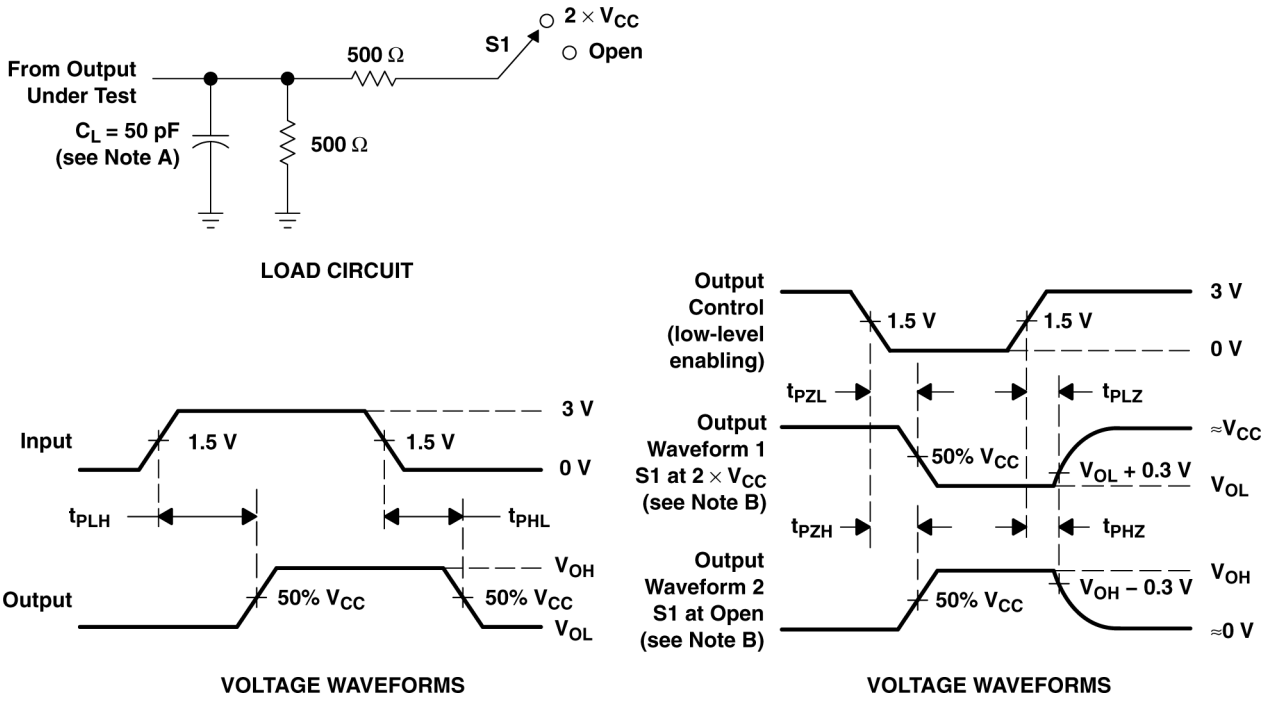
5.6 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件	標準値	単位
C_{pd}	バッファ / ドライバあたりの消費電力容量	C_L = 50pF、 f = 1MHz	45	pF

Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報



A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 2.5ns、t_f ≦ 2.5ns。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 6-1. 負荷回路および電圧波形

テスト	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	2 × V_{CC}
t_{PHZ}/t_{PZH}	オープン

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4ACT240 デバイスは、独立した出力イネーブル ($\overline{OE}$) 入力を備えた 2 つの 4 ビット バッファ / ドライバで構成されています。$\overline{OE}$ が Low の場合、デバイスは A 入力の反転データを Y 出力に渡します。$\overline{OE}$ が High の場合、出力は高インピーダンス状態になります。

電源投入または電源オフの間にデバイスを高インピーダンス状態にするには、$\overline{OE}$ をプルアップ抵抗を介して V_{CC} に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決まります。

7.2 機能ブロック図

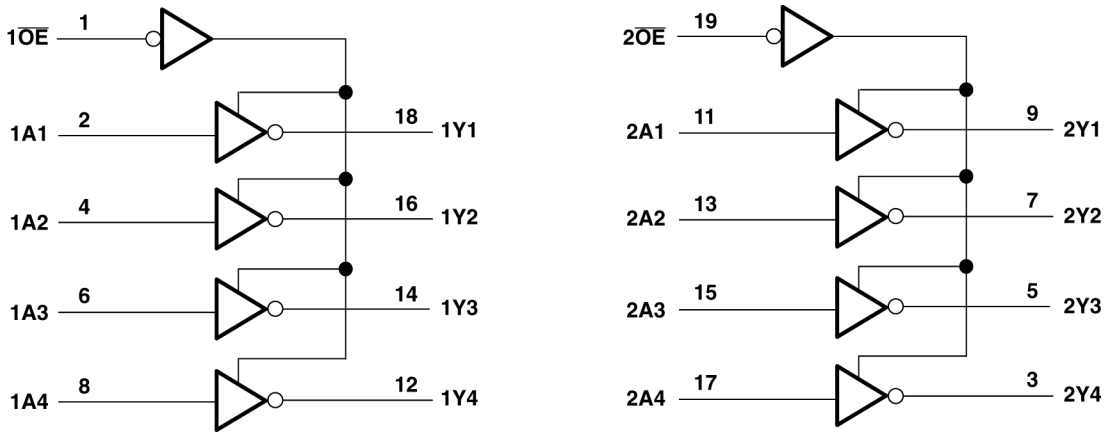


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.4 デバイスの機能モード

表 7-1. 機能表 (各バッファ)

入力		出力
$\overline{OE}$	A	Y
L	H	L
L	L	H
H	X	Z

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (November 2023) to Revision G (March 2024)	Page
• 「製品情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に DGS および PW パッケージを追加	1
• 「製品情報」表に本体サイズを追加	1

Changes from Revision E (November 2023) to Revision F (March 2024)	Page
• RθJA の値を更新：DW = 58～101.2、PW = 83～126.2、値はすべて℃/W 単位	5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8775901M2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901M2A SNJ54ACT 240FK
5962-8775901MRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MRA SNJ54ACT240J
5962-8775901MSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MSA SNJ54ACT240W
SN74ACT240DBR	NRND	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240DBR.A	NRND	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T240
SN74ACT240DGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T240
SN74ACT240DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT240
SN74ACT240DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT240
SN74ACT240N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74ACT240N
SN74ACT240N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74ACT240N
SN74ACT240NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT240
SN74ACT240NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT240
SN74ACT240PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	AD240
SN74ACT240PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240PWRG4	NRND	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240PWRG4.A	NRND	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD240
SN74ACT240RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	ACT240
SN74ACT240RKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	ACT240
SNJ54ACT240FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901M2A SNJ54ACT 240FK

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54ACT240FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901M2A SNJ54ACT 240FK
SNJ54ACT240J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MRA SNJ54ACT240J
SNJ54ACT240J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MRA SNJ54ACT240J
SNJ54ACT240W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MSA SNJ54ACT240W
SNJ54ACT240W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775901MSA SNJ54ACT240W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54ACT240, SN74ACT240 :

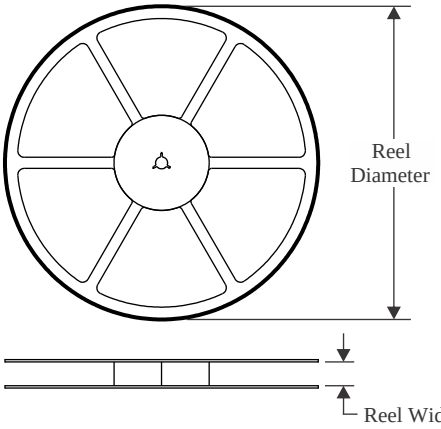
- Catalog : SN74ACT240
- Automotive : SN74ACT240-Q1, SN74ACT240-Q1
- Military : SN54ACT240

NOTE: Qualified Version Definitions:

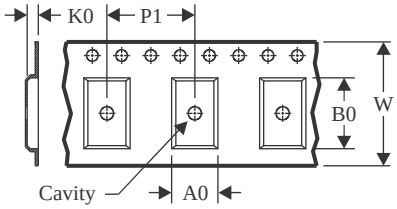
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

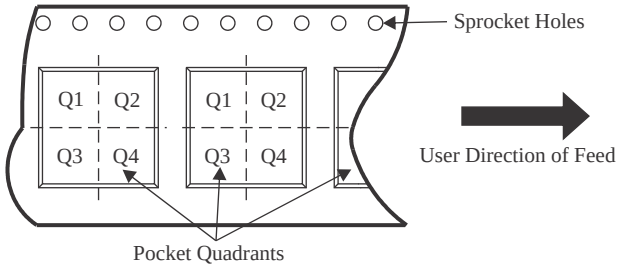


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

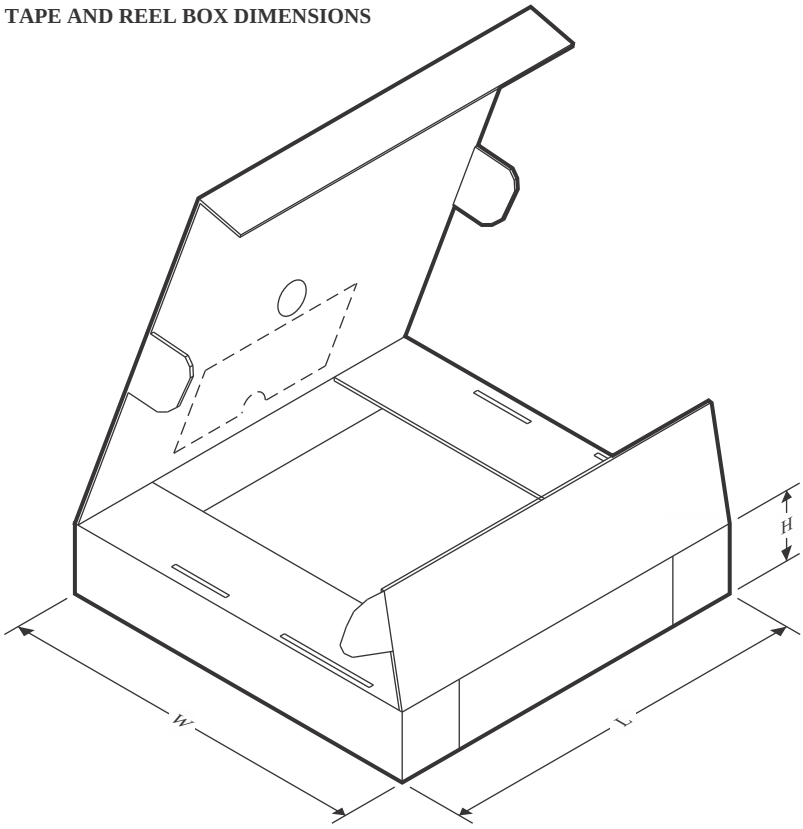
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74ACT240DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74ACT240DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74ACT240DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74ACT240DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74ACT240NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74ACT240PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74ACT240PWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74ACT240RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

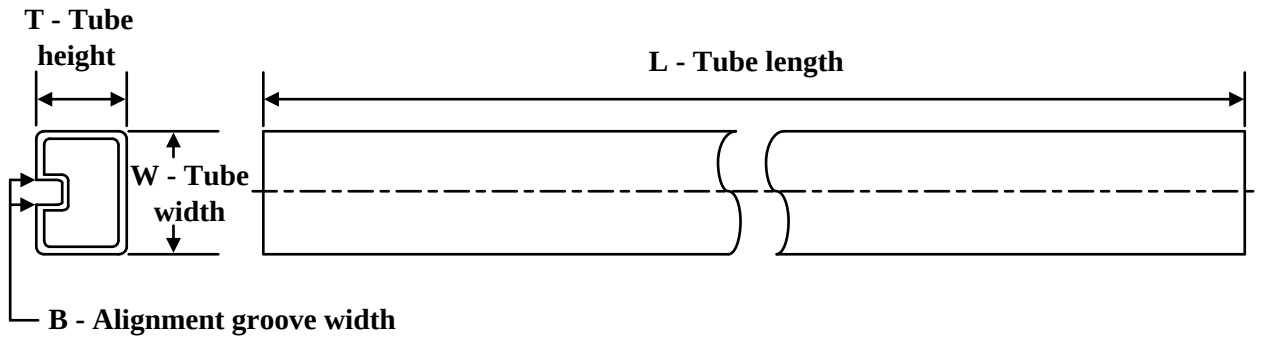
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74ACT240DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74ACT240DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74ACT240DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74ACT240DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74ACT240NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74ACT240PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74ACT240PWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74ACT240RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

TUBE



*All dimensions are nominal

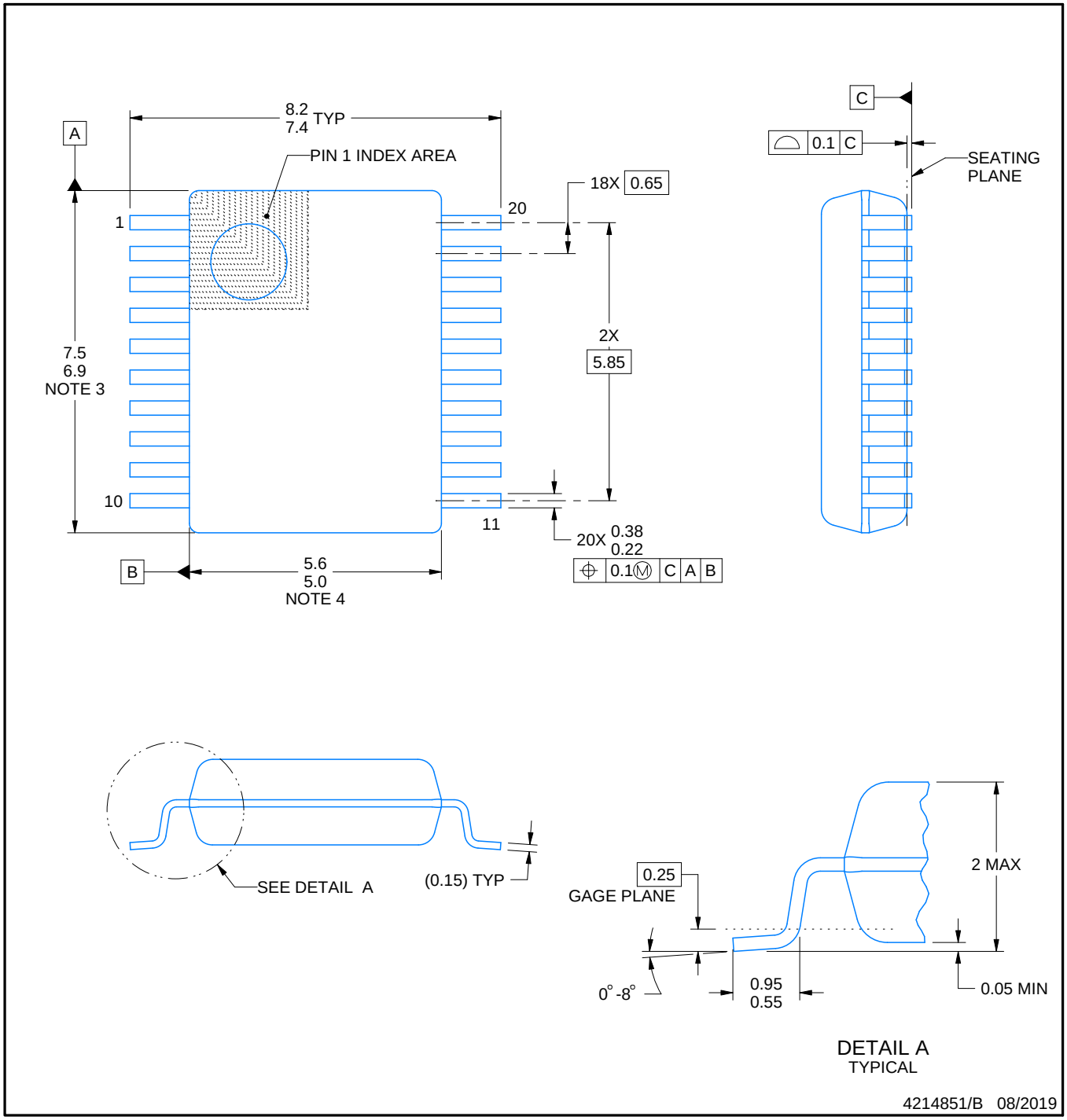
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8775901M2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8775901MSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74ACT240N	N	PDIP	20	20	506	13.97	11230	4.32
SN74ACT240N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54ACT240FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54ACT240FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54ACT240W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54ACT240W.A	W	CFP	20	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DB0020A

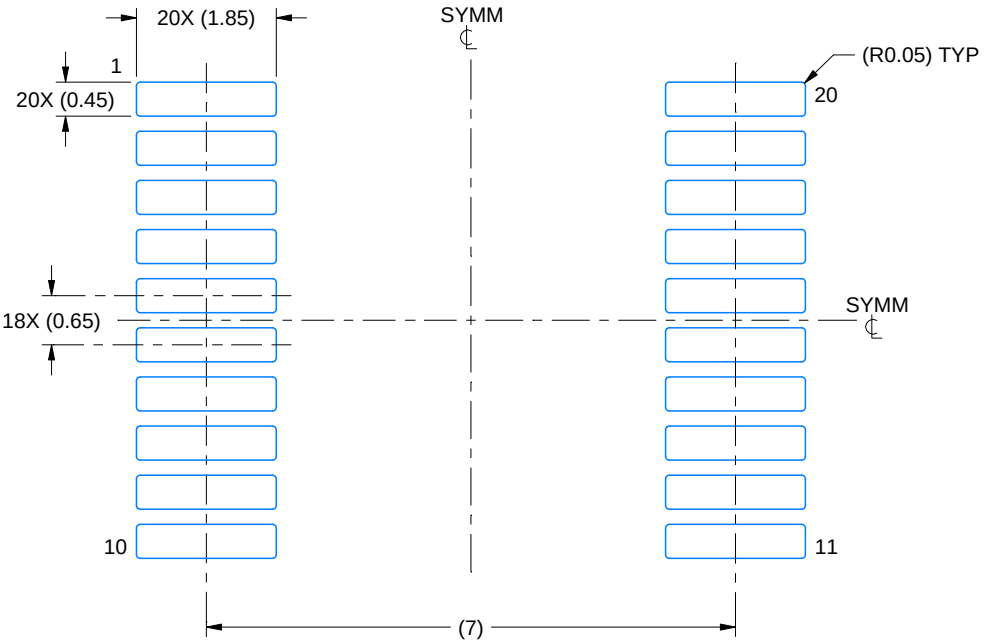
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

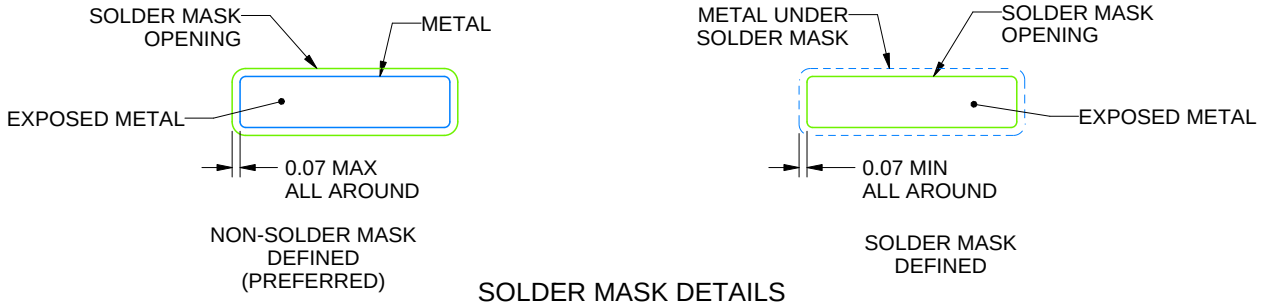


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

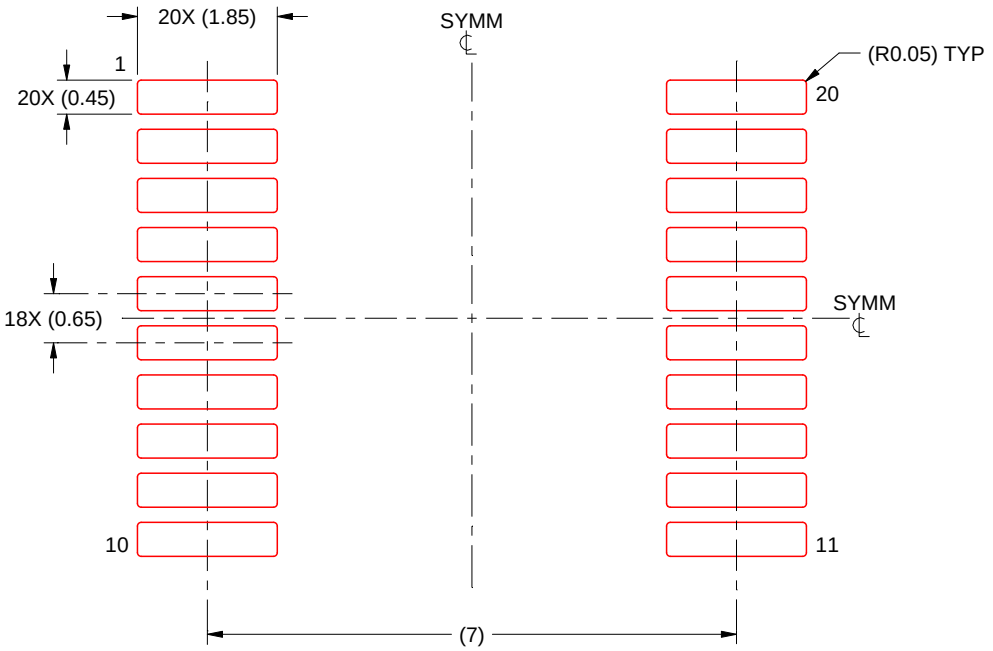
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

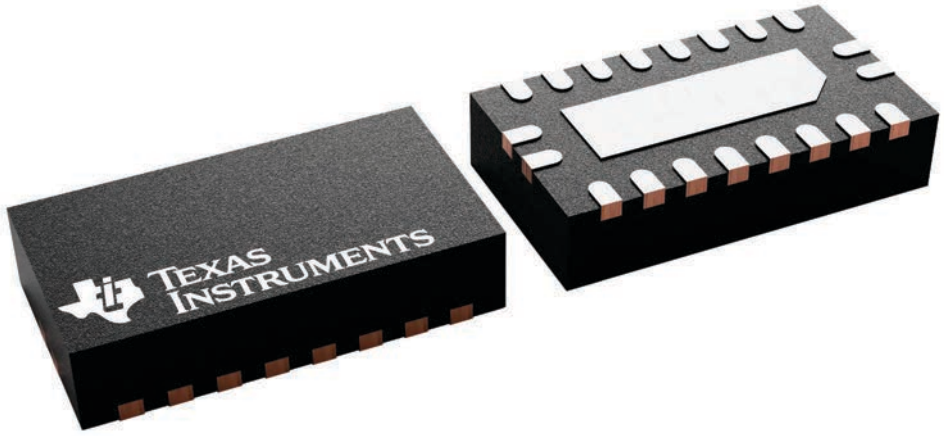
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

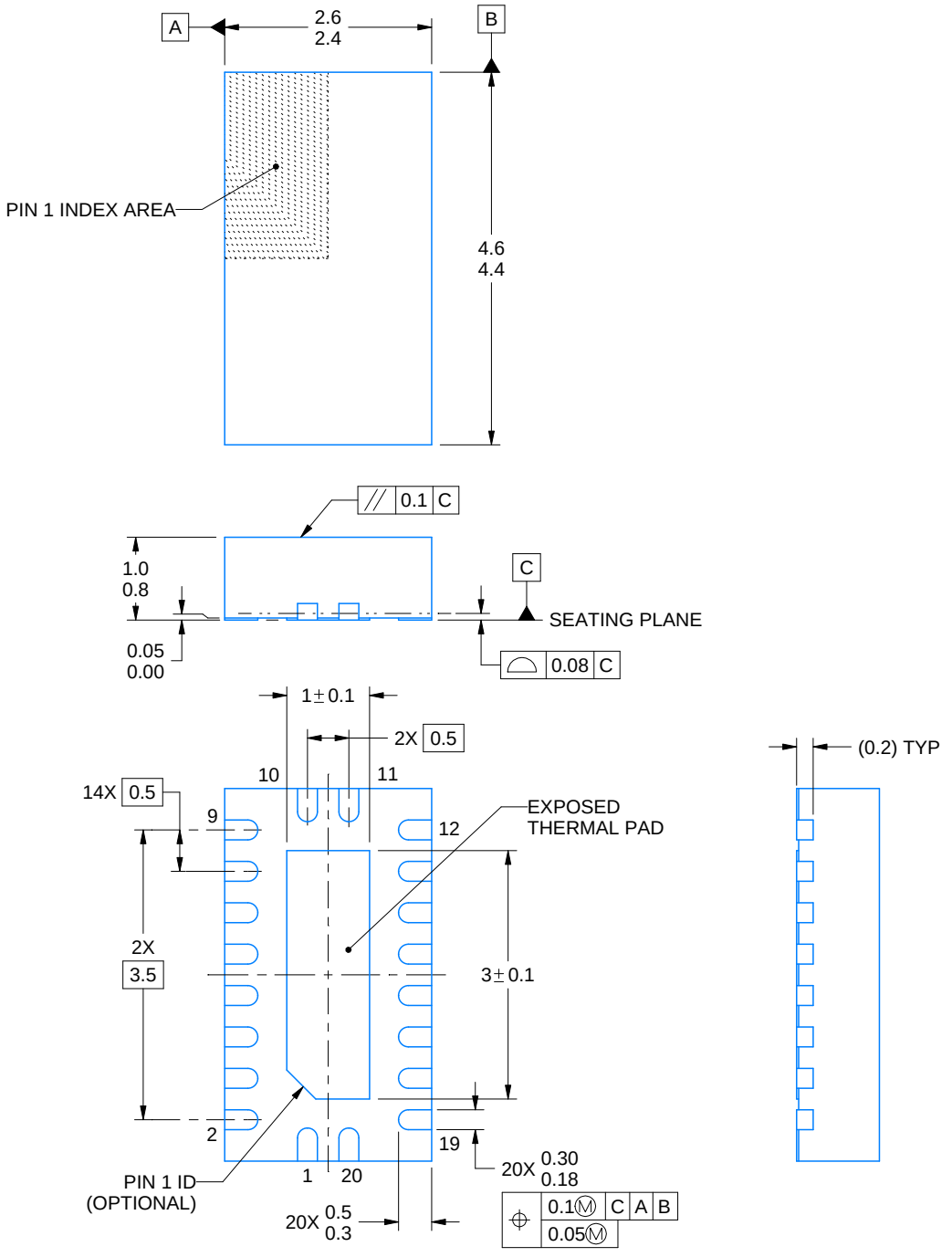


PACKAGE OUTLINE

RKS0020A

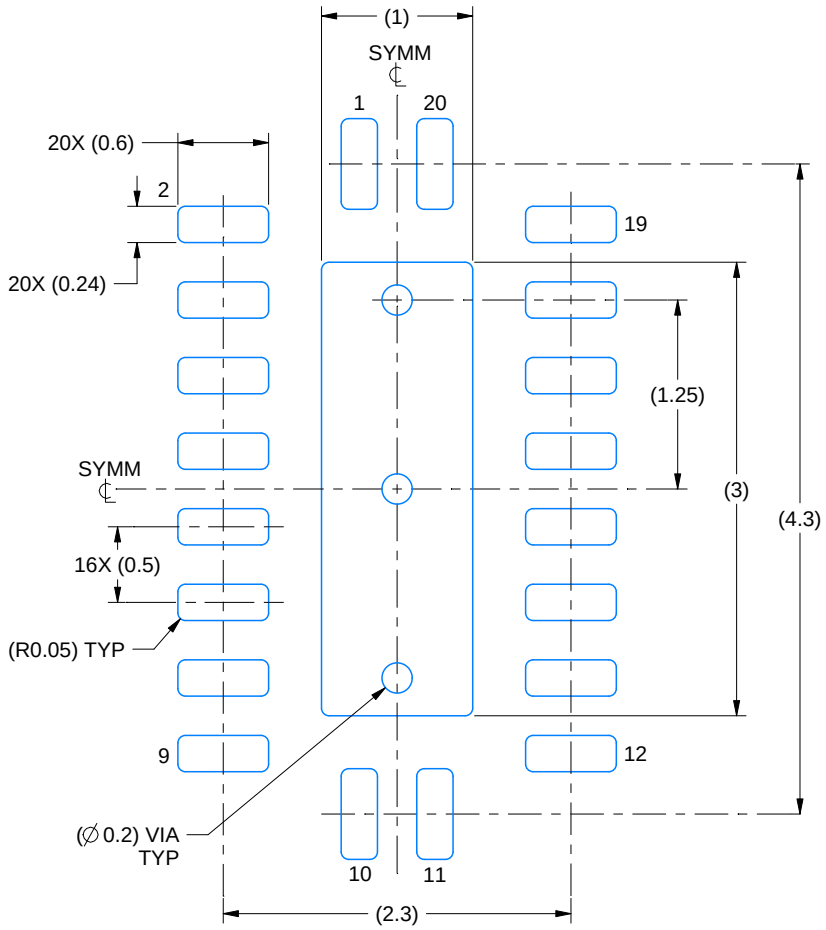
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

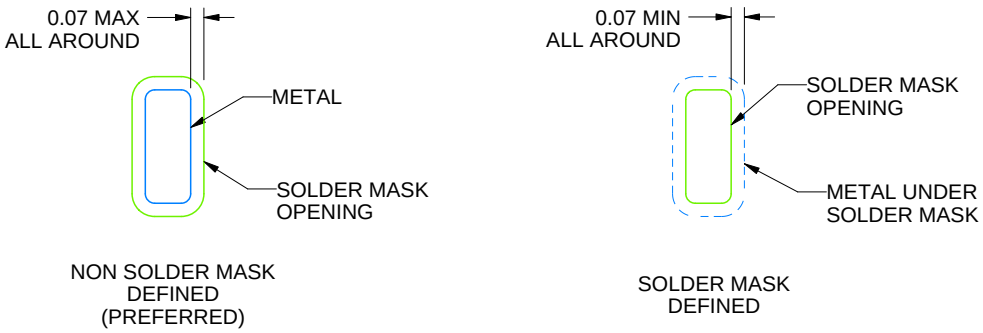


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

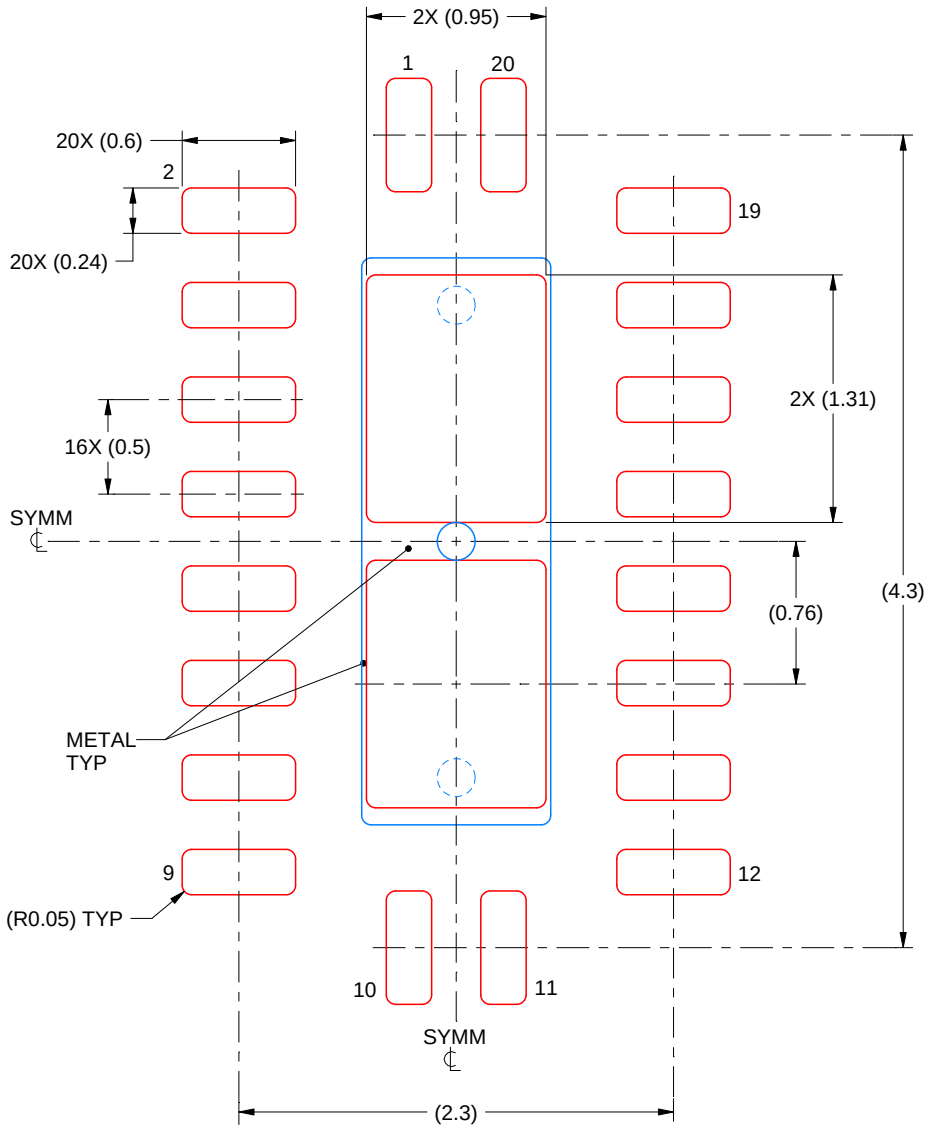


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

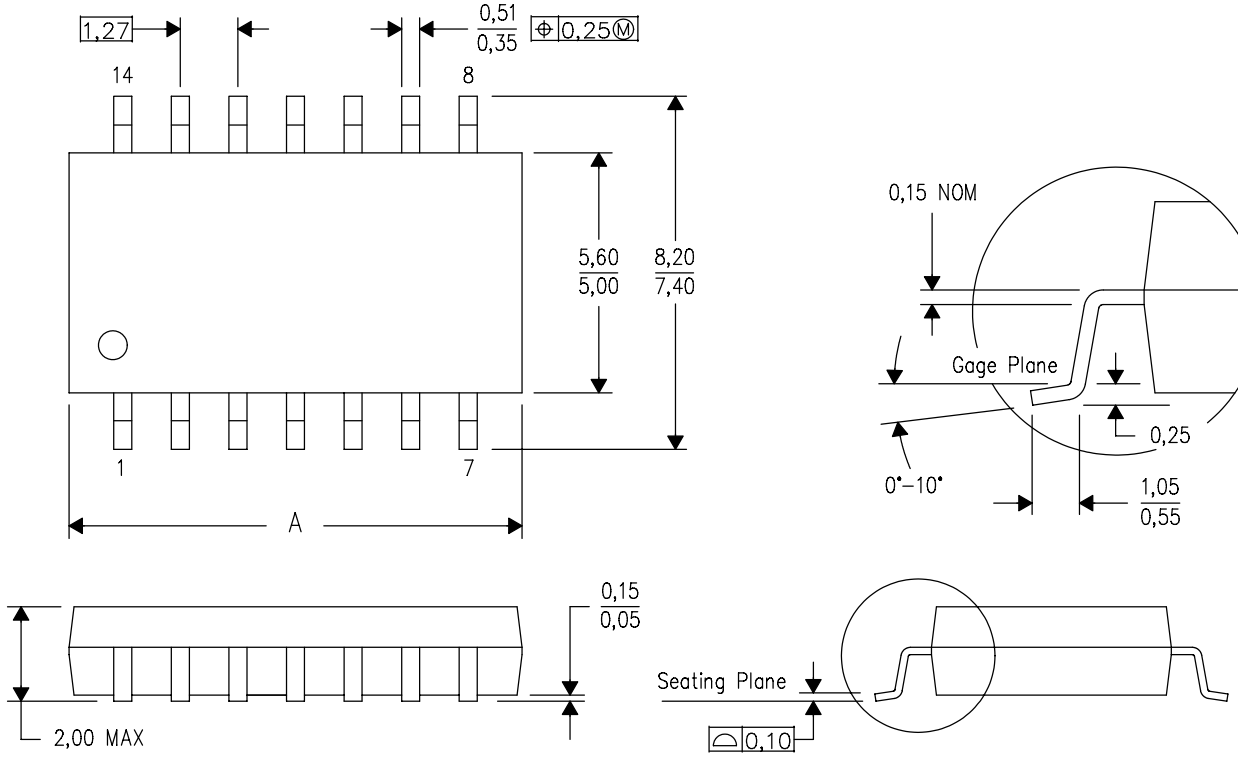
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

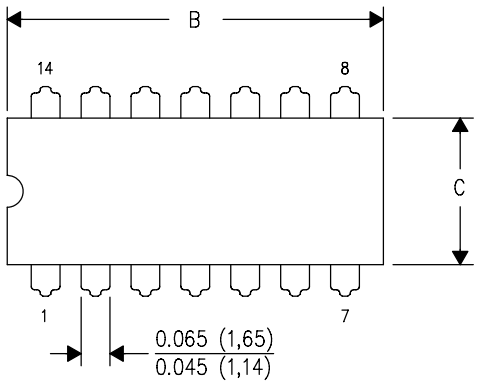
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

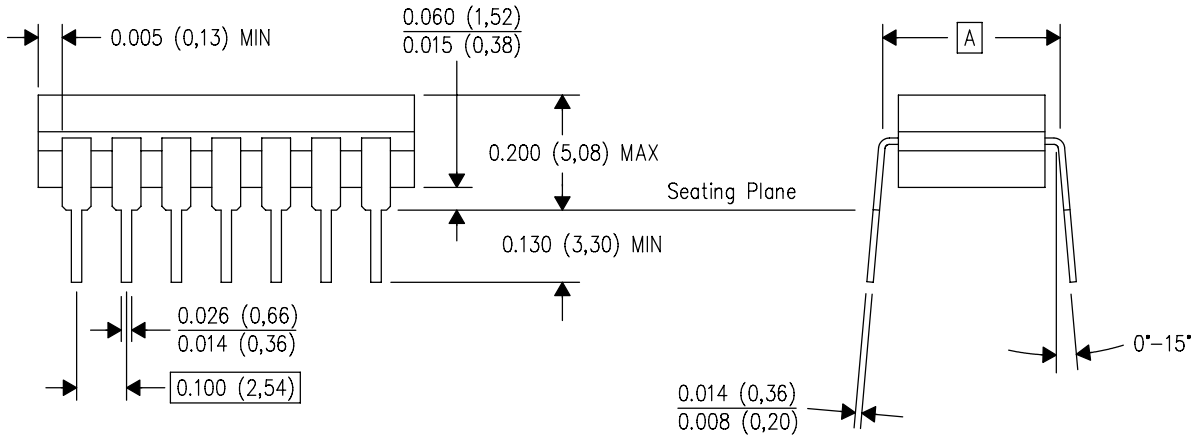
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



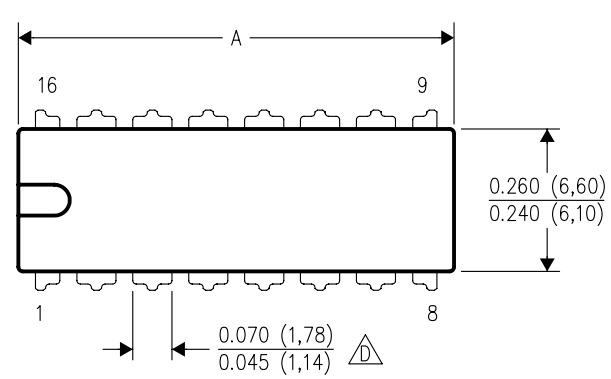
4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

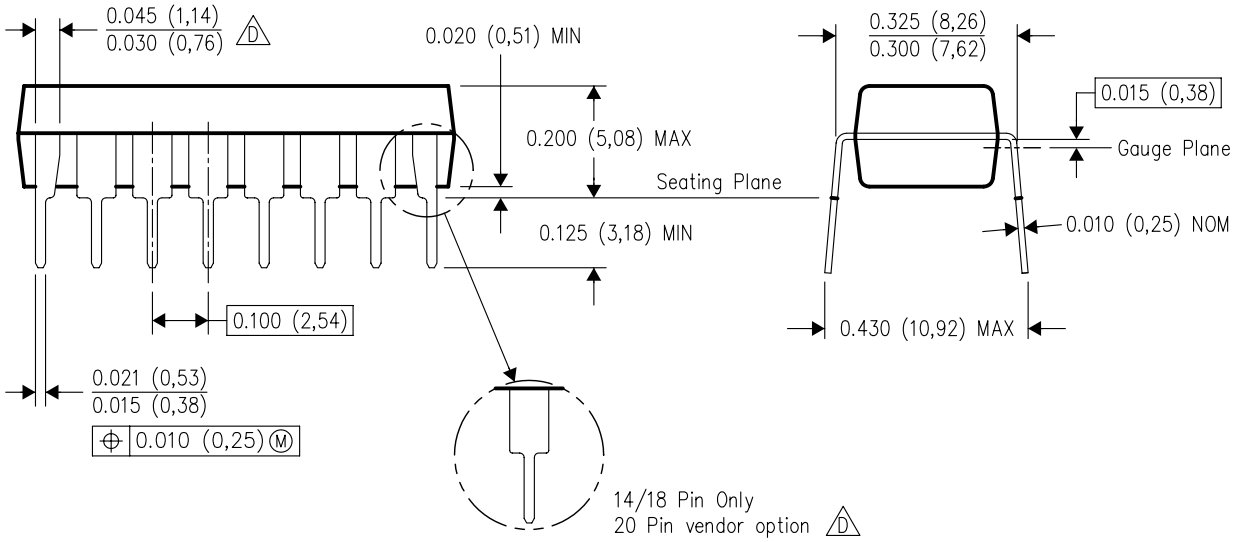
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

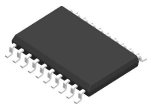


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

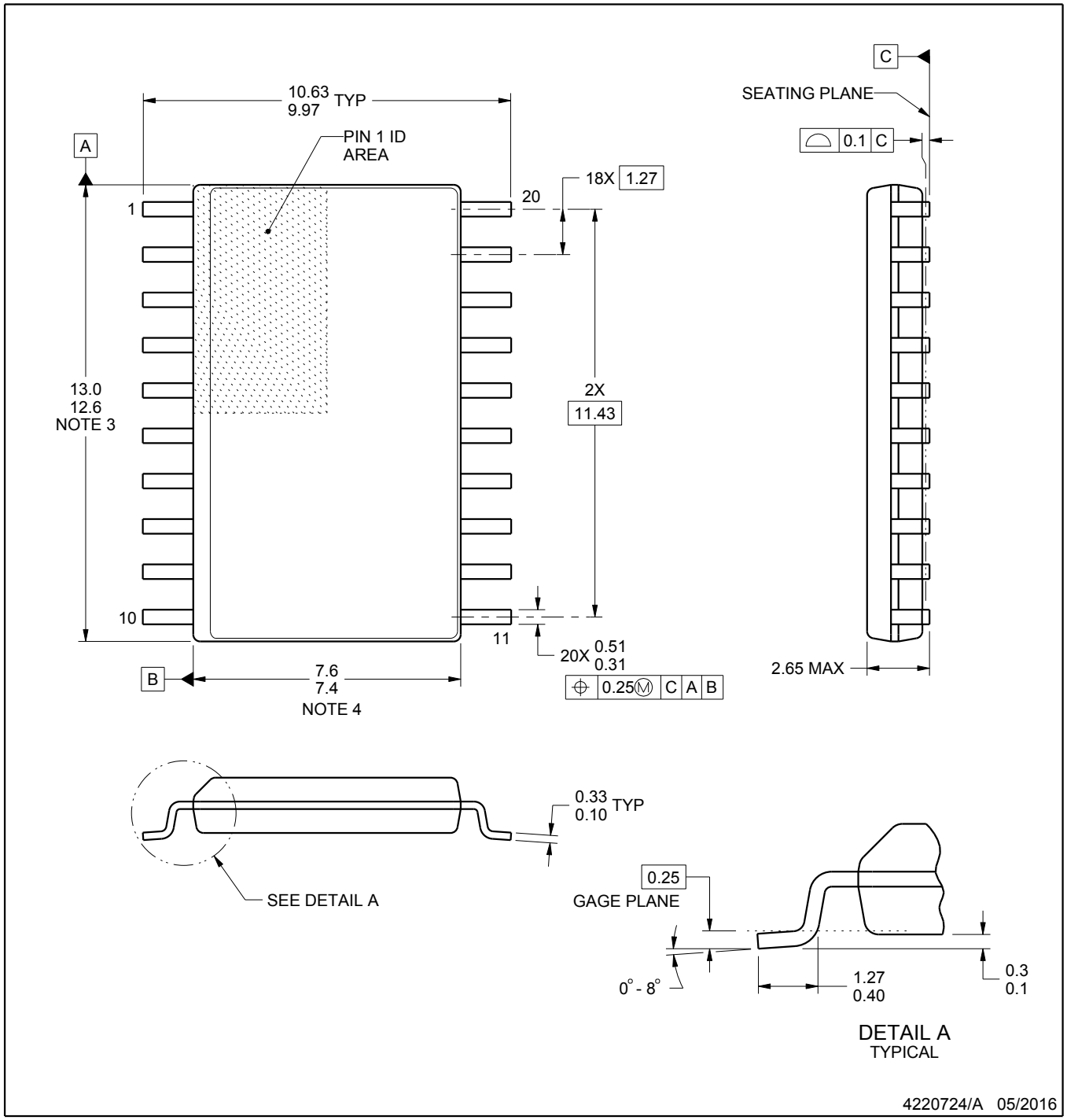


PACKAGE OUTLINE

DW0020A

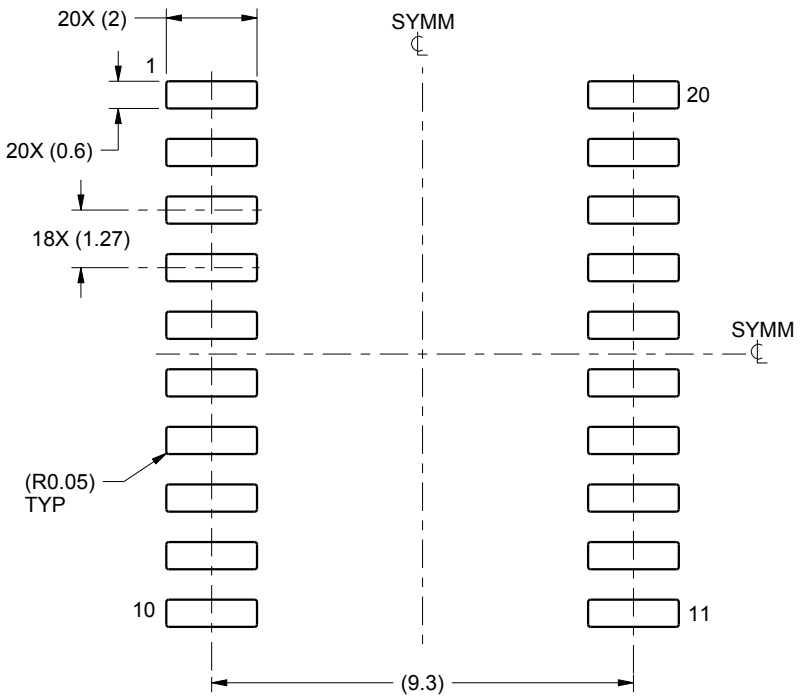
SOIC - 2.65 mm max height

SOIC

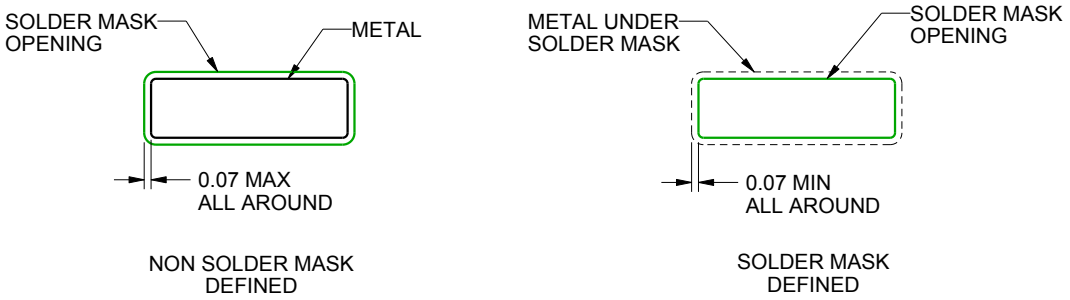


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

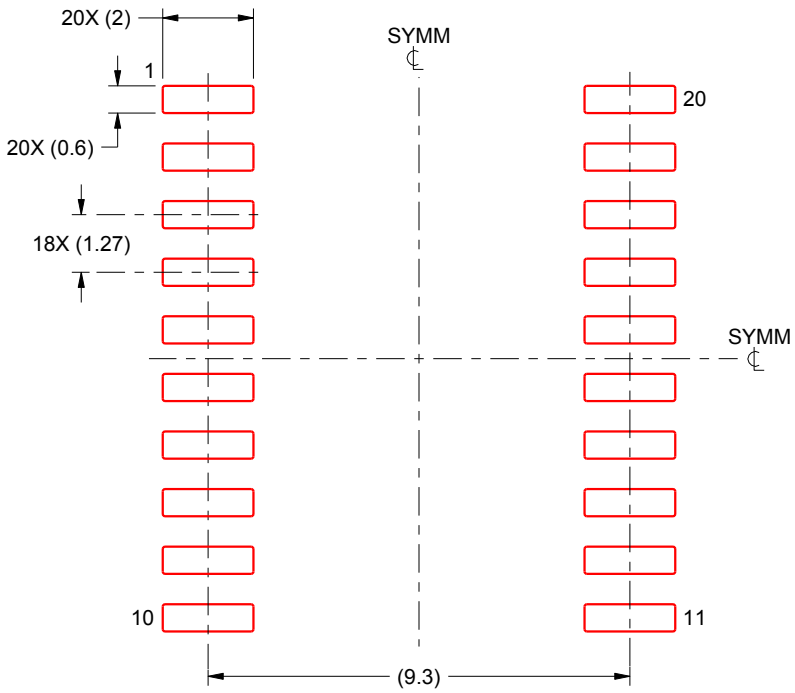


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



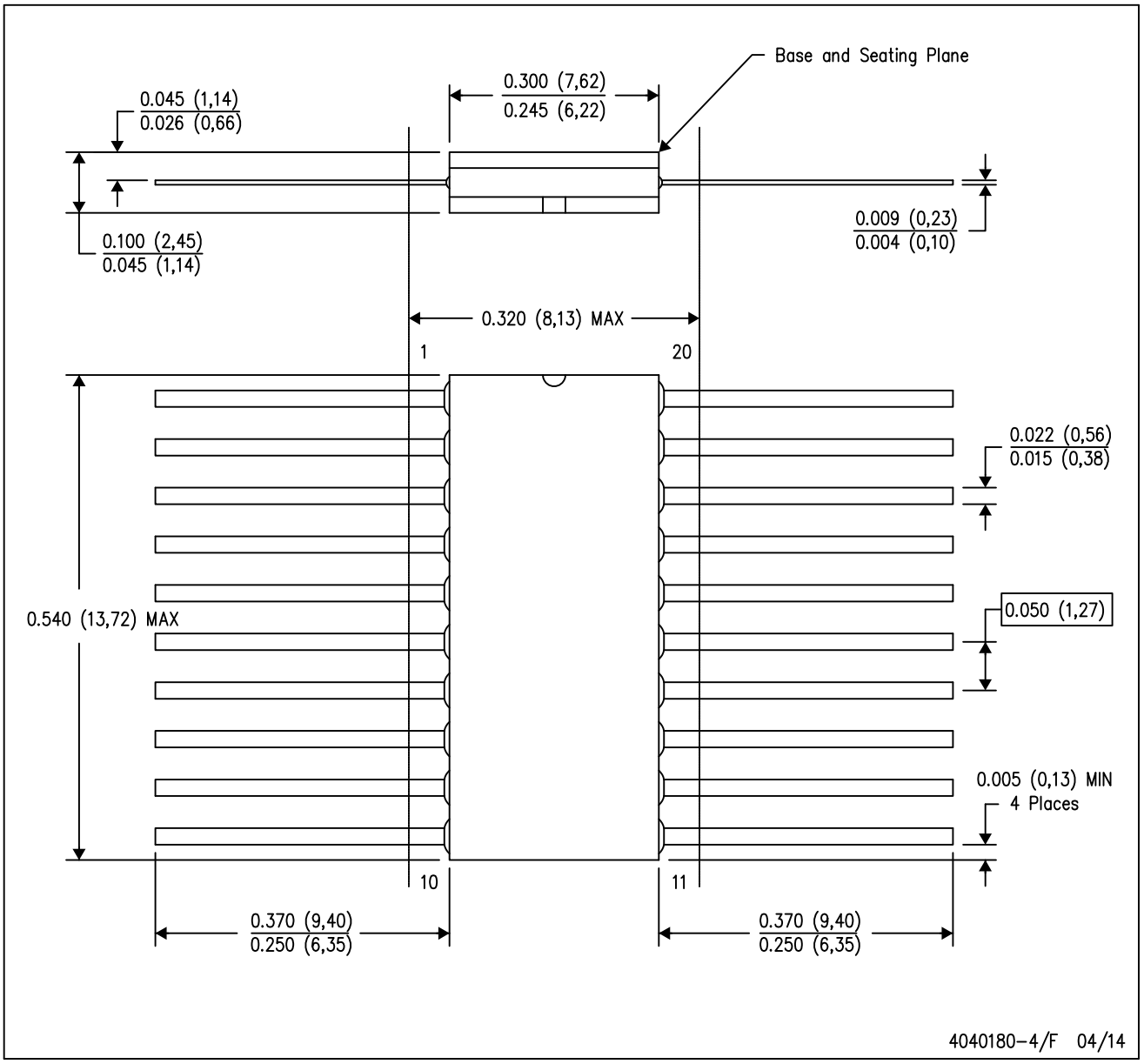
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



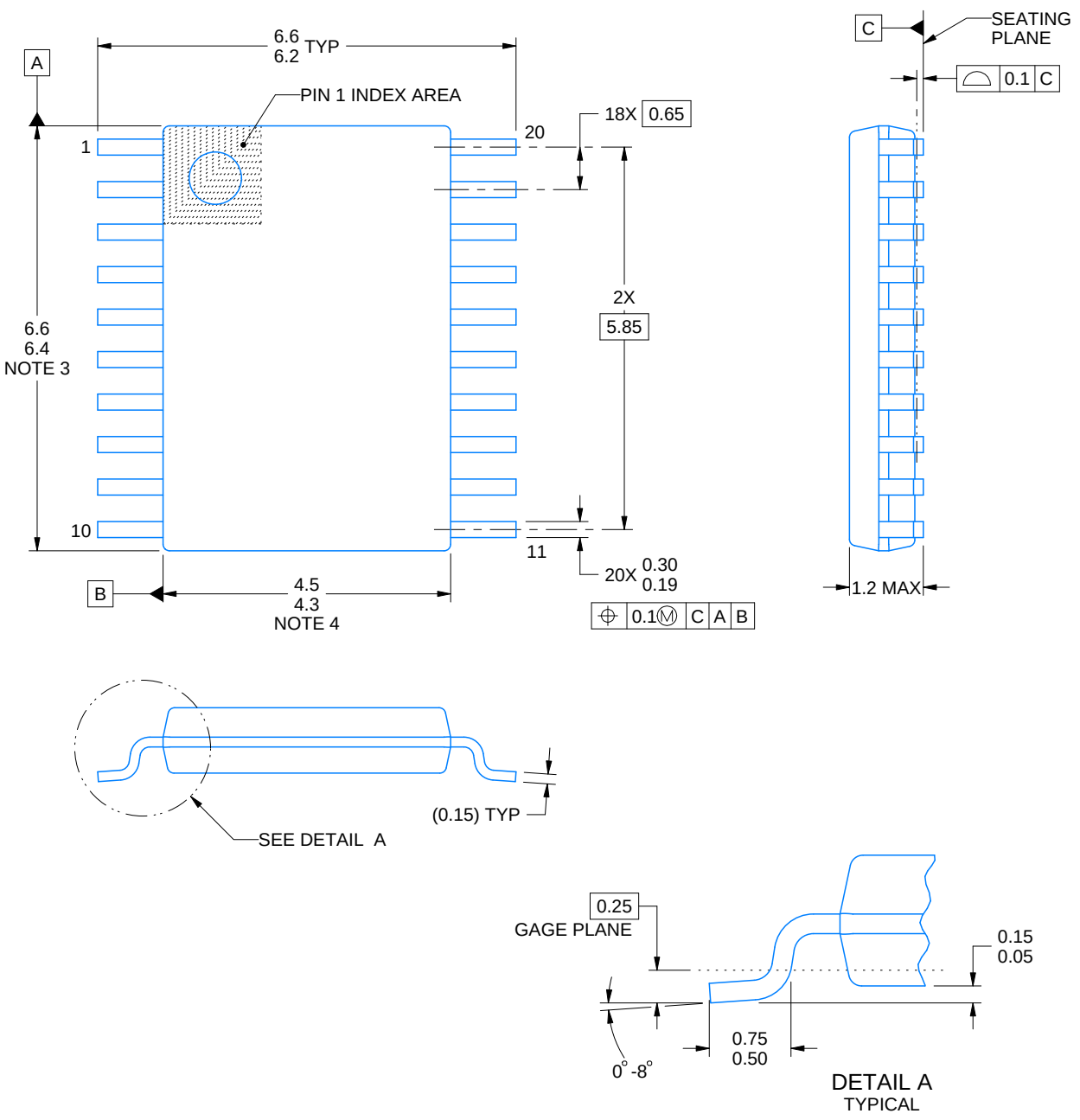
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

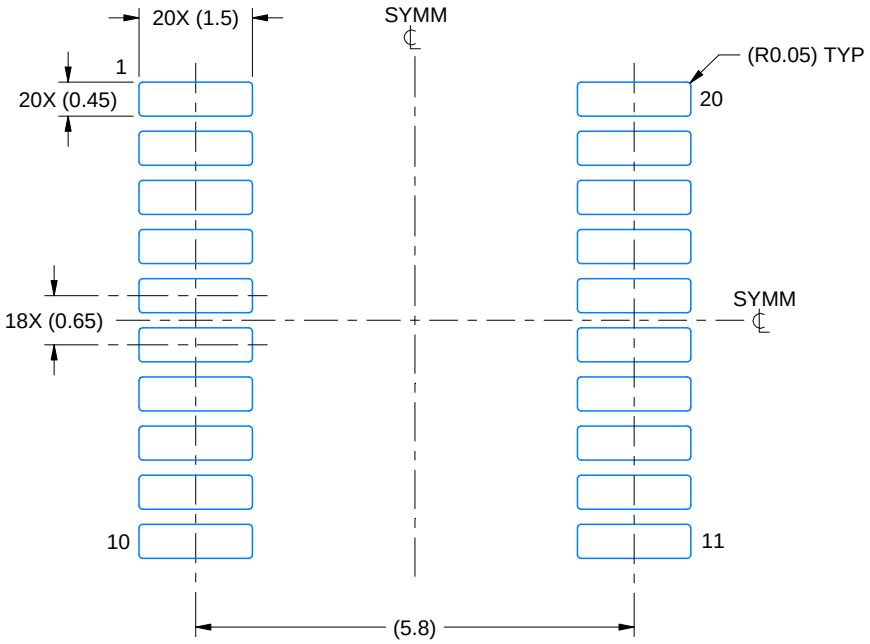
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

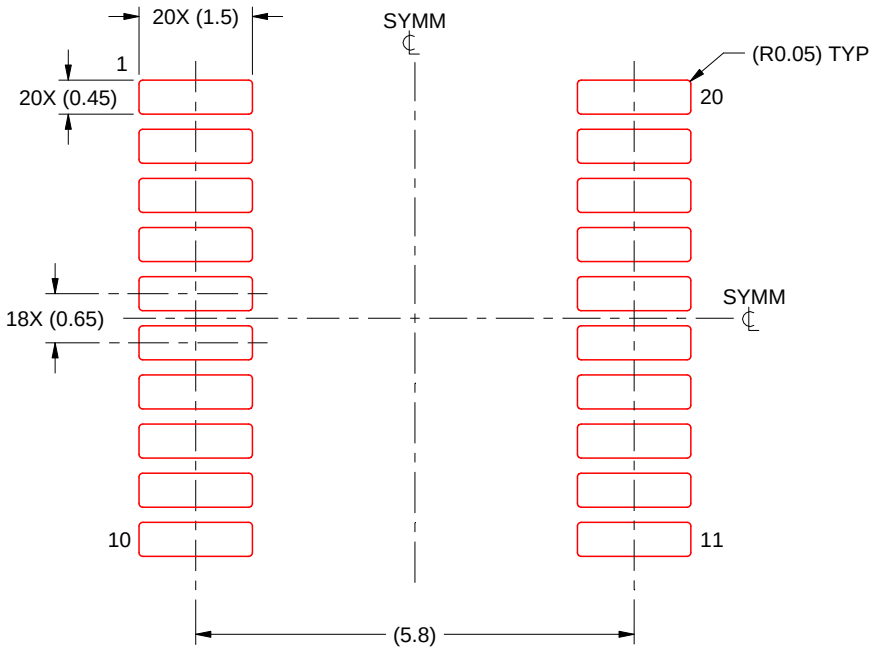


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

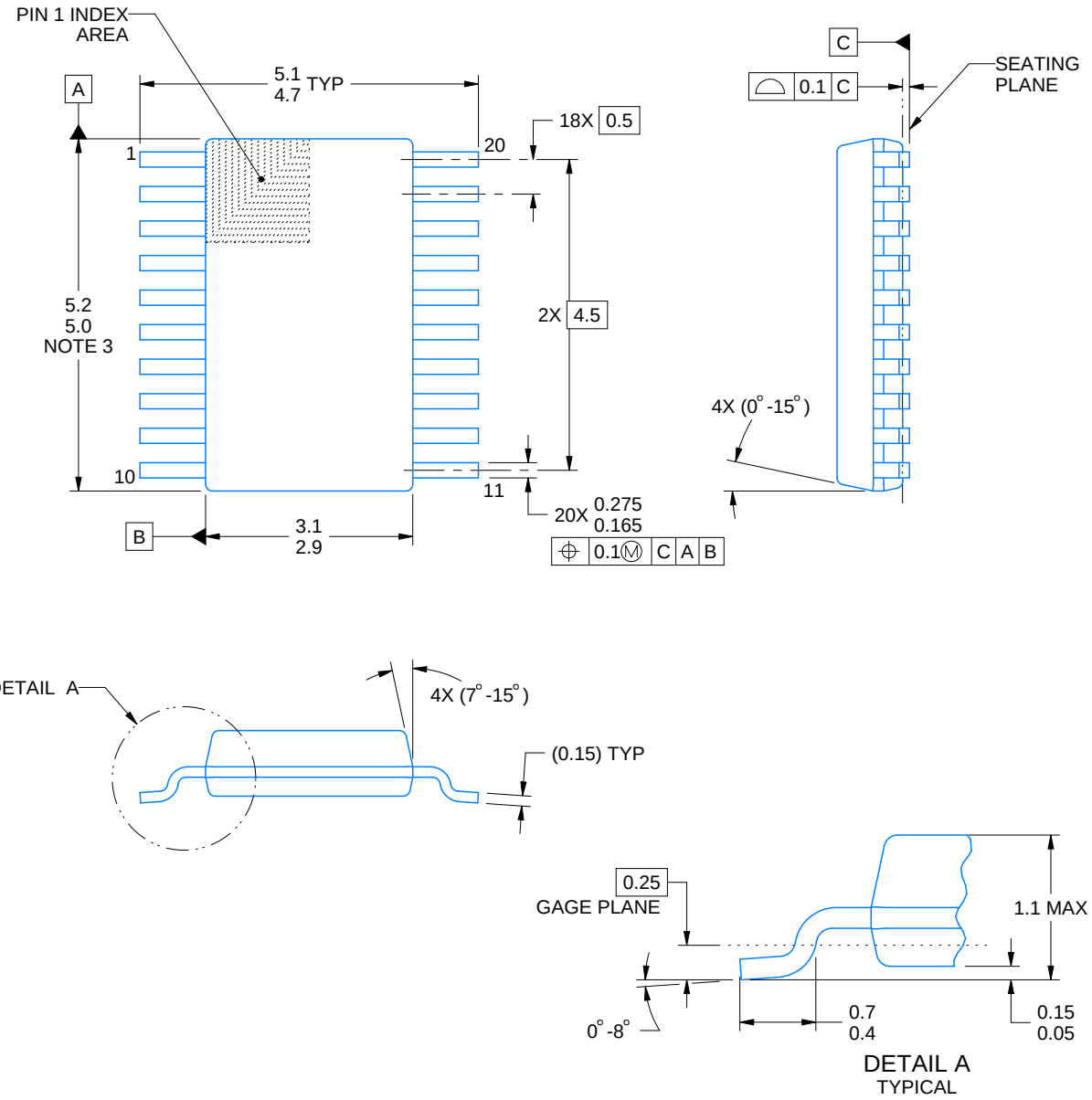
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

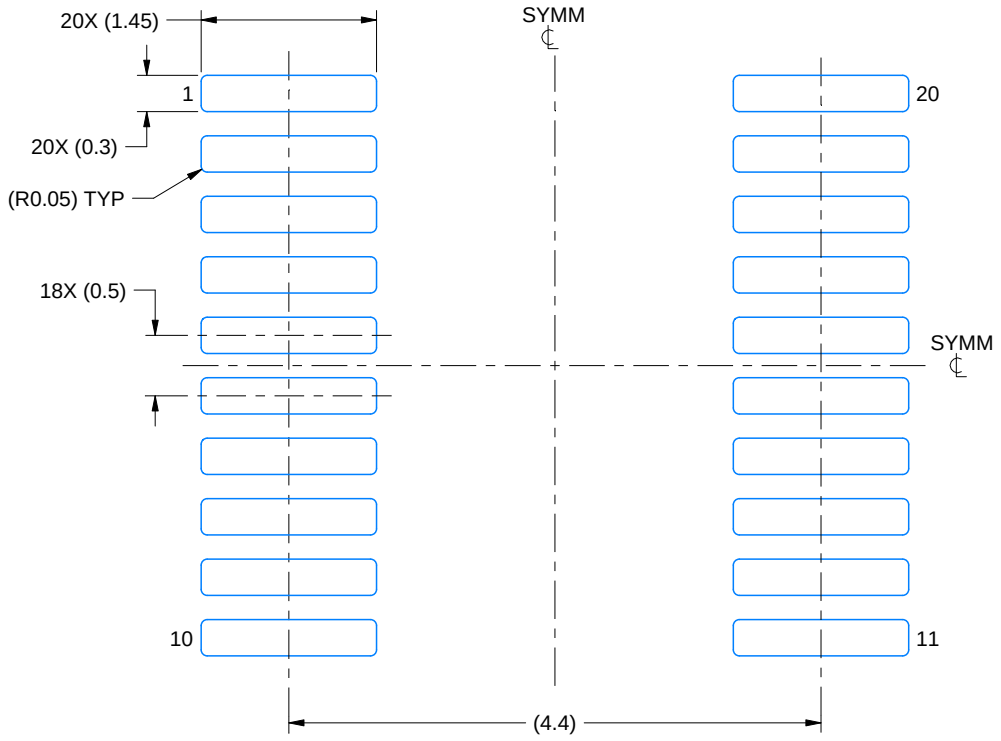
SMALL OUTLINE PACKAGE



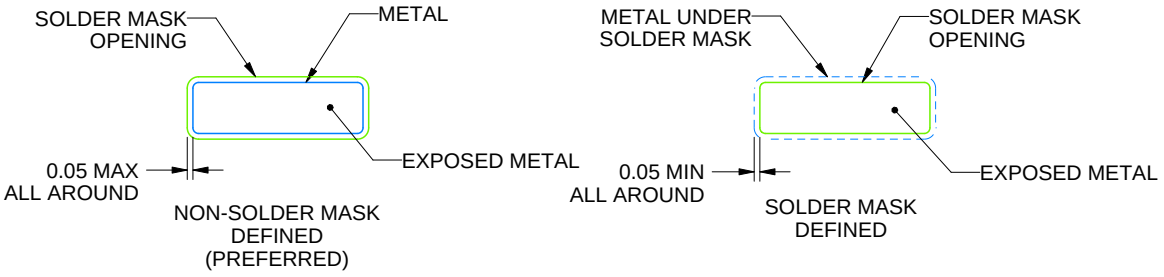
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

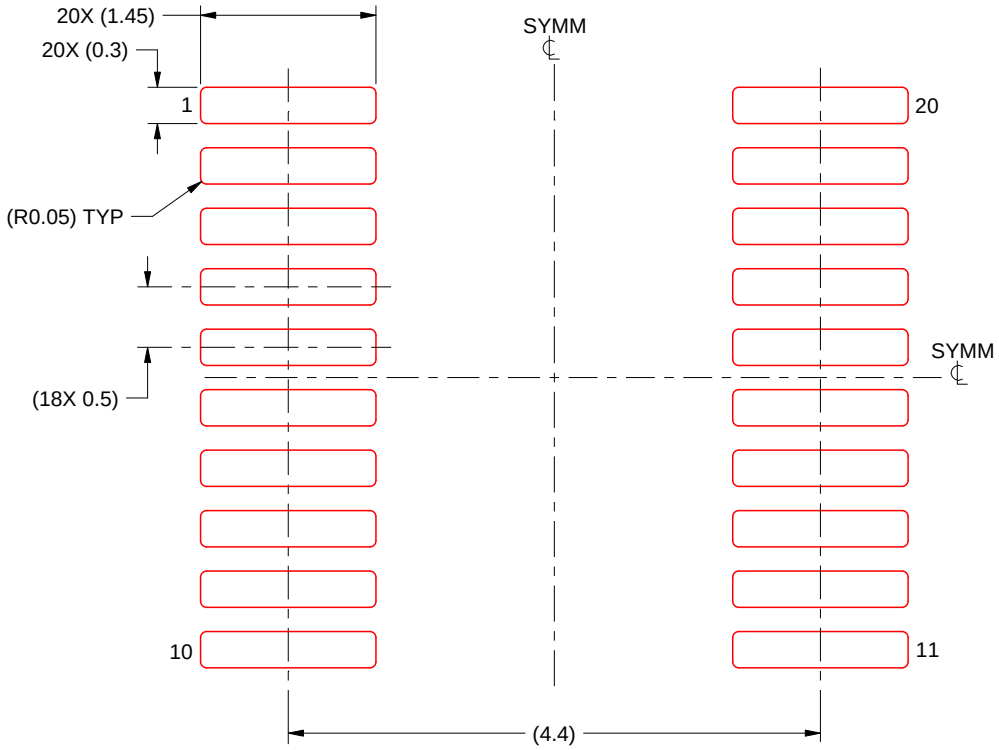


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

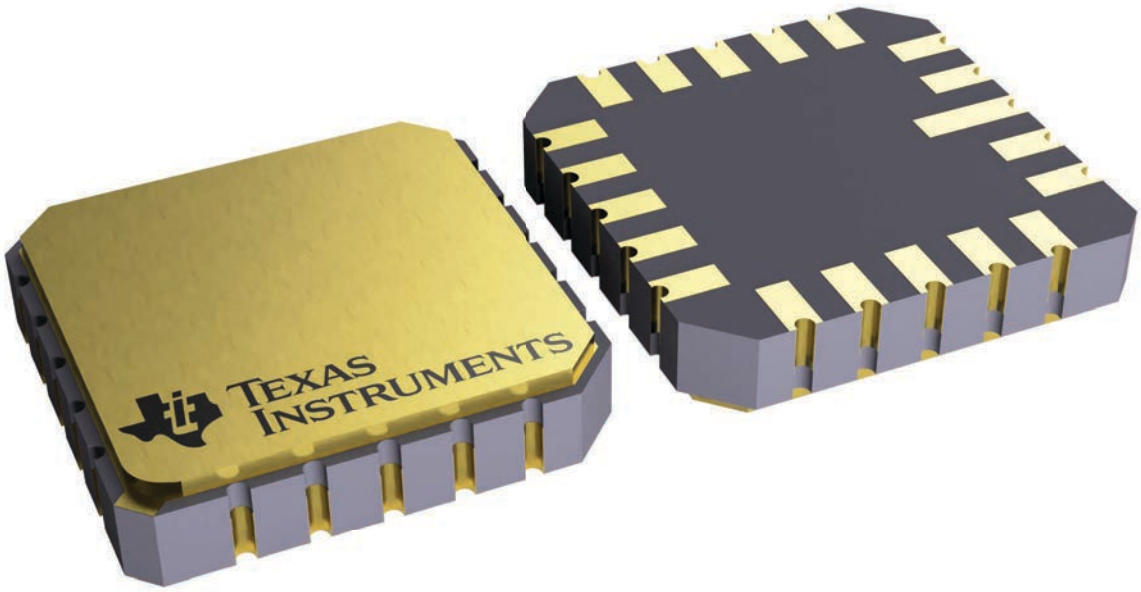
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月