SN74AHC139 デュアル、2：4 ビット、デコーダ / デマルチプレクサ

1 特長

- 動作範囲：2V～5.5V
- 高速メモリ デコーダおよびデータ伝送システム専用に設計
- 2 つのイネーブル入力を備え、カスケード接続やデータ受信を簡素化
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護：
  - 2000V、人体モデル (A114-A)
  - 1000V、デバイス帯電モデル (C101)

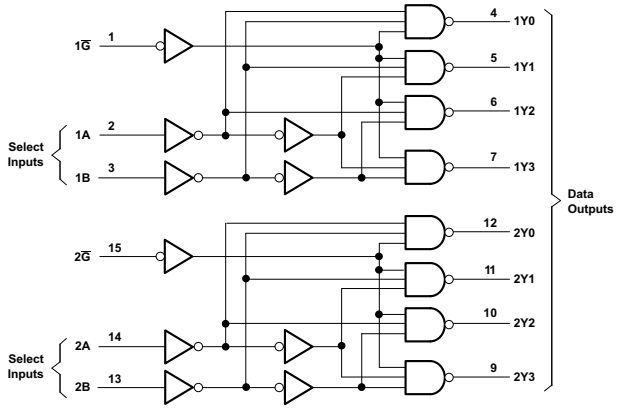
2 概要

SN74AHC139 は、2V～5.5V の V_{CC} で動作するよう設計されたデュアル 2 ライン入力 4 ライン出力のデコーダ / デマルチプレクサです。これらのデバイスは、伝搬遅延時間を極めて短くする必要がある、高性能メモリ デコーディングやデータ ルーティングの用途に適しています。高性能メモリ システムでは、このデコーダを使用することにより、システム デコードの影響を最小限にとどめられます。高速イネーブル回路を利用して高速メモリと組み合わせて使う場合、これらのデコーダの遅延時間とメモリのイネーブル時間は、通例、メモリの標準的なアクセス時間を下回ります。すなわち、このデコーダによる実質的なシステム遅延時間は無視できるということです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74AHC139	D (SOIC、16)	9.90 mm × 6mm	9.90 mm × 3.90 mm
	DB (SSOP、16)	6.20 mm × 7.8mm	6.20 mm × 5.30 mm
	N (PDIP、16)	19.31 mm × 9.4mm	19.31 mm × 6.35 mm
	NS (SOP、16)	5mm × 6.4mm	5mm × 4.4mm
	PW (TSSOP、16)	5.00 mm × 6.4mm	5.00 mm × 4.40 mm
	DGV (TVSOP、16)	3.6mm × 6.4mm	3.6mm × 4.4mm
	RGY (VQFN、16)	4mm × 3.5mm	4mm × 3.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



ここに示すピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのものです。

各ゲートの論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 概要 1
3 ピン構成および機能 3
4 仕様 4
4.1 絶対最大定格 4
4.2 ESD 定格 4
4.3 推奨動作条件 4
4.4 熱に関する情報 5
4.5 電気的特性 5
4.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V 5
4.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V 6
4.8 動作特性 6
5 パラメータ測定情報 7
6 詳細説明 8
6.1 概要 8
6.2 機能ブロック図 8
6.3 機能説明 8
6.4 デバイスの機能モード 9
7 アプリケーションと実装 10
7.1 アプリケーション情報 10
7.2 代表的なアプリケーション 10
7.3 電源に関する推奨事項 13
7.4 レイアウト 13
8 デバイスおよびドキュメントのサポート 15
8.1 ドキュメントのサポート 15
8.2 ドキュメントの更新通知を受け取る方法 15
8.3 サポート・リソース 15
8.4 商標 15
8.5 静電気放電に関する注意事項 15
8.6 用語集 15
9 改訂履歴 15
10 メカニカル、パッケージ、および注文情報 16

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

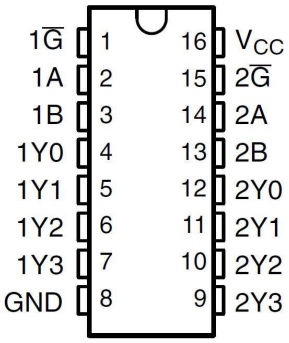


図 3-1. SN74AHC139 D、DB、DGV、N、NS、PW パッケージ (上面図)

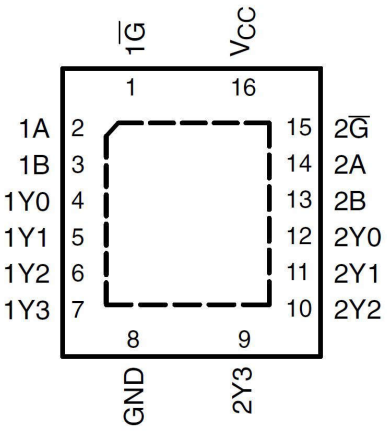


図 3-2. SN74AHC139 RGY パッケージ (上面図)

表 3-1. ピンの機能

ピン		I/O	説明
番号	名称		
1	$\overline{1G}$	I	チャネル 1、出力イネーブル、アクティブ Low
2	$1A_0$	I	チャネル 1、アドレス選択 0
3	$1A_1$	I	チャネル 1、アドレス選択 1
4	$1Y_0$	O	チャネル 1、出力 0
5	$1Y_1$	O	チャネル 1、出力 1
6	$1Y_2$	O	チャネル 1、出力 2
7	$1Y_3$	O	チャネル 1、出力 3
8	GND	—	グランド
9	$2Y_3$	O	チャネル 2、出力 3
10	$2Y_2$	O	チャネル 2、出力 2
11	$2Y_1$	O	チャネル 2、出力 1
12	$2Y_0$	O	チャネル 2、出力 0
13	$2A_1$	I	チャネル 2、アドレス選択 1
14	$2A_0$	I	チャネル 2、アドレス選択 0
15	$\overline{2G}_0$	I	チャネル 2、出力イネーブル、アクティブ Low
16	V_{CC}	—	正電源

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I (2)	入力電圧		-0.5	7	V
V_O (2)	出力電圧		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		-20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±75	mA
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	±1000	

4.3 推奨動作条件

			SN54AHC139		SN74AHC139		単位
			最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		2	5.5	2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5		1.5		V
		V_{CC} = 3V	2.1		2.1		
		V_{CC} = 5.5V	3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V		0.5		0.5	V
		V_{CC} = 3 V		0.9		0.9	
		V_{CC} = 5.5V		1.65		1.65	
V_I	入力電圧		0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2 V		-50		-50	mA
		V_{CC} = 3.3V±0.3V		-4		-4	
		V_{CC} = 5 V±0.5 V		-8		-8	
I_{OL}	Low レベル出力電流	V_{CC} = 2 V		50		50	mA
		V_{CC} = 3.3V±0.3V		4		4	
		V_{CC} = 5 V±0.5 V		8		8	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 3.3V±0.3V		100		100	ns/V
		V_{CC} = 5 V±0.5 V		20		20	
T_A	自由空気での動作温度		-55	125	-40	125	℃

Copyright © 2025 Texas Instruments Incorporated

4.4 熱に関する情報

熱評価基準(1)		SN74AHC139							単位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	RGY (VQFN)	
		16							
$R_{\theta JA}$	接合部から周囲への熱抵抗	73	82	120	67	64	135.9	52.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

4.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			T_A = -40℃～85℃		T_A = -40℃～125℃		単位
						SN74AHC139		推奨		
								SN74AHC139		
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50 µA	2 V	1.9	2		1.9		1.9		V
		3 V	2.9	3		2.9		2.9		
		4.5 V	4.4	4.5		4.4		4.4		
	I_{OH} = -4 mA	3 V	2.58			2.48		2.48		
	I_{OH} = -8 mA	4.5 V	3.94			3.8		3.8		
V_{OL}	I_{OL} = 50 µA	2 V			0.1		0.1		0.1	V
		3 V			0.1		0.1		0.1	
		4.5 V			0.1		0.1		0.1	
	I_{OH} = 4 mA	3 V			0.36		0.44		0.5	
	I_{OH} = 8 mA	4.5 V			0.36		0.44		0.5	
I_I	V_I = 5.5 V または GND	0 V～5.5 V			±0.1		±1		±1	µA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5 V			4		40		40	µA
C_i	V_I = V_{CC} または GND	5 V		2	10		10			pF

4.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3 V±0.3 V (特に記述のない限り) (図 5-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃		T_A = -40℃～85℃		T_A = -40℃～125℃		単位
						SN74AHC139		推奨		
								SN74AHC139		
				標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A または B	Y	C_L = 15pF	7.2(1)	11(1)	1	13	1	13	ns
t_{PHL}				7.2(1)	11(1)	1	13	1	13	
t_{PLH}	$\overline{G}$	Y	C_L = 15pF	6.4(1)	9.2(1)	1	11	1	11	ns
t_{PHL}				6.4(1)	9.2(1)	1	11	1	11	
t_{PLH}	A または B	Y	C_L = 50pF	9.7	14.5	1	16.5	1	16.5	ns
t_{PHL}				9.7	14.5	1	16.5	1	16.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50pF	8.9	12.7	1	14.5	1	14.5	ns
t_{PHL}				8.9	12.7	1	14.5	1	14.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

Copyright © 2025 Texas Instruments Incorporated

4.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V (特に記述のない限り) (図 5-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃		T_A = -40℃～85℃		T_A = -40℃～125℃ 推奨		単位
						SN74AHC139		SN74AHC139		
				標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A または B	Y	C_L = 15pF	5(1)	7.2(1)	1	8.5	1	8.5	ns
t_{PHL}				5(1)	7.2(1)	1	8.5	1	8.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15pF	4.4(1)	6.3(1)	1	7.5	1	7.5	ns
t_{PHL}				4.4(1)	6.3(1)	1	7.5	1	7.5	
t_{PLH}	A または B	Y	C_L = 50pF	6.5	9.5	1	10.5	1	10.5	ns
t_{PHL}				6.5	9.5	1	10.5	1	10.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50pF	5.9	8.3	1	9.5	1	9.5	ns
t_{PHL}				5.9	8.3	1	9.5	1	9.5	

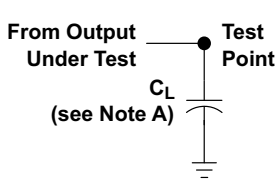
4.8 動作特性

V_{CC} = 5V、T_A = 25℃

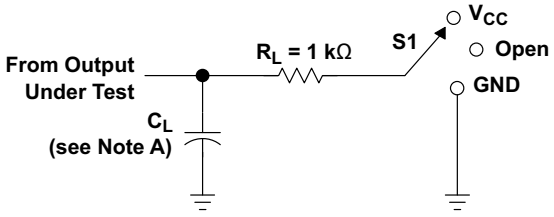
パラメータ		テスト条件		代表値	単位
C_{pd}	電力散逸容量	無負荷	f = 1 MHz	13	pF

Copyright © 2025 Texas Instruments Incorporated

5 パラメータ測定情報

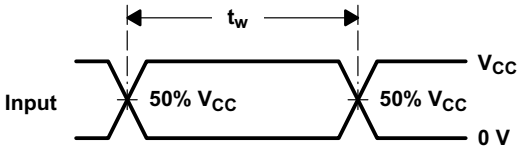


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

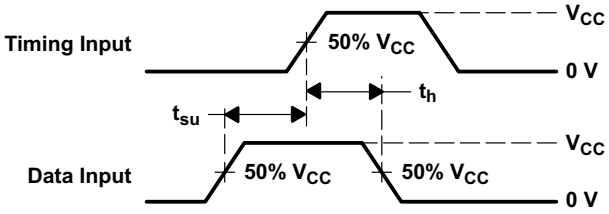


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

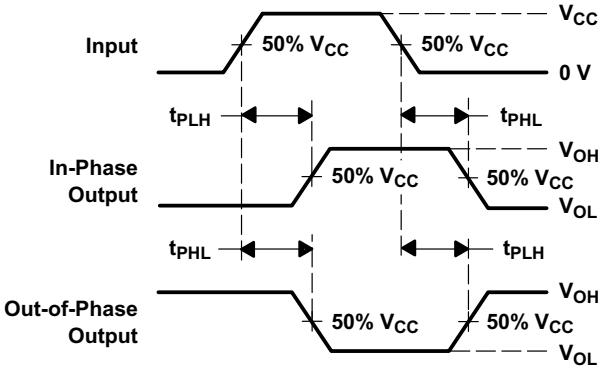
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



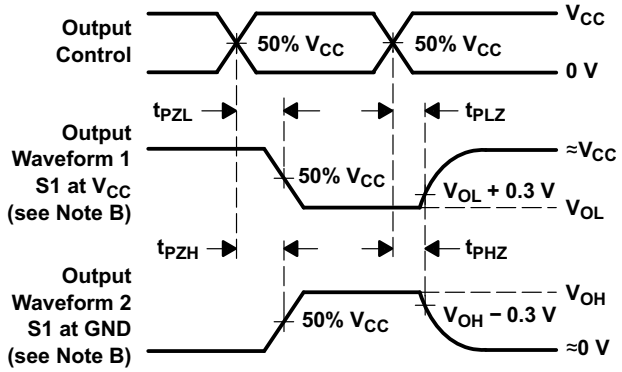
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3 ns、t_f ≦ 3 ns。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 5-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

SN74AHC139 は、メモリ アドレス デコードまたはデータ ルーティング アプリケーションに最適な高速シリコン ゲート CMOS デコーダです。本デバイスは 2 つの 2:4 デコーダを内蔵しています。

SN74AHC139 の各チャネルには 2 つのアドレス選択入力 (A1 および A0) が備わっています。この回路は通常の 1:4 デコーダとして機能します。

カスケード接続と多重分離を容易にするため、チャネルごとに 1 つのストローブ入力 ($\overline{G}$) が備わっています。あるチャネルの入力ストローブがアクティブになると、そのチャネルの出力は強制的に High 状態になります。

多重分離機能は、最初に選択入力を使って目的の出力を選択し、次にストローブ入力をデータ入力として使うことで実現されます。

SN74AHC139 の出力は通常は High であり、選択されると Low になります。

6.2 機能ブロック図

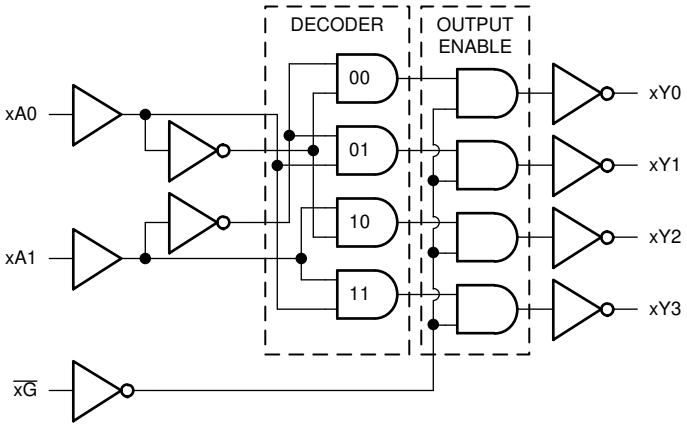


図 6-1. 各ゲートの論理図 (正論理)

6.3 機能説明

6.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。 高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.4 デバイスの機能モード

機能表 (各チャネル)

入力 1			出力 2			
$\overline{G}$	選択		Y0	Y1	Y2	Y3
	A1	A0				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

1. L = Low、H = High、X = ドントケア
2. L = Low に駆動、H = High に駆動

7 アプリケーションと実装

注

以下のアプリケーションに関するセクションの情報は、TI の部品仕様の一部ではなく、TI はこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

SN74AHC139 デバイスは、共有データ バスで動作する複数のデバイスを制御するために使用されます。デコーダは、2 進符号化された入力を使って本デバイスの出力のうちの 1 つのみをアクティブにします。そのため、システム コントローラの限られた数の GPIO ピンを使って複数のデバイスを読み書きする必要があるソリッド ステート メモリ アプリケーションに最適です。共有バスを使う場合、選択されるメモリ デバイスのチップ セレクト (CS) 入力をこのデコーダを使ってアクティブにすることで、コントローラはそのデバイスのみに対して読み書きを実行できます。

7.2 代表的なアプリケーション

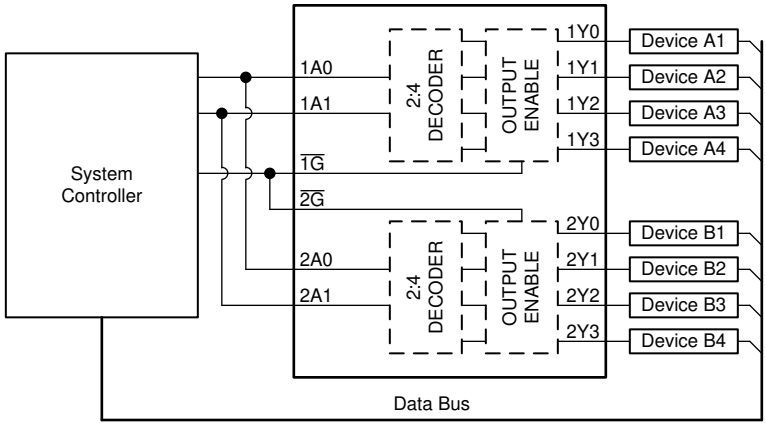


図 7-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

7.2.1 設計要件

7.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AHC139 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジックデバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74AHC139 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AHC139 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AHC139 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHC139 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74AHC139 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AHC139 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

7.2.3 アプリケーション曲線

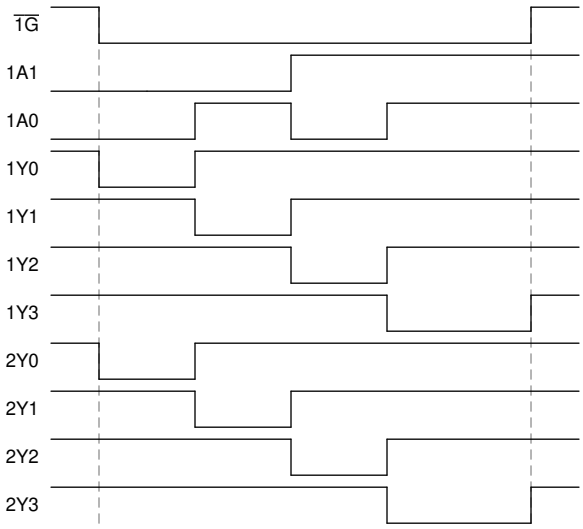


図 7-2. アプリケーション タイミング図

7.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

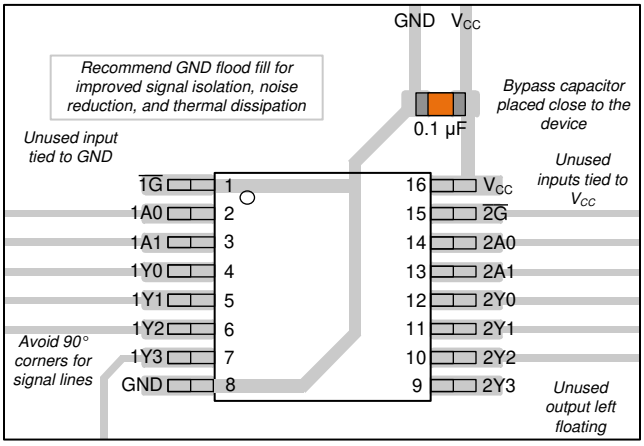


図 7-3. SN74AHC139 のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『シュミット トリガについて』
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (July 2024) to Revision N (January 2025)	Page
• 「ピンの機能」の表の説明を更新	3

Changes from Revision L (June 2013) to Revision M (July 2024)	Page
• 「特長」からマシン モデルを削除	1
• 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1

Copyright © 2025 Texas Instruments Incorporated

• RθJA の熱特性値を更新：PW = 108～135.9、RGY = 39～52.9、値はすべて℃/W 単位..... 5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーション リンクを参照してください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC139D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 125	AHC139
SN74AHC139DBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DR	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139DR.A	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139N	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC139N
SN74AHC139N.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC139N
SN74AHC139NSR	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139NSR.A	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 125	HA139
SN74AHC139PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC139 :

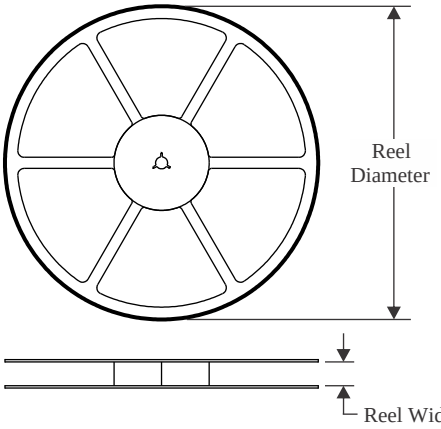
- Automotive : SN74AHC139-Q1

NOTE: Qualified Version Definitions:

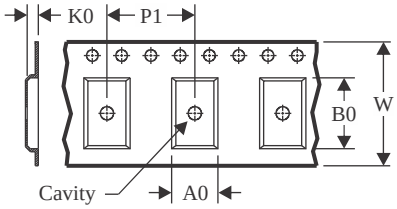
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

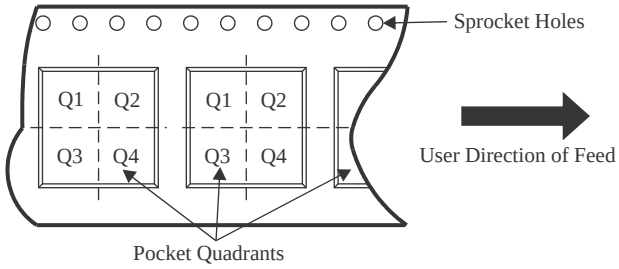


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

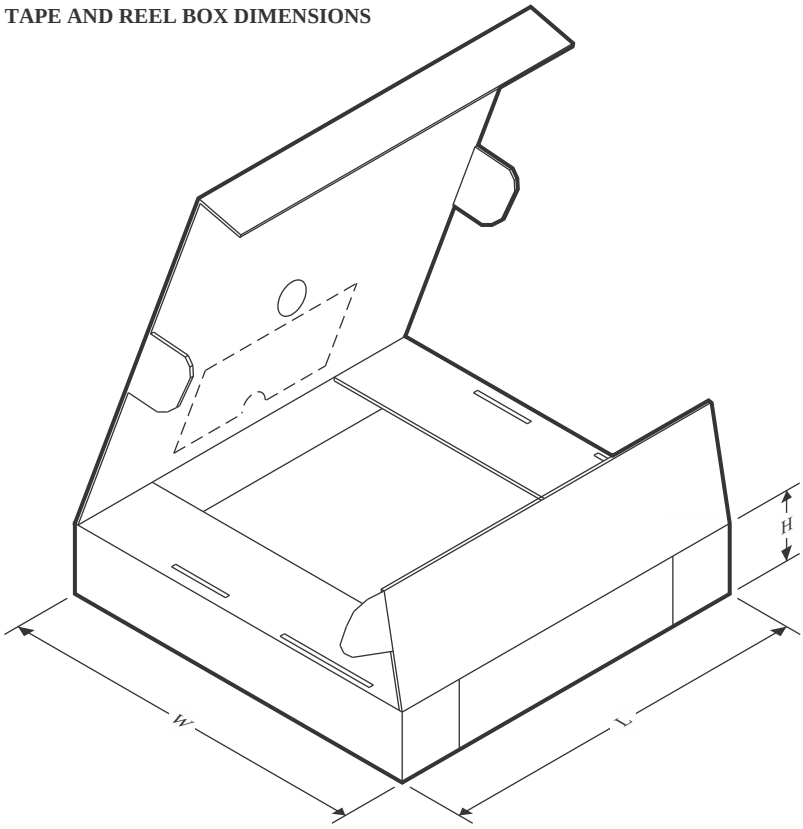
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC139DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC139DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC139DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHC139NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHC139PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC139RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

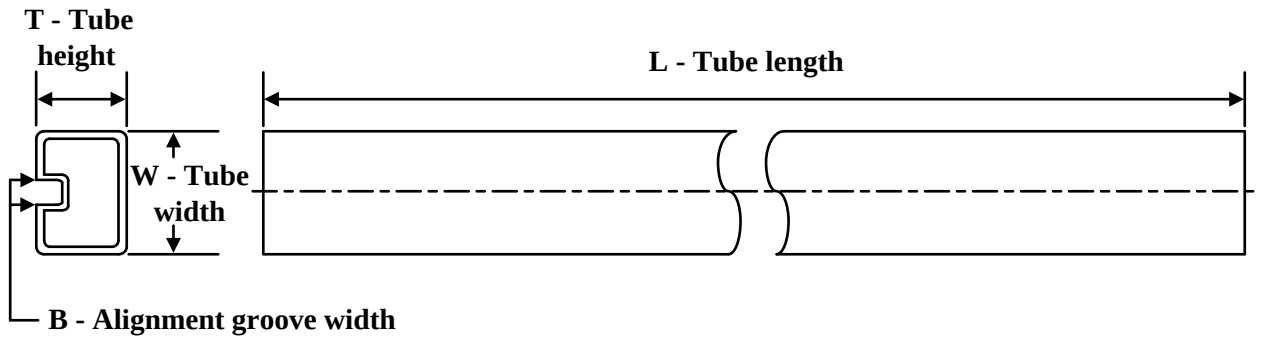
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC139DBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74AHC139DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74AHC139DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHC139NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74AHC139PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74AHC139RGYR	VQFN	RGY	16	3000	360.0	360.0	36.0

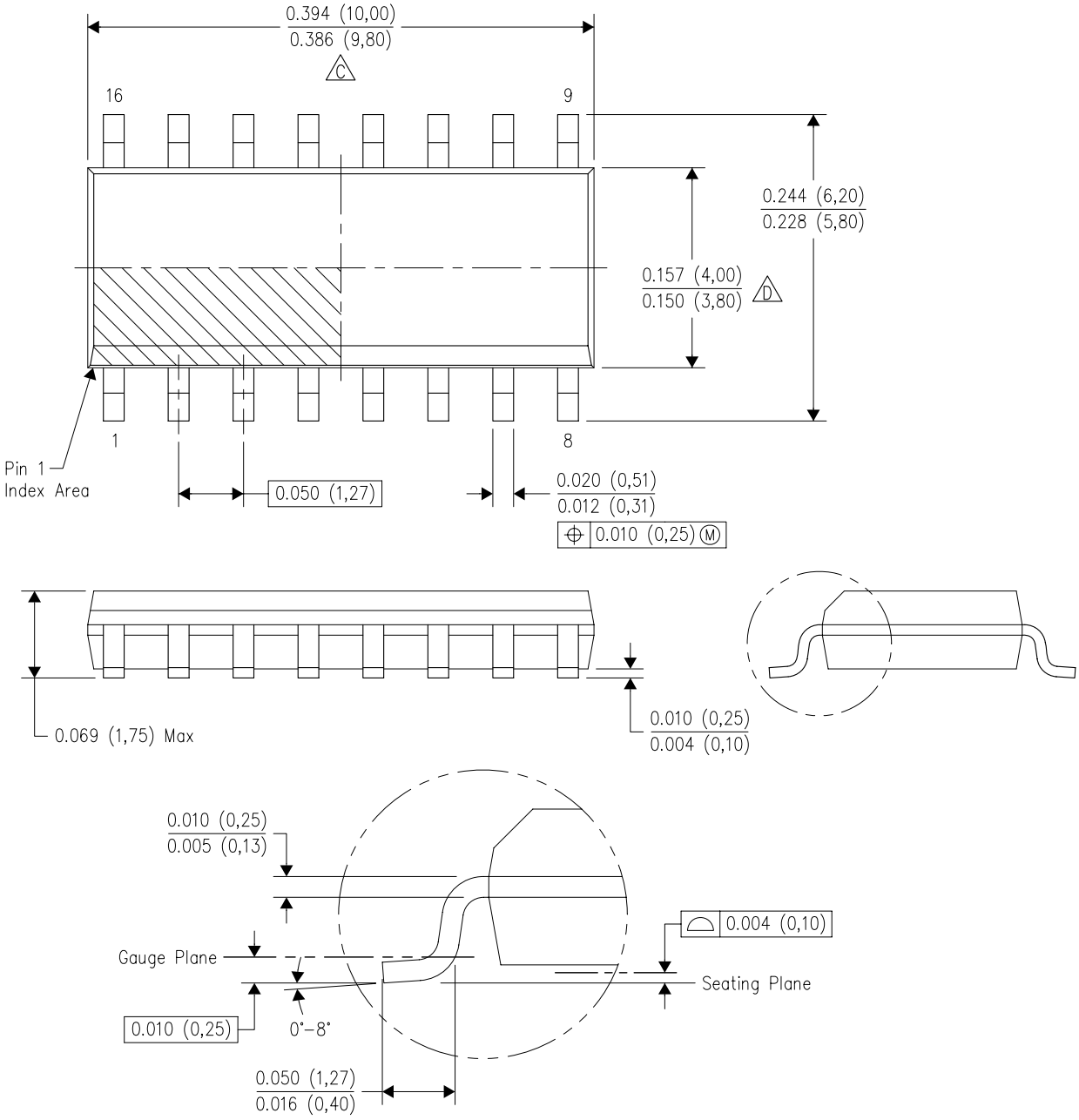
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74AHC139N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



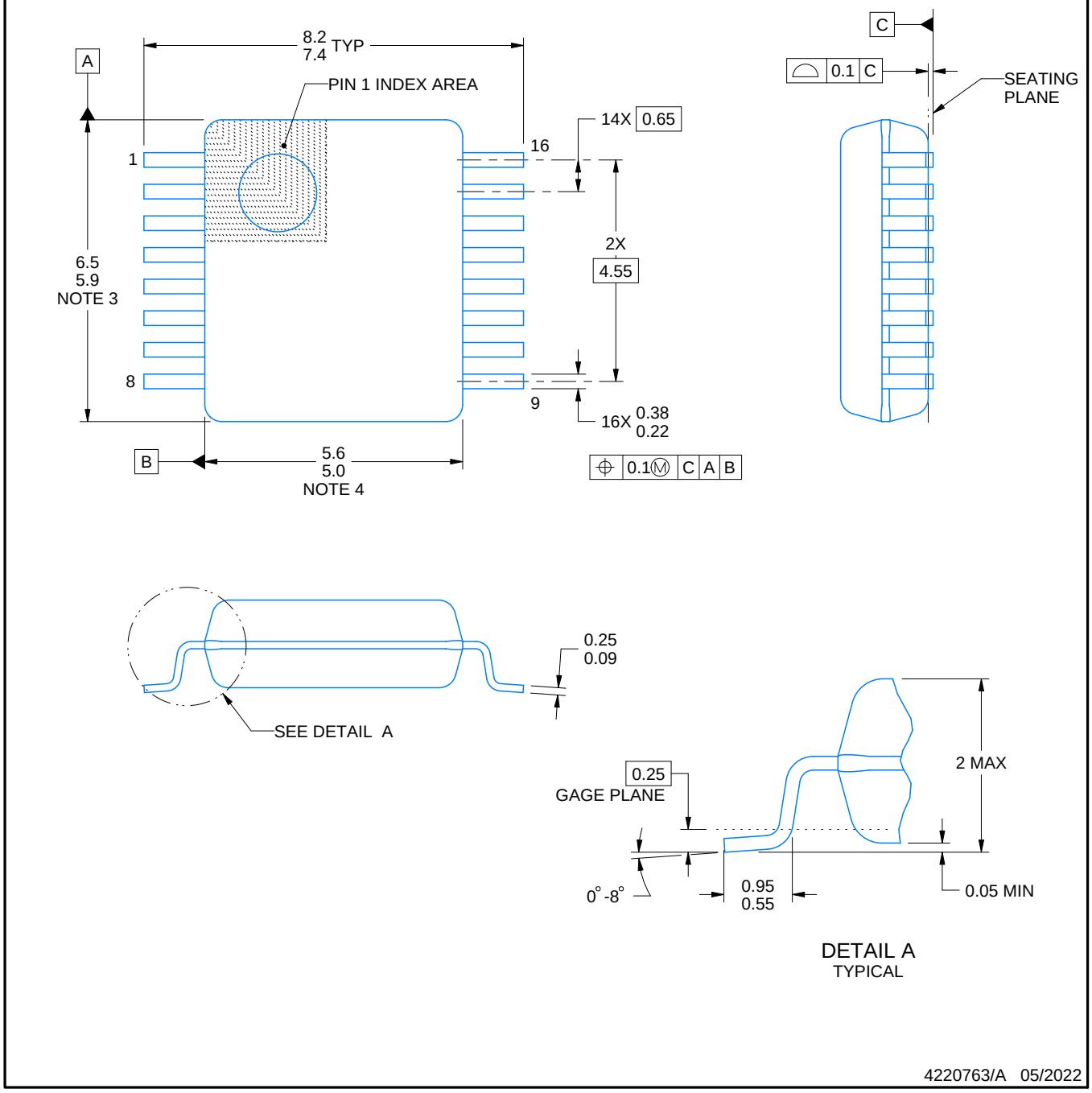
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

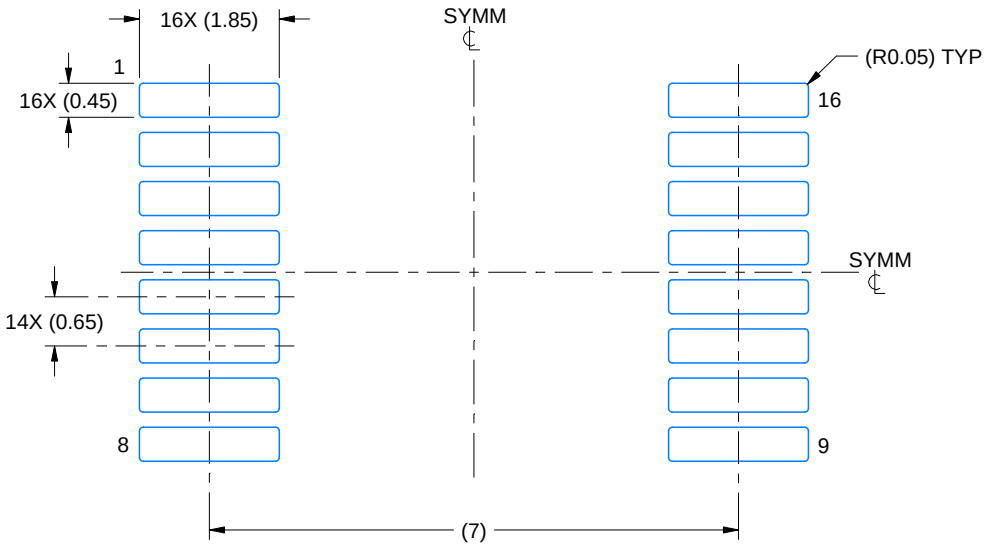
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

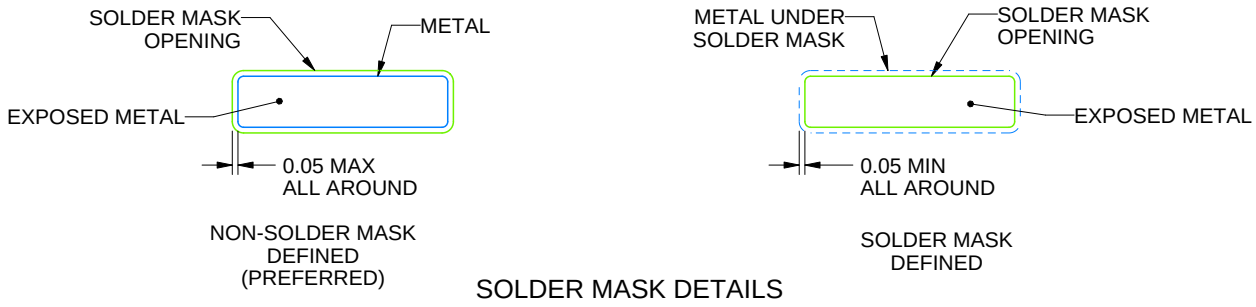


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

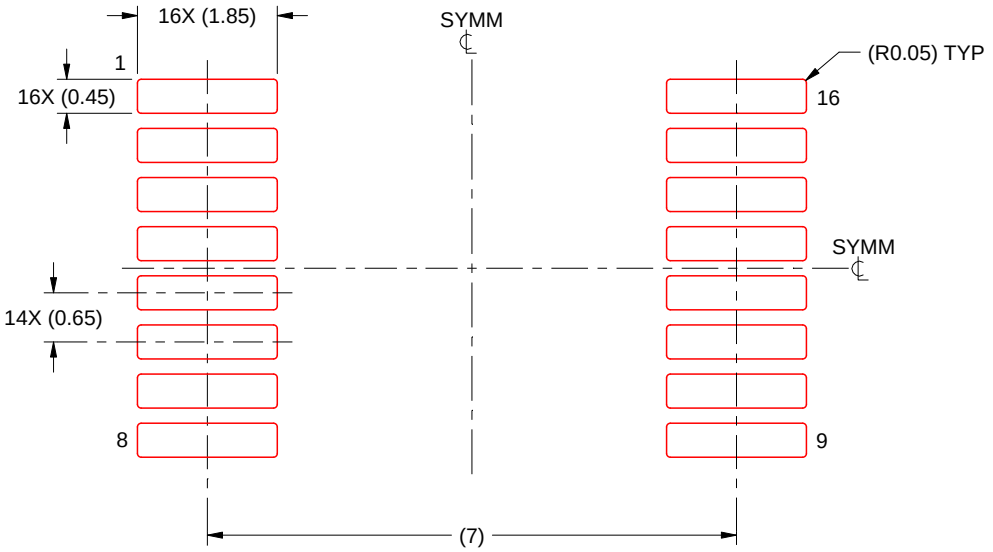


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

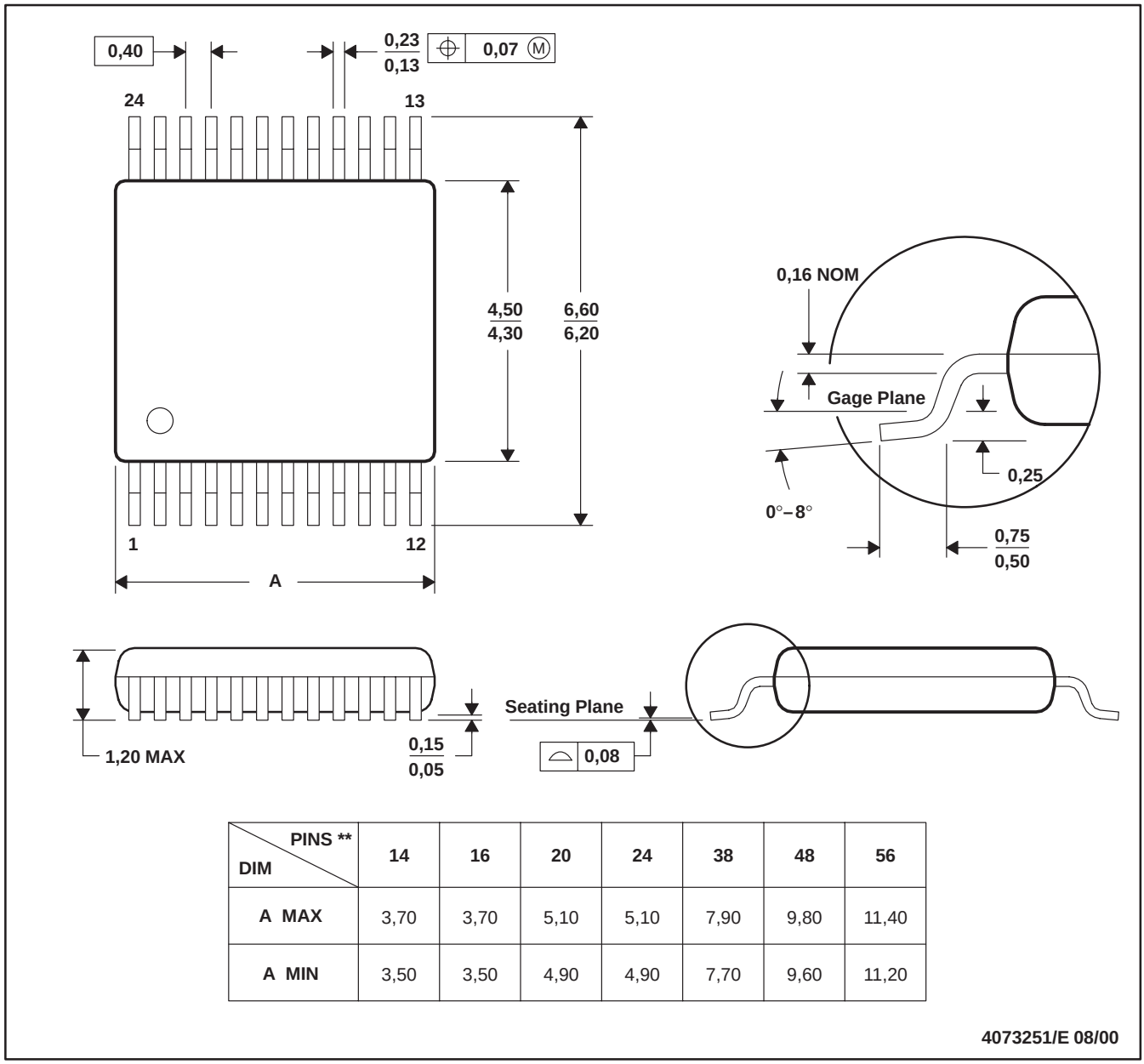
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

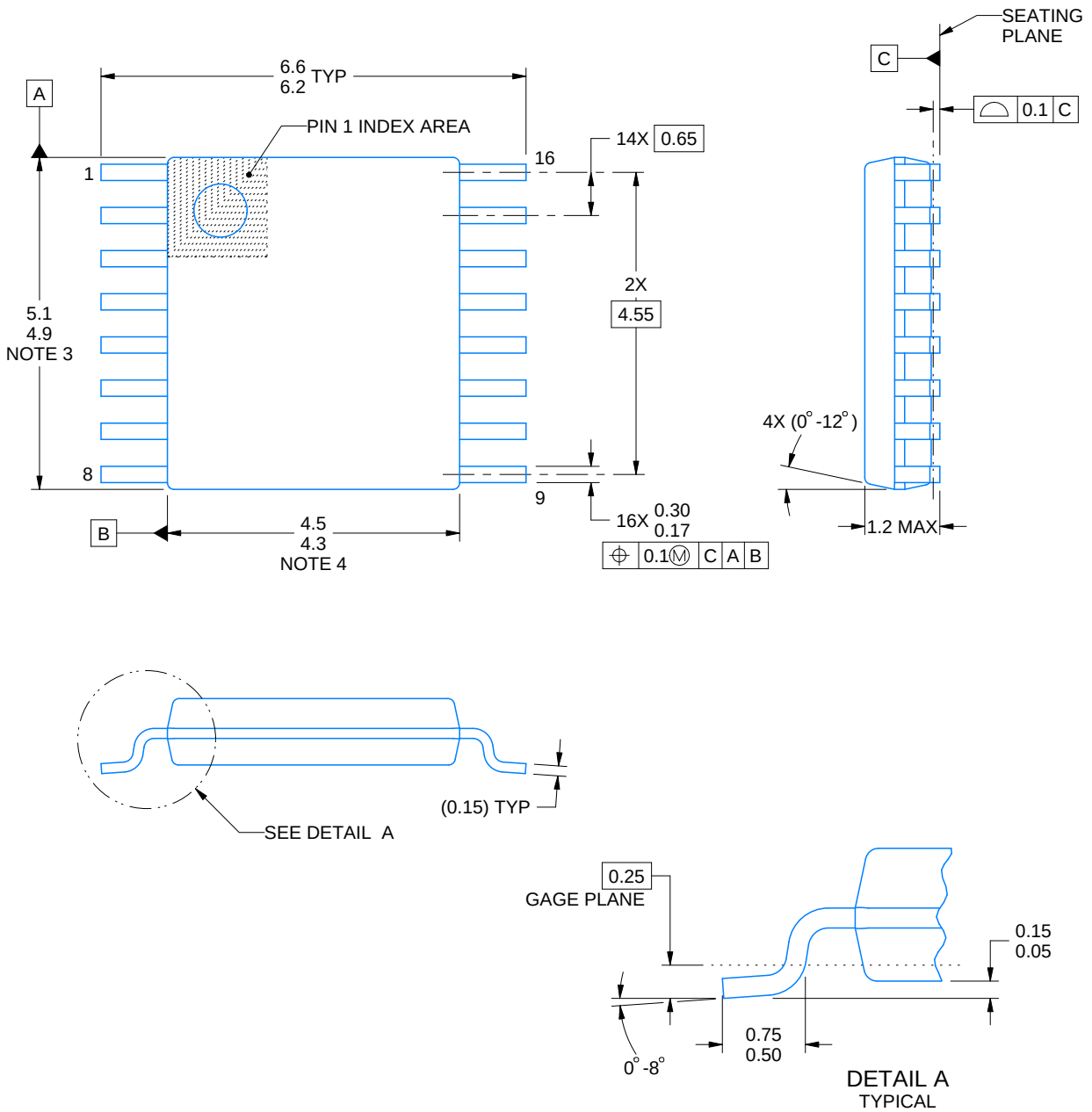
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

PW0016A

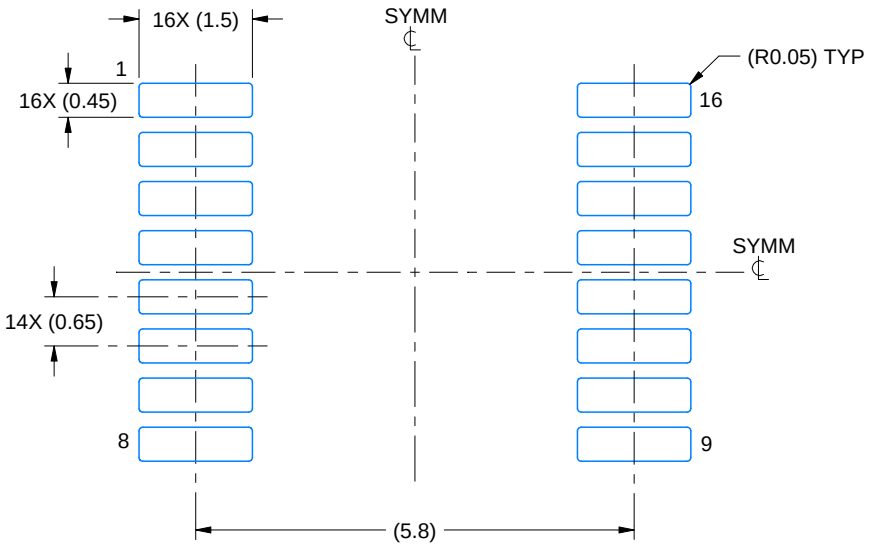
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

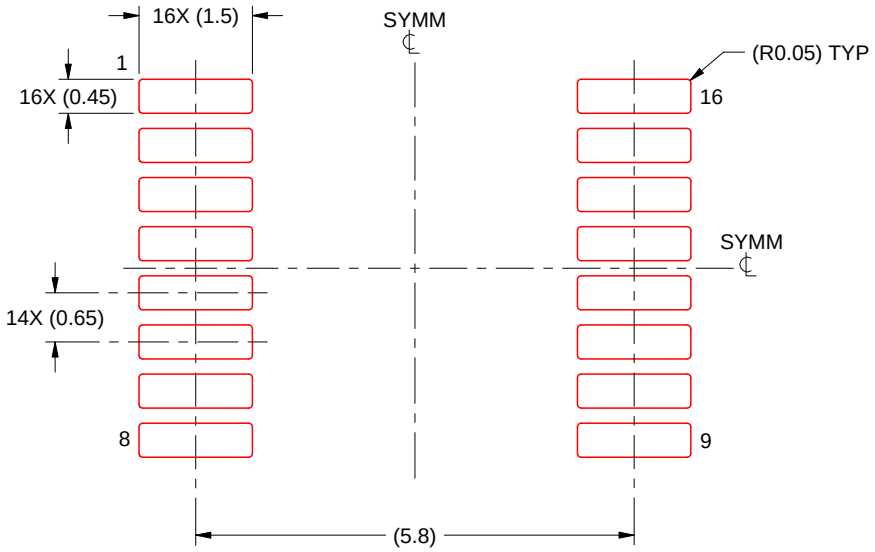


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

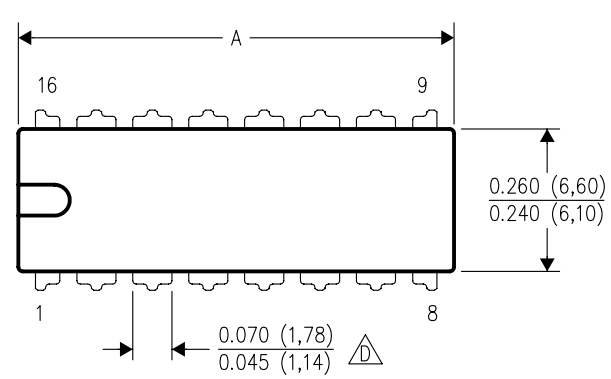
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

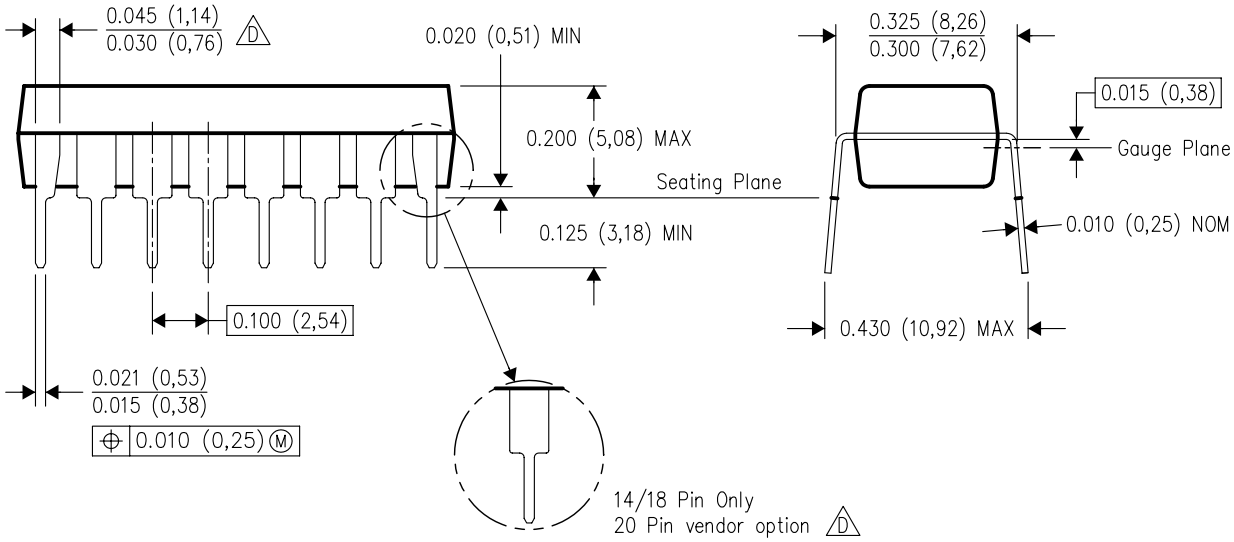
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

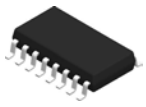


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

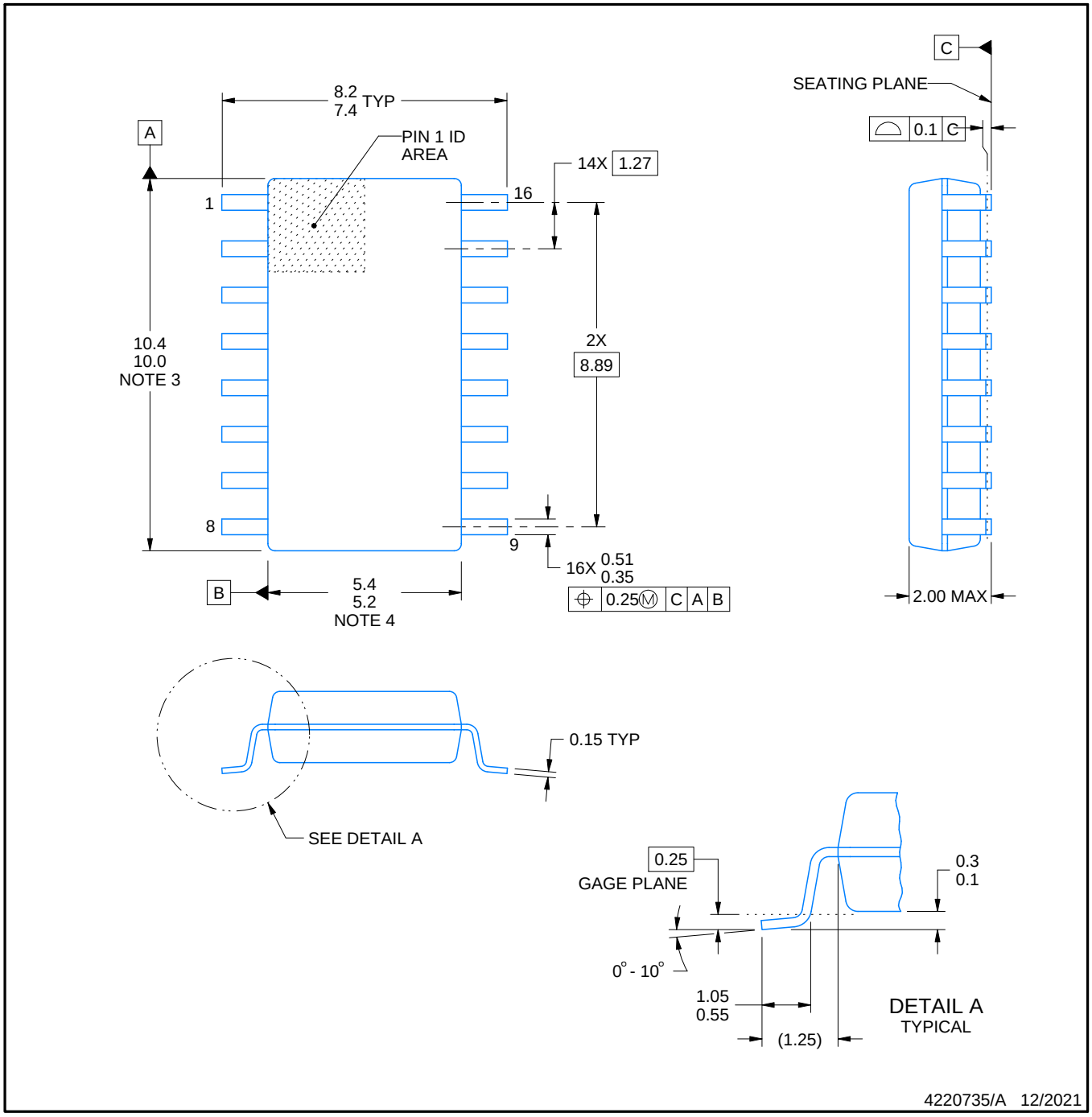


PACKAGE OUTLINE

NS0016A

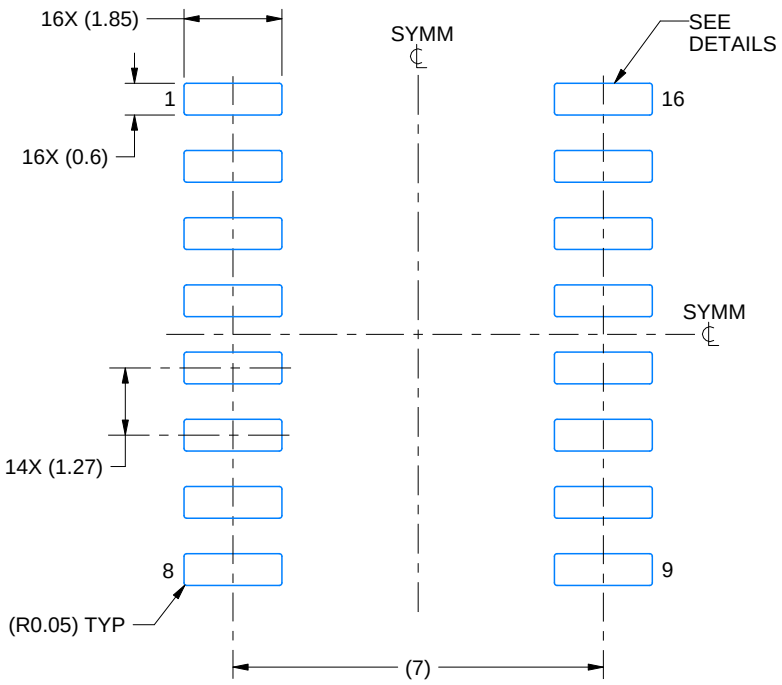
SOP - 2.00 mm max height

SOP

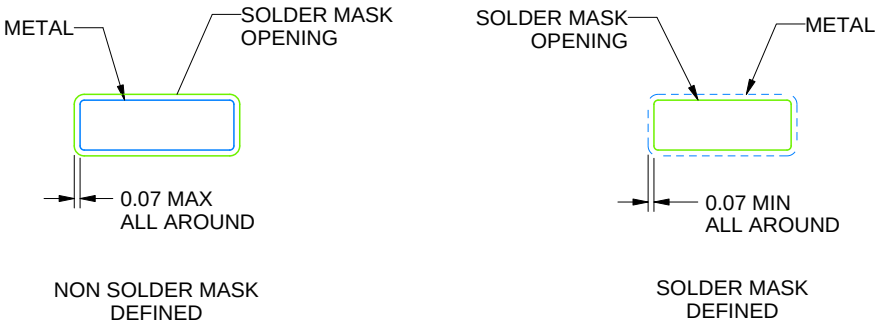


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

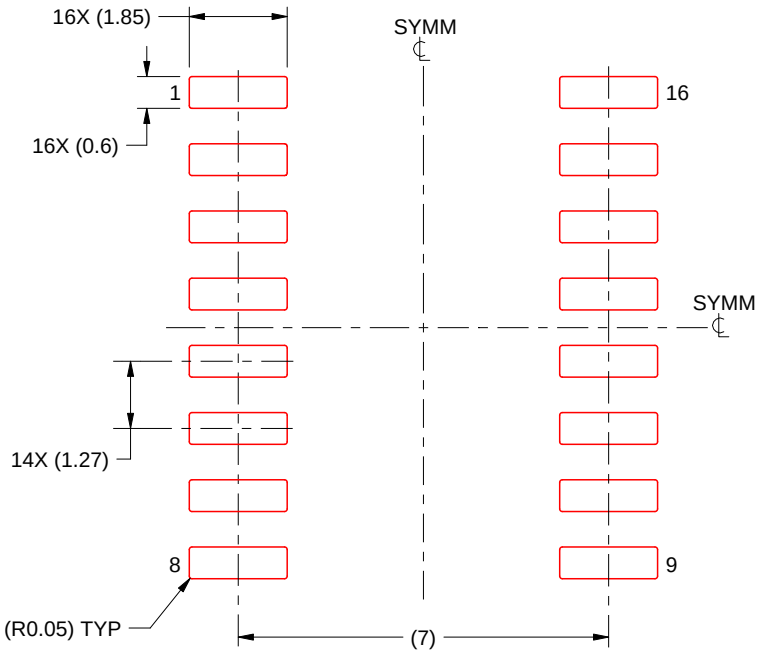
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

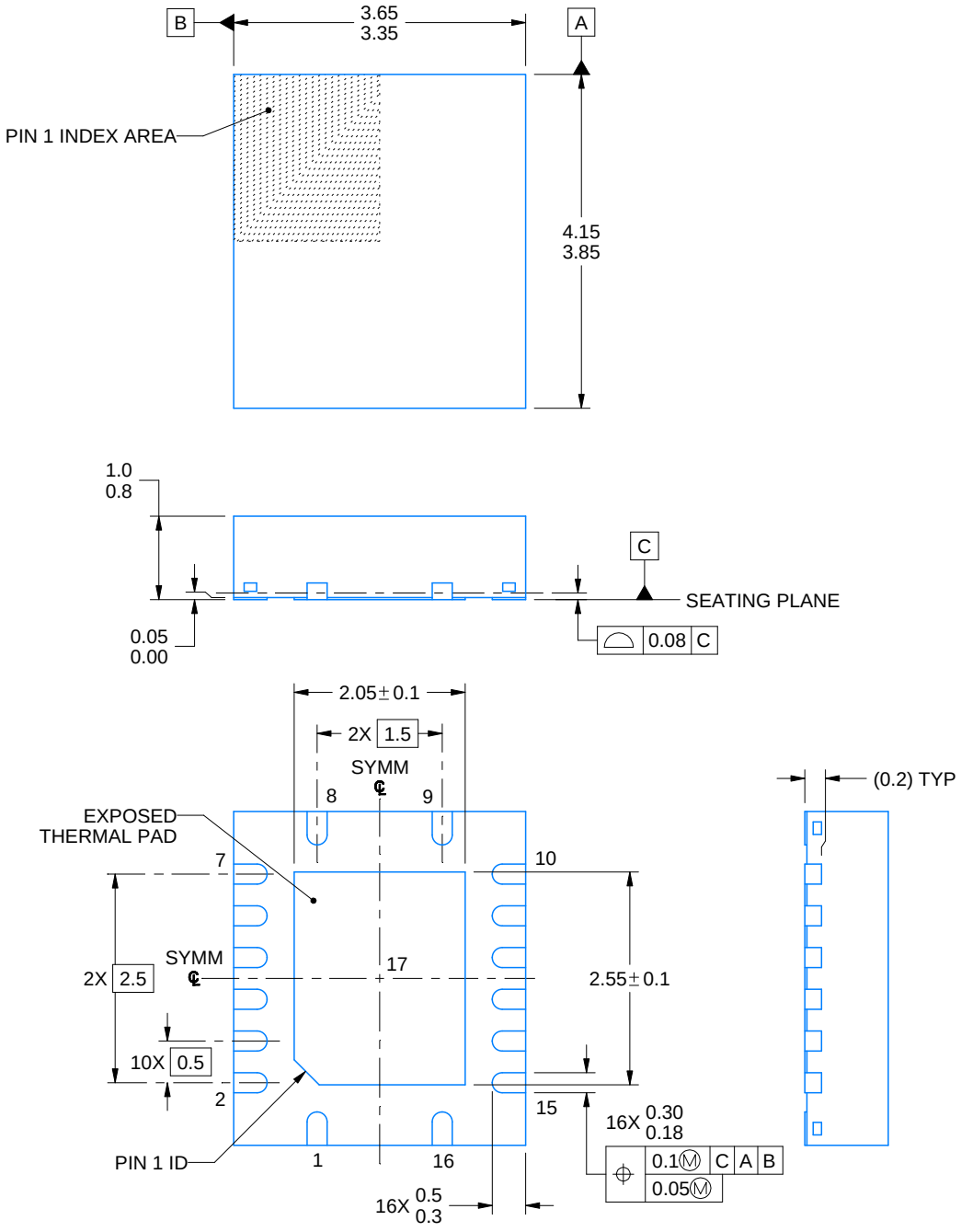
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

RGY0016A

PACKAGE OUTLINE

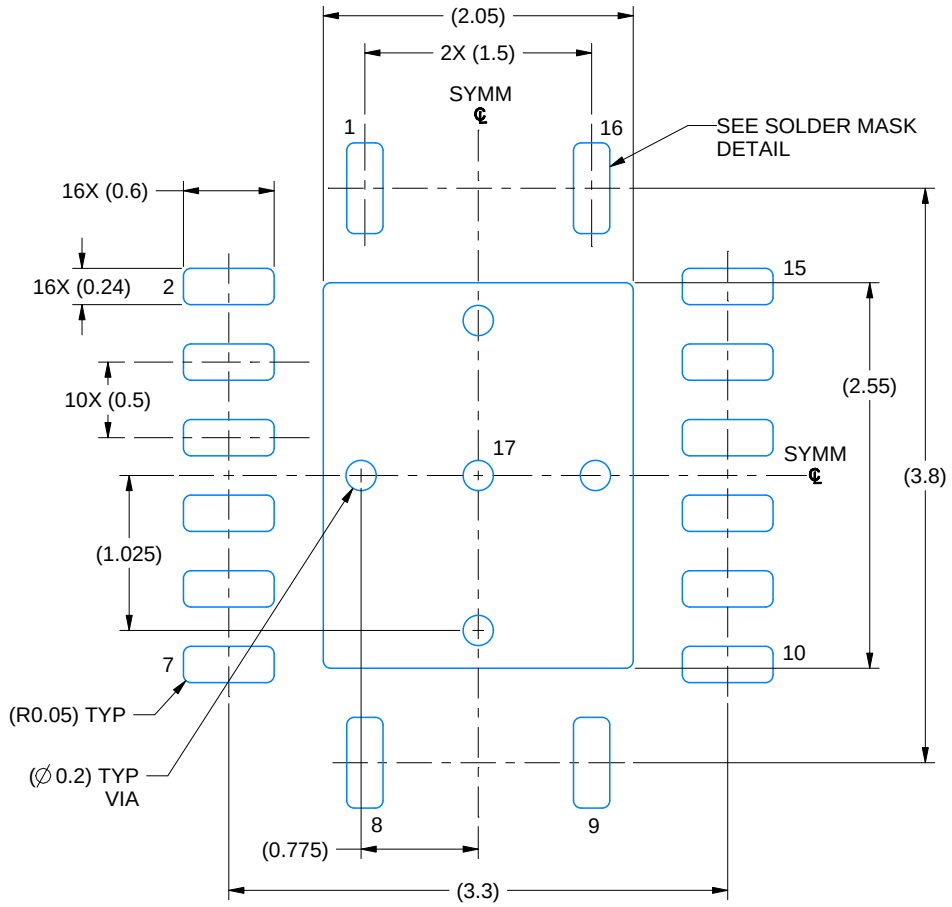
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

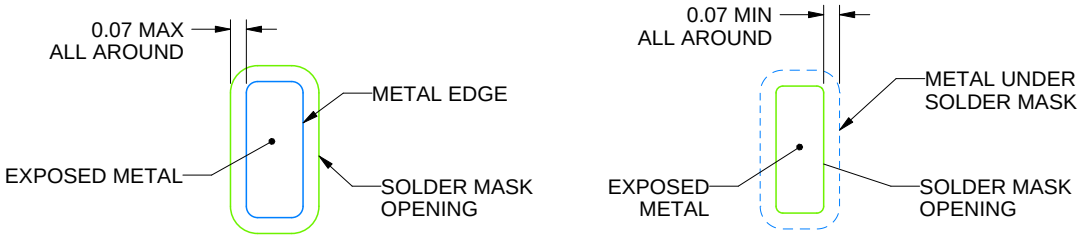


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

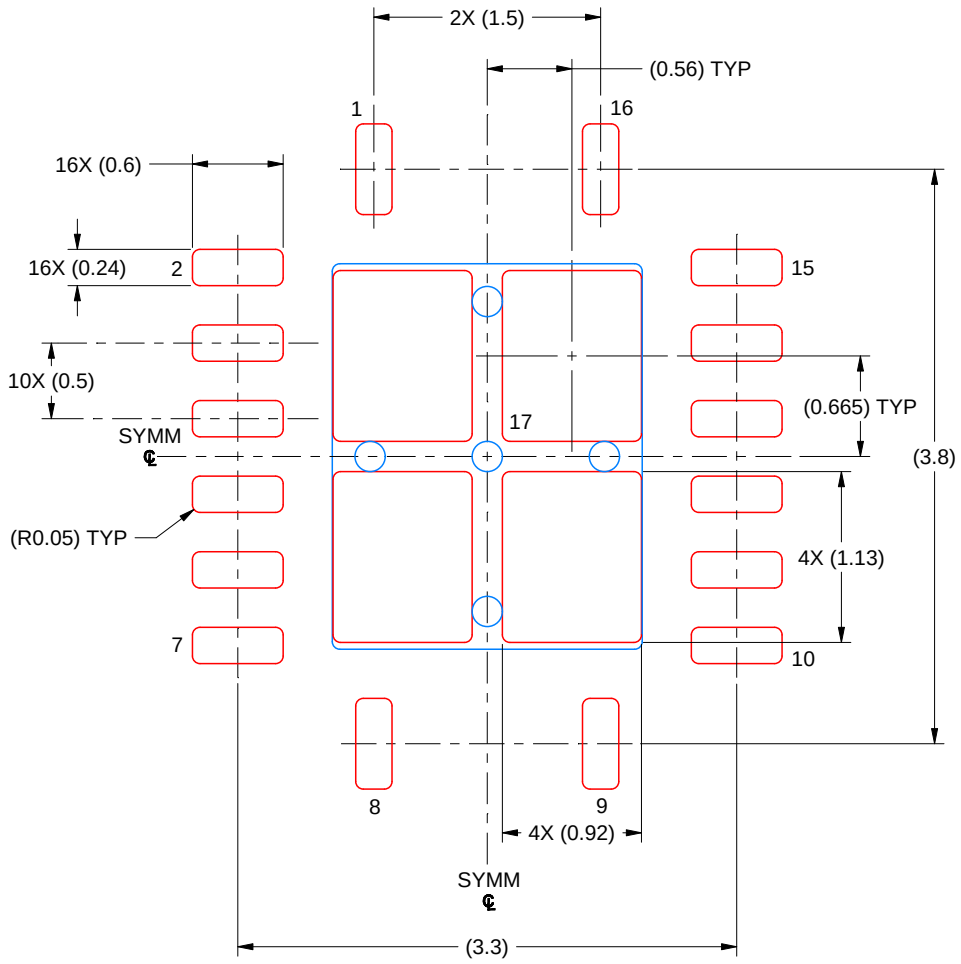


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月