SN74AHC1G32-Q1 車載対応、シングル、2 入力、正論理 OR ゲート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 車載アプリケーション認定済み
- 動作範囲:2V～5.5V
- 最大 t_{pd} 6.5ns (5V 時)
- 低い消費電力、最大 I_{CC}:10μA
- 5V で ±8mA の出力駆動能力
- JESD 17 準拠で
  250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御

3 概要

SN74AHC1G32-Q1 はシングル 2 入力正論理 OR ゲートです。本デバイスはブール関数 Y = A + B を正論理で実行します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74AHC1G32-Q1	DBV (SOT-23、5)	2.9mm × 2.8 mm	2.9mm × 1.6 mm
	DCK (SC70、5)	2mm × 1.25 mm	2mm × 1.25 mm
	DTX (X2SON、5)	1.1 mm × 0.85mm	1.1 mm × 0.85mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V.....5
5.7 スイッチング特性、V_{CC} = 5V ± 0.5V.....5
5.8 動作特性.....5
6 パラメータ測定情報.....6
7 詳細説明.....7
7.1 概要.....7
7.2 機能ブロック図.....7
7.3 機能説明.....7
7.4 デバイスの機能モード.....8
8 アプリケーションと実装.....9
8.1 アプリケーション情報.....9
8.2 代表的なアプリケーション.....9
8.3 電源に関する推奨事項.....10
8.4 レイアウト.....10
9 デバイスおよびドキュメントのサポート.....11
9.1 ドキュメントのサポート.....11
9.2 ドキュメントの更新通知を受け取る方法.....11
9.3 サポート・リソース.....11
9.4 商標.....11
9.5 静電気放電に関する注意事項.....11
9.6 用語集.....11
10 改訂履歴.....11
11 メカニカル、パッケージ、および注文情報.....12

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

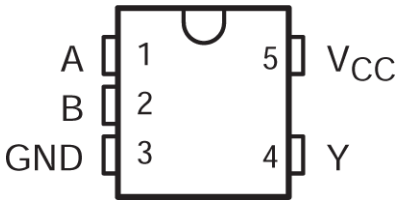


図 4-1. DBV または DCK パッケージ、5 ピン SOT-23 または SOT-SC70 (上面図)

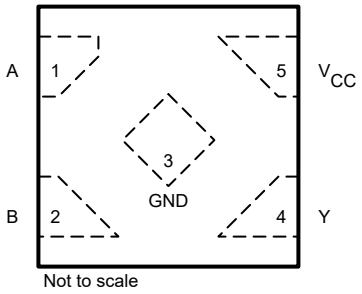


図 4-2. DTX パッケージ、5 ピン X2SON (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
A	1	I	入力 A
B	2	I	入力 B
GND	3	—	グランド ピン
Y	4	O	出力 Y
V_{CC}	5	—	パワー ピン

(1) 信号タイプ : I = 入力、O = 出力、I/O = 入力または出力

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I (2)	入力電圧範囲		-0.5	7	V
V_O (2)	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		-20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100–002 に準拠[1]	±1500	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 3V	2.1		
		V_{CC} = 5.5V	3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 3V		0.9	
		V_{CC} = 5.5V		1.65	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 3.3V ± 0.3V		-4	mA
		V_{CC} = 5V ± 0.5V		-8	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 3.3V ± 0.3V		4	mA
		V_{CC} = 5V ± 0.5V		8	
Δt/Δv	入力遷移の立ち上がりレートまたは立ち下がりレート	V_{CC} = 3.3V ± 0.3V		100	ns/V
		VCC = 5V ± 0.5V		20	
T_A	自由気流での動作温度 (SN74AHC1G32-Q1T)		-40	105	℃
T_A	自由気流での動作温度 (SN74AHC1G32-Q1Q)		-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		SN74AHC1G32-Q1			単位
		DBV	DCK	DTX	
		5 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	278	289.2	184.7	℃/W

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート (SPRA953) を参照してください。

5.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			最小値	最大値	単位
			最小値	標準値	最大値			
V_{OH}	I_{OH} = -50μA	2V	1.9	2		1.9		V
		3V	2.9	3		2.9		
		4.5V	4.4	4.5		4.4		
	I_{OH} = -4mA	3V	2.58			2.48		
	I_{OH} = -8mA	4.5V	3.94			3.8		
V_{OL}	I_{OL} = 50μA	2V			0.1		0.1	V
		3V			0.1		0.1	
		4.5V			0.1		0.1	
	I_{OL} = 4mA	3V			0.36		0.44	
	I_{OL} = 8mA	4.5V			0.36		0.44	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			1		10	μA
C_i	V_I = V_{CC} または GND	5V		2	10		10	pF

5.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V ± 0.3V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			最小値	最大値	単位
				最小値	標準値	最大値			
t_{PLH}	A または B	Y	C_L = 50pF		8	11.4	1	13	ns
t_{PHL}					8	11.4	1	13	

5.7 スイッチング特性、V_{CC} = 5V ± 0.5V

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			最小値	最大値	単位
				最小値	標準値	最大値			
t_{PLH}	A または B	Y	C_L = 50pF		5.3	7.5	1	8.5	ns
t_{PHL}					5.3	7.5	1	8.5	

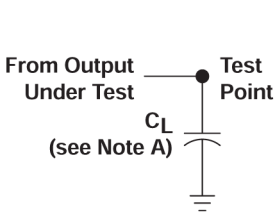
5.8 動作特性

V_{CC} = 5V、T_A = 25℃

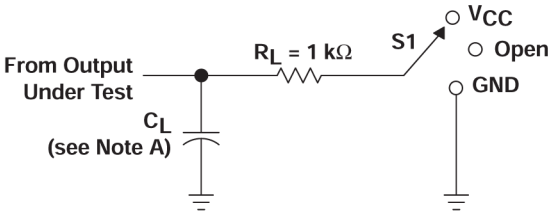
パラメータ		テスト条件	代表値	単位
C_{pd}	消費電力キャパシタンス	無負荷、 f = 1MHz	14	pF

Copyright © 2024 Texas Instruments Incorporated

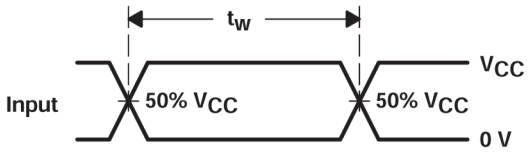
6 パラメータ測定情報



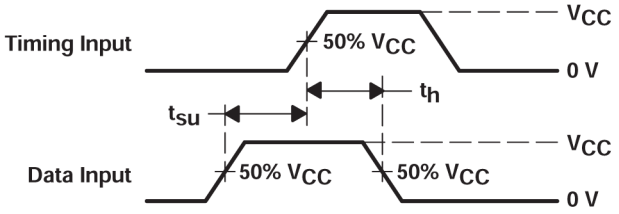
LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS



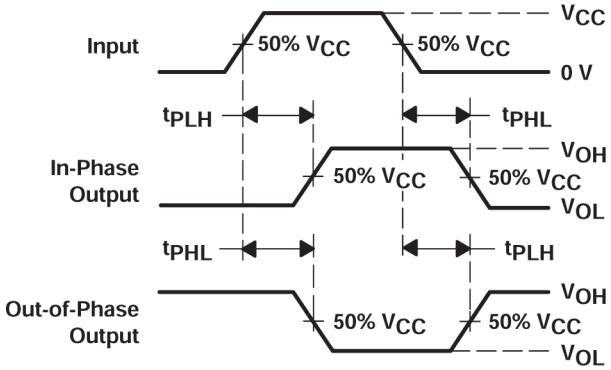
LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS



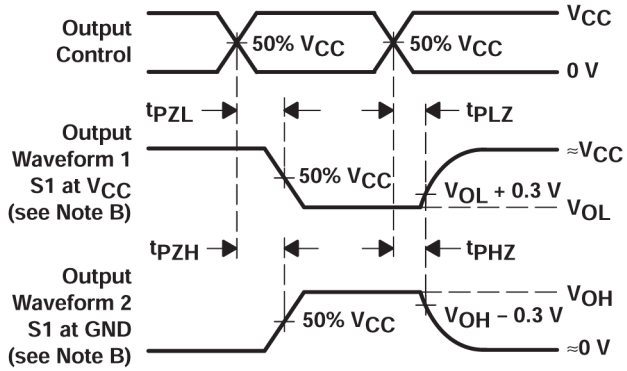
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3ns、t_f ≦ 3ns。
D. 出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。
E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

テスト	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
オープン・ドレイン	V_{CC}

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

このデバイスには、2 つの入力 OR ゲートが内蔵されています。ゲートはブール関数 Y = A + B を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、2.0V、3.0V、5V の CMOS レベルをサポートしています。

7.2 機能ブロック図



図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

Copyright © 2024 Texas Instruments Incorporated

7.3.3 クランプ・ダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

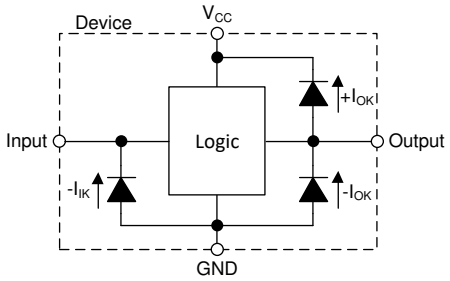


図 7-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1. 機能表

入力 (1)		出力 Y
A	B	
H	X	H
X	H	H
L	L	L

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、3 つの 2 入力 OR ゲートを組み合わせて、4 入力 OR ゲート機能 (代表的なアプリケーションのブロック図を参照) を作成します。4 番目のゲートは、システム内の別のアプリケーションで使用することも、入力を接地してチャネルを未使用のままにすることもできます。

SN74AHC1G32-Q1 デバイスを使って、ファン・ドライバのイネーブル・ピンを直接制御します。ファン・ドライバは、いずれか 1 つの入力信号が High になるとイネーブルになり、すべての信号が Low になるとディセーブルになる必要があります。この 4 入力 OR ゲート機能は、4 つの個別の過熱信号を 1 つのアクティブ High イネーブル信号に結合します。

温度センサは多くの場合、単一の場所に配置するのではなく、システム全体に分散させることができます。つまり、信号を通過させる配線の長さが長くなり、結果的にエッジ遷移が遅くなります。これにより、SN74AHC1G32-Q1 は受信信号の結合に便利です。

8.2 代表的なアプリケーション

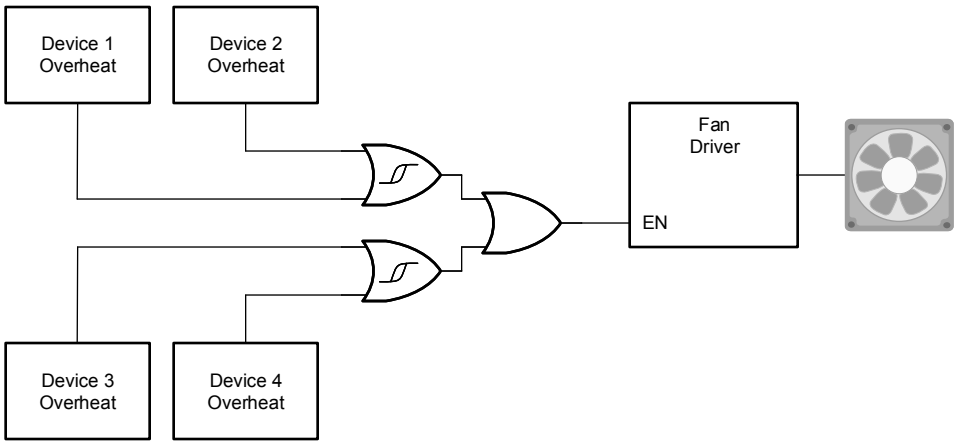


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AHC1G32-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を ($V_{CC}/I_{O(max)}$) Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力の抵抗性負荷は MΩ で測定されます。これは、前に計算した最小値よりもはるかに大きくなります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありません。ただし、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

Copyright © 2024 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

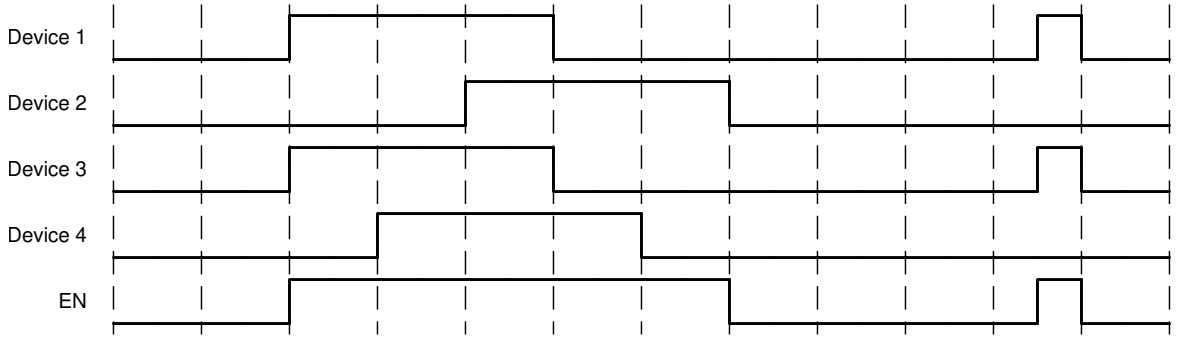


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をオープンのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外側の接続における電圧が未定義のままでは、動作状態が未定義になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用の入力に対して適用が必要となる論理レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、論理機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

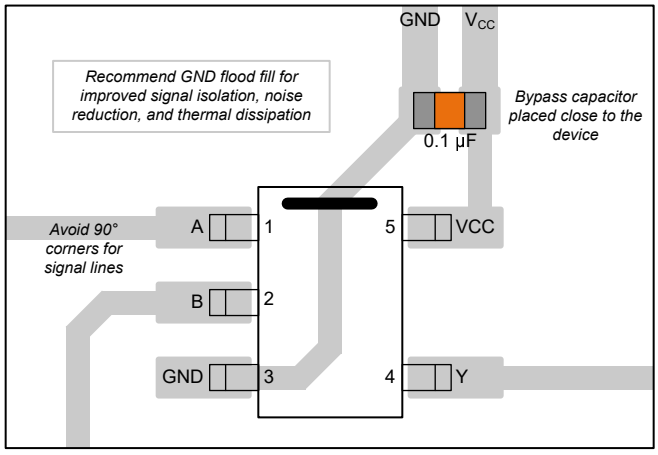


図 8-3. SN74AHC1G32-Q1 のレイアウト例

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (January 2024) to Revision E (October 2024)	Page
• パッケージ情報の表、「ピン構成および機能」セクション、熱に関する情報の表に DTX パッケージを追加	1

Changes from Revision C (October 2023) to Revision D (January 2024)	Page
• 「特長」セクションに ESD 分類を追加	1
• RθJA の値を更新：DBV = 206～278、値はすべて℃/W	5

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC1G32QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	39DH
SN74AHC1G32QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	39DH
SN74AHC1G32QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OF
SN74AHC1G32QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OF
SN74AHC1G32TDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	(39GH, A32U)
SN74AHC1G32TDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	(39GH, A32U)
SN74AHC1G32TDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AGU
SN74AHC1G32TDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AGU
SN74AHC1G32WDTXRQ1	Active	Production	X2SON (DTX) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC1G32-Q1 :

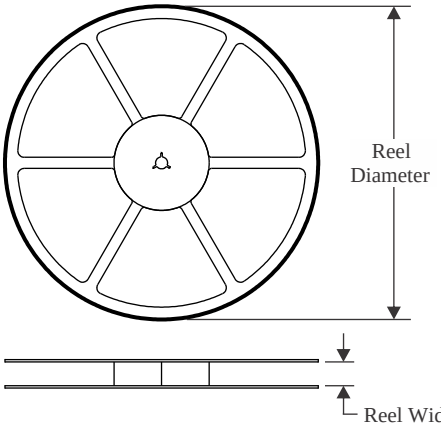
- Catalog : SN74AHC1G32

NOTE: Qualified Version Definitions:

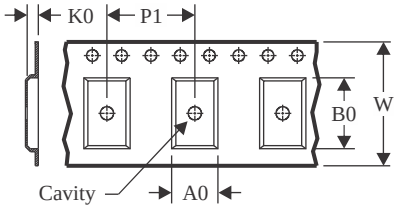
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

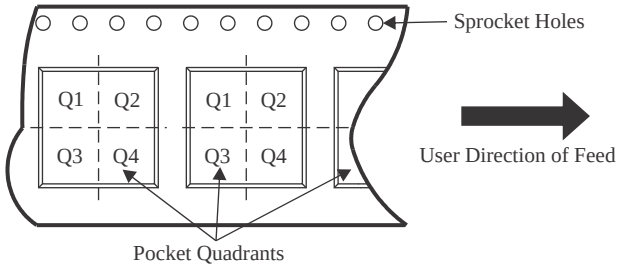


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

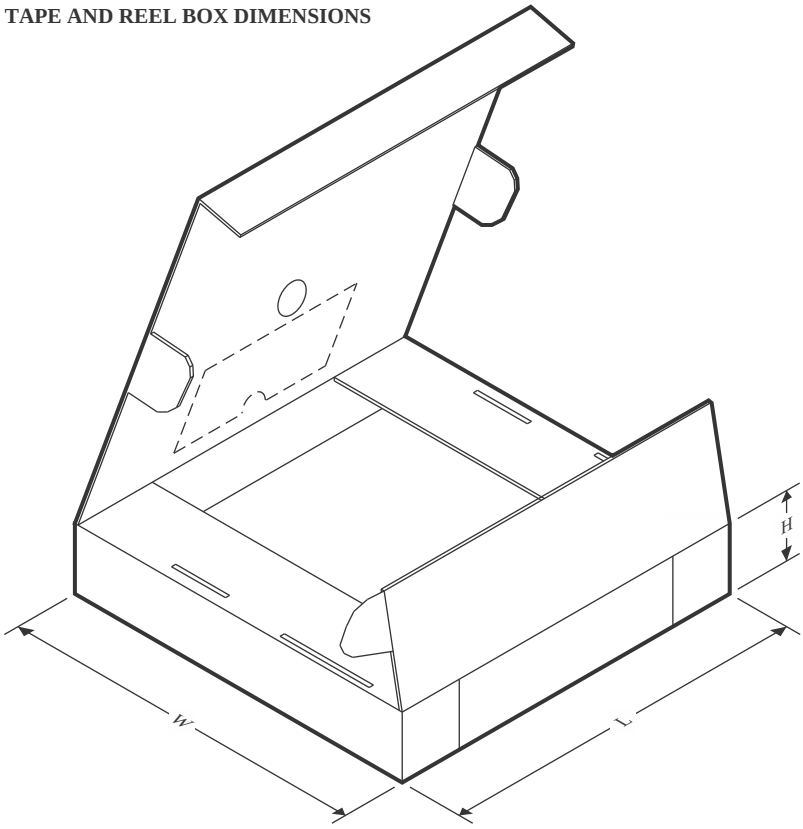
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC1G32QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74AHC1G32QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74AHC1G32TDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74AHC1G32TDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74AHC1G32WDTXRQ1	X2SON	DTX	5	3000	180.0	8.4	1.0	1.25	0.48	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

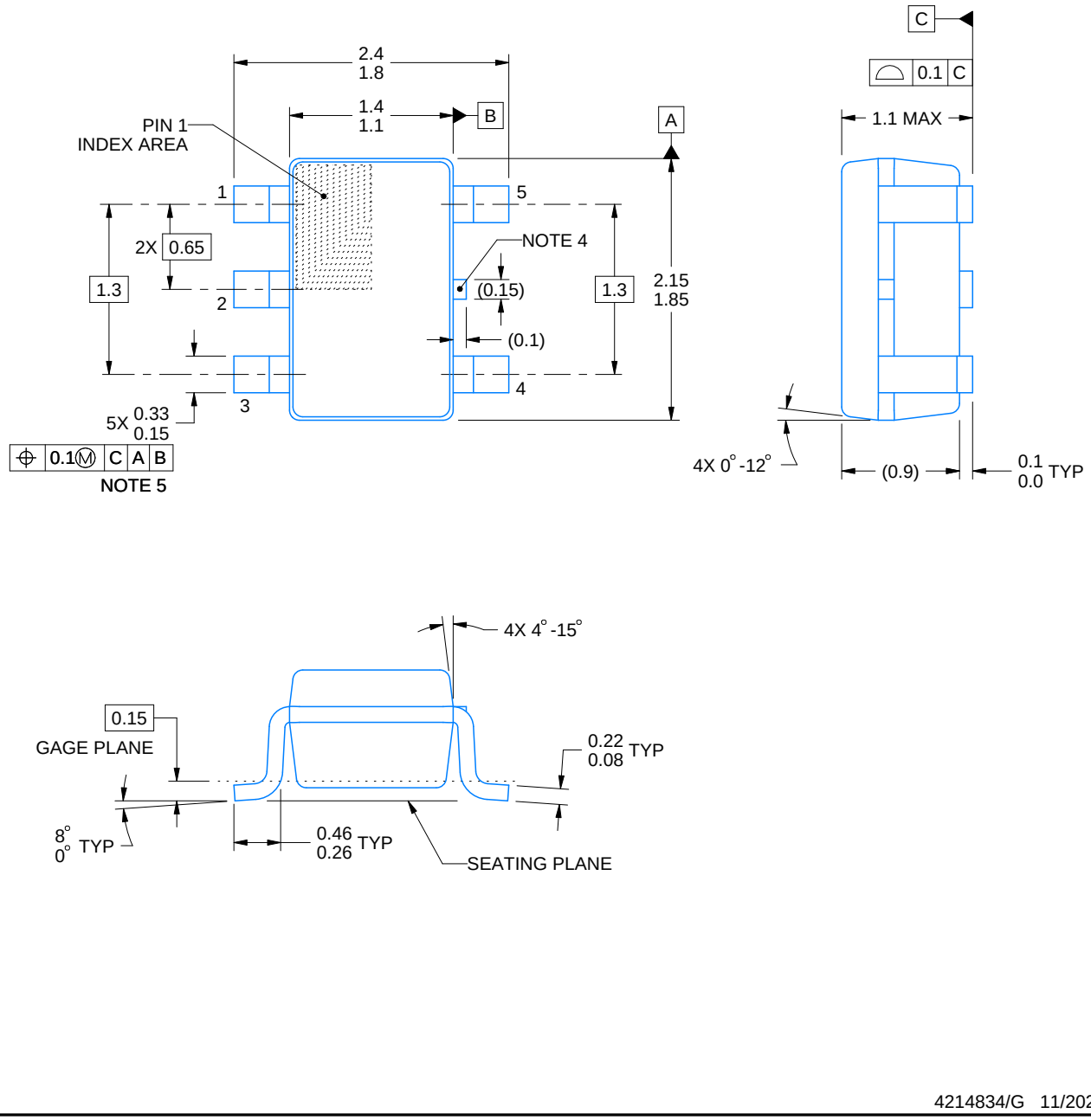
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC1G32QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74AHC1G32QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
SN74AHC1G32TDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74AHC1G32TDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
SN74AHC1G32WDTXRQ1	X2SON	DTX	5	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

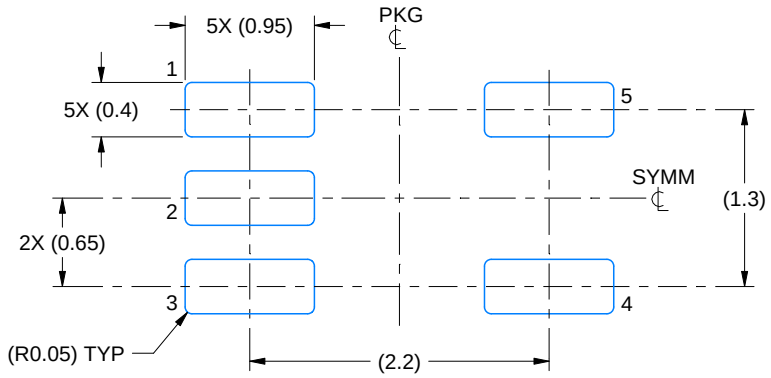
SMALL OUTLINE TRANSISTOR



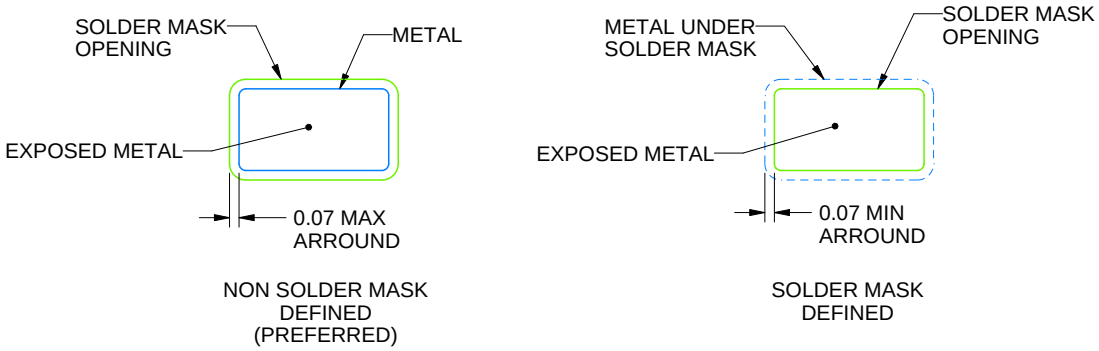
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

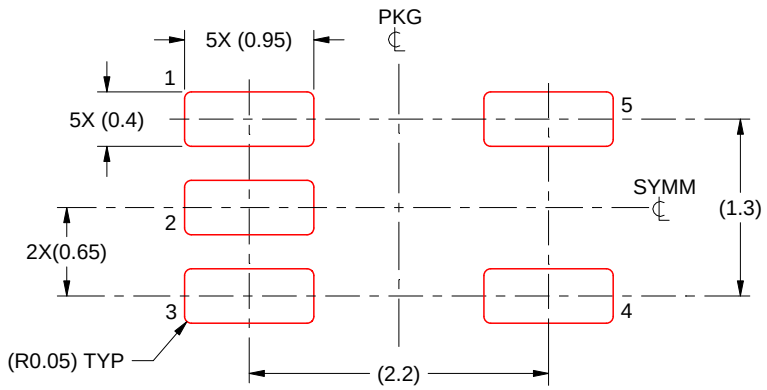


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

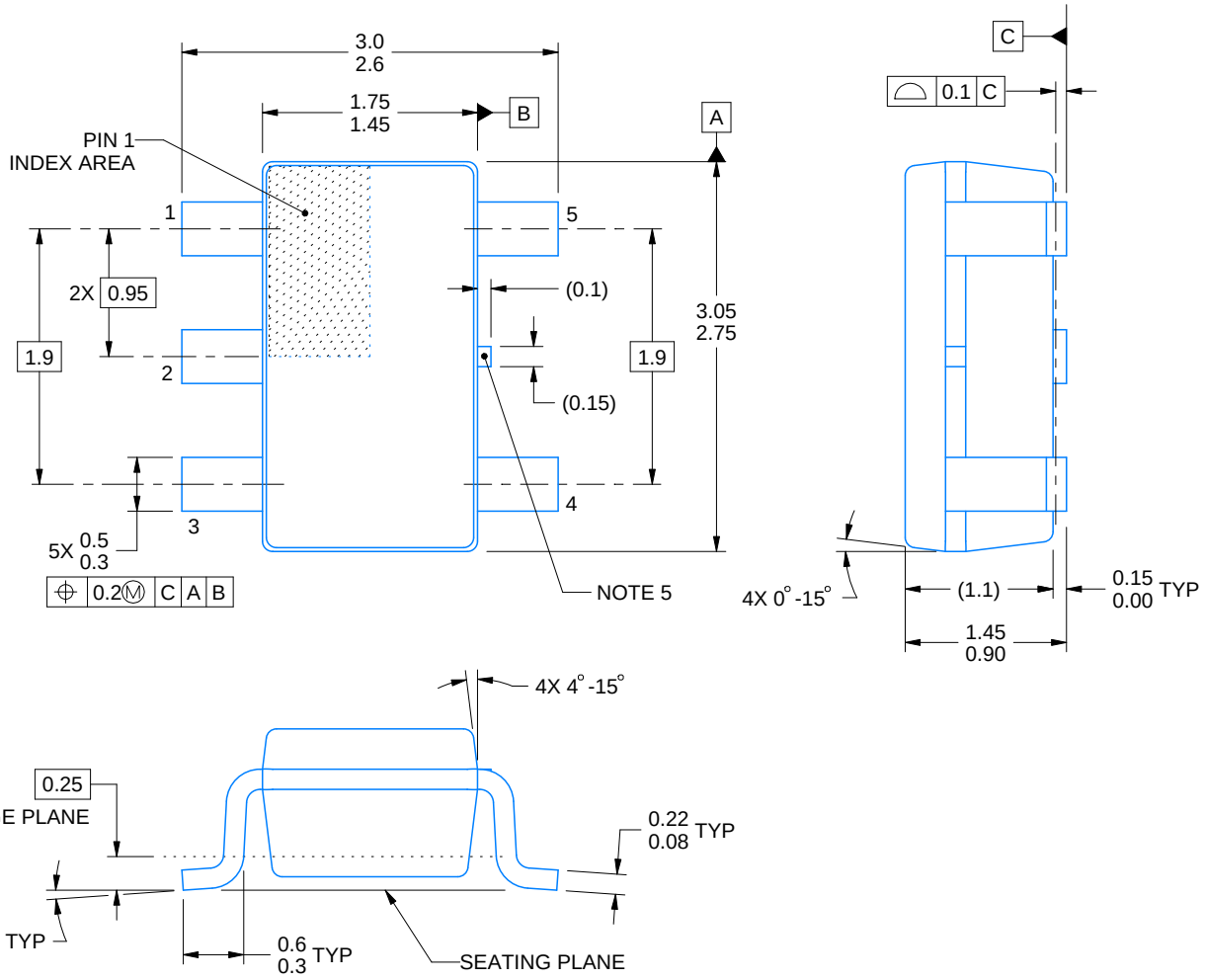
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

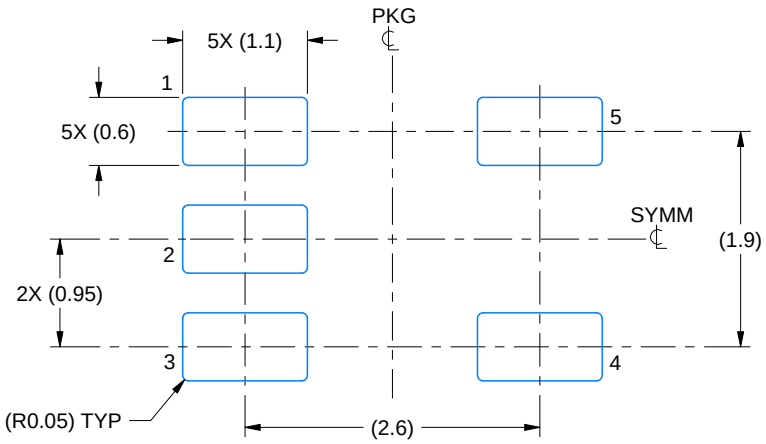
SMALL OUTLINE TRANSISTOR



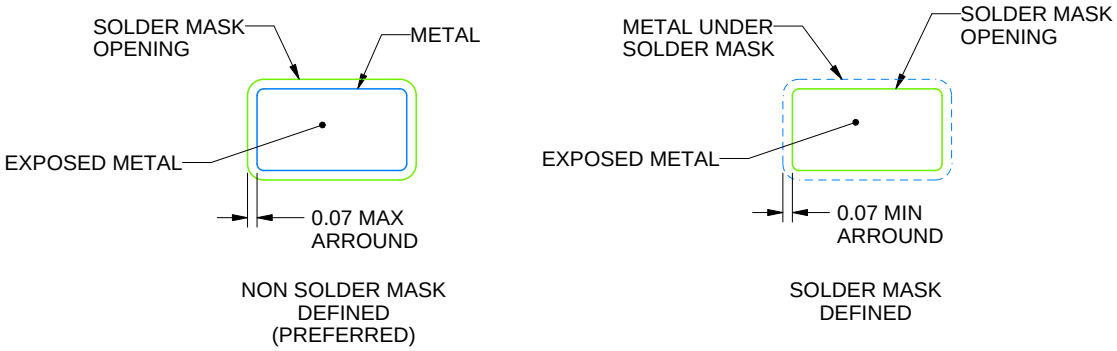
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

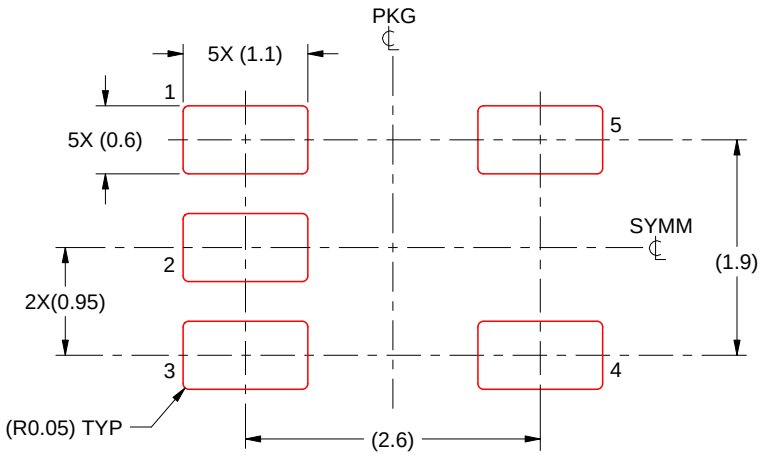


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

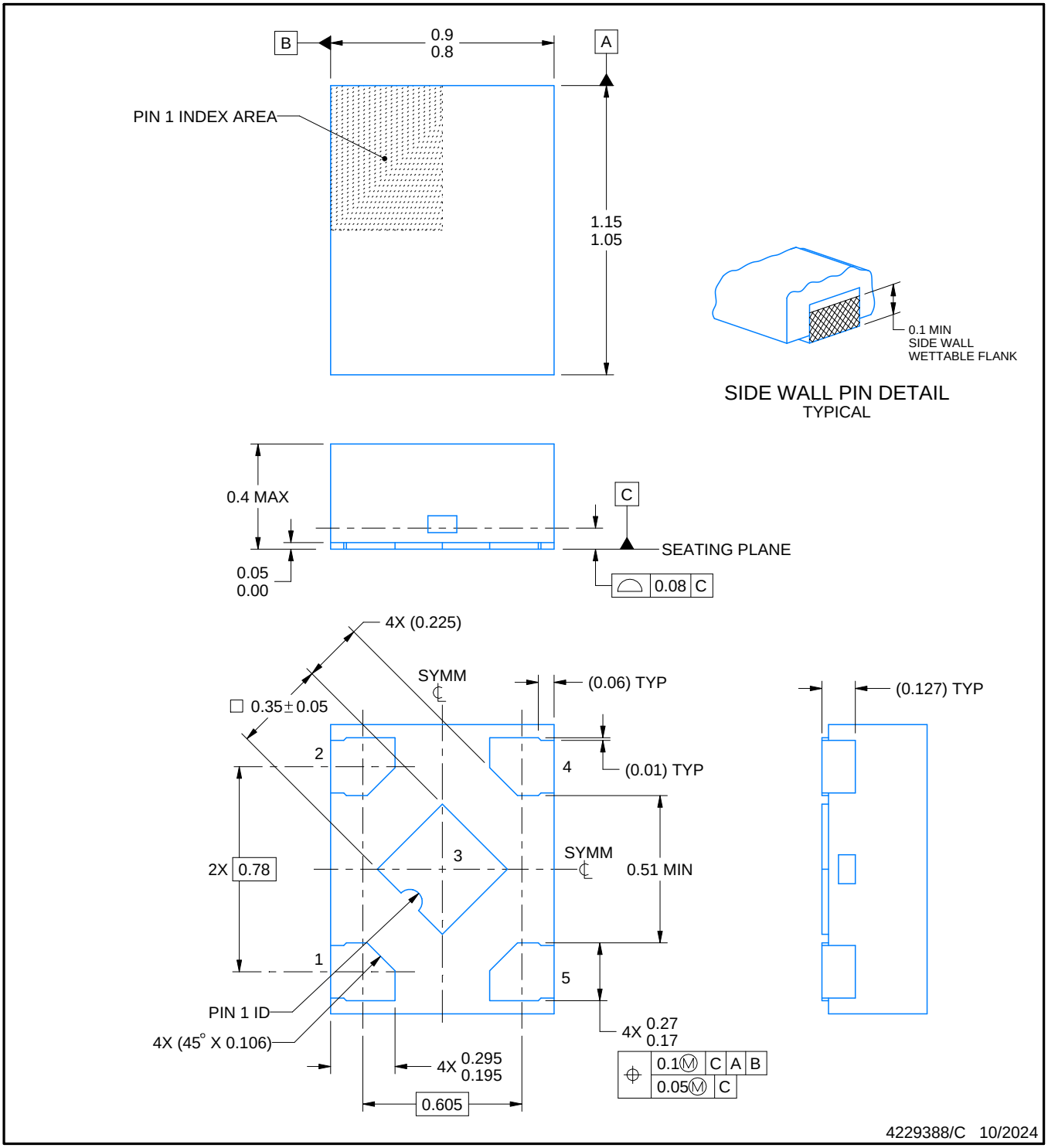
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DTX0005A

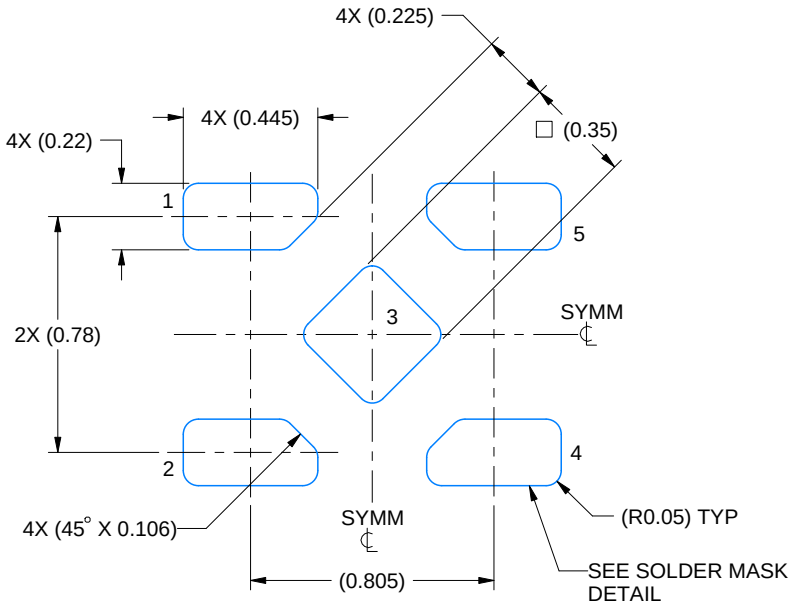
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

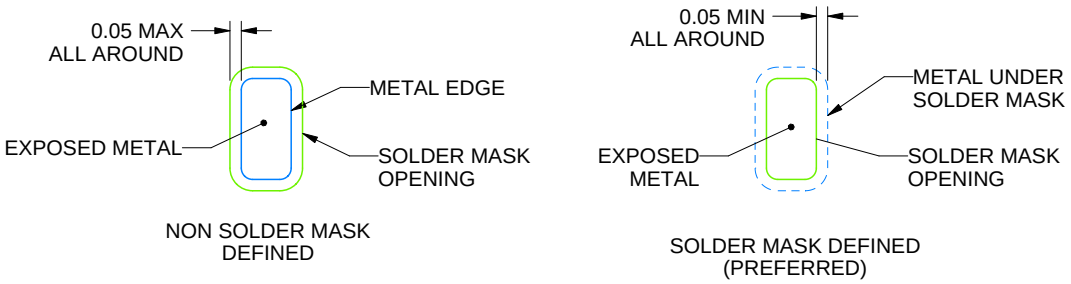


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

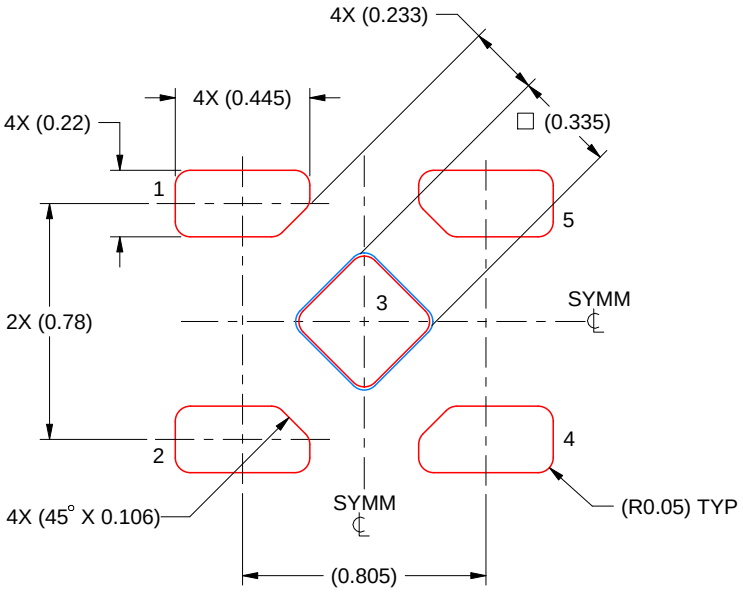


SOLDER MASK DETAILS

4229388/C 10/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

PRINTED SOLDER PASTE COVERAGE BY AREA UNDER PACKAGE
PAD 5: 92%

4229388/C 10/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月