SNx4AHCT123A デュアル再トリガ可能モノステーブル マルチバイブレータ

1 特長

- 入力は TTL 電圧互換
- $\overline{A}$、B、および $\overline{CLR}$ 入力でのシュミット トリガ回路により、低速の入力遷移レートが可能です。
- アクティブ High またはアクティブ Low のゲーテッド ロジック入力でエッジ トリガ可能
- 非常に長い出力パルスに対して再トリガ可能
- クリア信号をオーバーライドすると、出力パルスが終了する」
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 概要

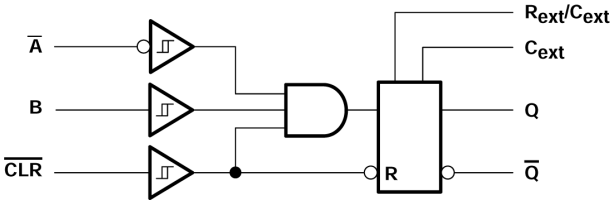
このモノステーブル マルチバイブレータは、出力パルスの持続時間を制御するために、3 つの手法を採用しています。1 番目の方法では、$\overline{A}$ 入力が Low のときに、B 入力が High に遷移します。2 番目の方法では、B 入力が High のときに、$\overline{A}$ 入力が Low に遷移します。3 番目の方法では、$\overline{A}$ 入力が Low、B 入力が High のときに、クリア ($\overline{CLR}$) 入力が High に遷移します。

出力パルス幅は、外付けの抵抗と容量の値を選択することで設定されます。外付けタイミング コンデンサは C_{ext} と R_{ext}/C_{ext} (正極側) の間に接続する必要があります。外付け抵抗は R_{ext}/C_{ext} と V_{CC} の間に接続する必要があります。パルス幅を可変させるには、R_{ext}/C_{ext} と V_{CC} の間に外付けの可変抵抗を接続します。$\overline{CLR}$ を Low にすることで、出力パルスの持続時間を低減することもできます。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SNx4AHCT123A	D (SOIC、16)	9.90mm × 6mm	9.90mm × 3.90mm
	DB (SSOP、16)	6.20mm × 7.8mm	6.20mm × 5.30mm
	DGV (TVSOP、16)	3.6mm × 6.4mm	3.6mm × 4.4mm
	N (PDIP、16)	19.31mm × 9.4mm	19.31mm × 6.35mm
	PW (TSSOP、16)	5.00mm × 6.4mm	5.00mm × 4.40mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



各マルチバイブレータの論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 概要 ... 1
3 ピン構成および機能 ... 3
4 仕様 ... 4
4.1 絶対最大定格 ... 4
4.2 ESD 定格 ... 4
4.3 推奨動作条件 ... 4
4.4 熱に関する情報 ... 5
4.5 電気的特性 ... 5
4.6 タイミング要件 ... 5
4.7 スイッチング特性 ... 6
4.8 動作特性 ... 6
4.9 入力 / 出力タイミング図 ... 7
5 パラメータ測定情報 ... 8
6 詳細説明 ... 9
6.1 概要 ... 9
6.2 機能ブロック図 ... 9
6.3 機能説明 ... 9
6.4 デバイスの機能モード ... 10
7 アプリケーションと実装 ... 11
7.1 アプリケーション インフォメーション ... 11
7.2 電源に関する推奨事項 ... 15
7.3 レイアウト ... 15
8 デバイスおよびドキュメントのサポート ... 18
8.1 ドキュメントのサポート ... 18
8.2 ドキュメントの更新通知を受け取る方法 ... 18
8.3 サポート・リソース ... 18
8.4 商標 ... 18
8.5 静電気放電に関する注意事項 ... 18
8.6 用語集 ... 18
9 改訂履歴 ... 18
10 メカニカル、パッケージ、および注文情報 ... 19

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

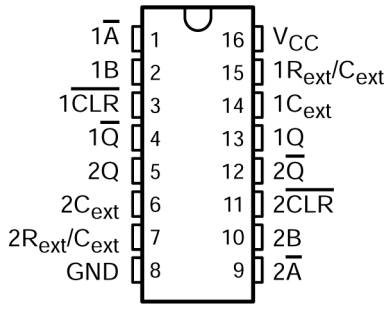
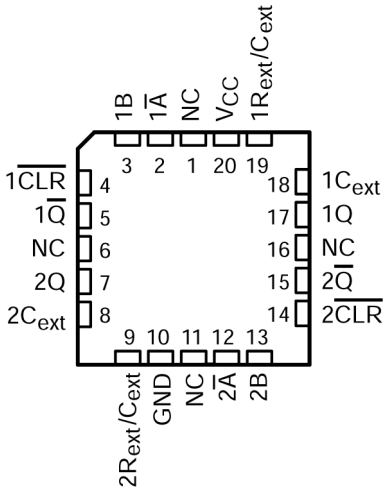


図 3-1. SN54AHCT123A J または W パッケージ、SN74AHCT123A D、DB、DGV、N、または PW パッケージ (上面図)



NC – No internal connection

図 3-2. SN54AHCT123A FK パッケージ (上面図)

表 3-1. ピンの機能

ピン		I/O[1]	説明
名称	番号		
1 $\overline{A}$	1	I	1B = H の場合のチャネル 1 立ち下がりエッジ トリガ入力。その他の入力方法では Low に保持します
1B	2	I	1$\overline{A}$ = L の場合のチャネル 1 立ち上がりエッジ トリガ入力。その他の入力方法では HIGH に保持します
1 $\overline{CLR}$	3	I	1$\overline{A}$ = L および 1B = H の場合のチャネル 1 の立ち上がりエッジトリガ。その他の入力方法では HIGH に保持します。出力中に LOW を駆動することで、パルス長を短く切ることができます
1 $\overline{Q}$	4	O	チャネル 1 反転出力
2Q	5	O	チャネル 2 出力
$2C_{ext}$	6	—	チャネル 2 の外部コンデンサ マイナス接続
$2R_{ext}/C_{ext}$	7	—	チャネル 2 の外部コンデンサと抵抗器接合部接続
GND	8	—	グランド
2 $\overline{A}$	9	I	2B = H の場合のチャネル 2 立ち下がりエッジ トリガ入力。その他の入力方法では Low に保持します
2B	10	I	2$\overline{A}$ = L の場合のチャネル 2 立ち上がりエッジ トリガ入力。その他の入力方法では HIGH に保持します
2 $\overline{CLR}$	11	I	2$\overline{A}$ = L および 2B = H の場合のチャネル 2 の立ち上がりエッジトリガ。その他の入力方法では HIGH に保持します。出力中に LOW を駆動することで、パルス長を短く切ることができます
2 $\overline{Q}$	12	O	チャネル 2 反転出力
1Q	13	O	チャネル 1 出力
$1C_{ext}$	14	—	チャネル 1 の外部コンデンサ マイナス接続
$1R_{ext}/C_{ext}$	15	—	チャネル 1 の外部コンデンサと抵抗器接合部接続
V_{CC}	16	—	電源

1. I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC} (2)	電源電圧範囲		-0.5	7	V
V_I (3)	入力電圧範囲		-0.5	7	V
V_O (2)	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		-20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての電圧値は、回路のグランド端子を基準としたものです。
(3) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		SN54AHCT123A		SN74AHCT123A		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		2		V
V_{IL}	Low レベル入力電圧		0.8		0.8	V
V_I	入力電圧	0	5.5	0	5.5	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8		-8	mA
I_{OL}	Low レベル出力電流		8		8	mA
R_{ext}	外部タイミング抵抗	1k		1k		Ω
Δ t/Δ V_{CC}	パワーアップ ランプ レート	1		1		ms/V
T_A	自由空気での動作温度	-55	125	-40	85	℃

(1) 未使用の R_{ext}/C_{ext} 端子は未接続のままにします。デバイスが適切に動作するように、デバイスの未使用入力の残りはすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.4 熱に関する情報

熱評価基準(1)		SN74AHCT123A					単位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	PW (TSSOP)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	73	82	120	67	108	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		V_{CC}	T_A = 25℃			SN54AHCT123A		SN74AHCT123A		単位
					最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}		I_{OH} = -50μA		4.5 V	4.4	4.5		4.4		4.4		V
		I_{OH} = -8mA			3.94			3.8		3.8		
V_{OL}		I_{OL} = 50μA		4.5 V			0.1		0.1		0.1	V
		I_{OL} = 8mA					0.36		0.5		0.44	
I_I	R_{ext}/ C_{ext} (2)	V_I = V_{CC} または GND		5.5 V			±0.25		±2.5		±2.5	μA
	$\overline{A}$、B、および $\overline{CLR}$	V_I = V_{CC} または GND		0V～5.5V			±0.1		±1(1)		±1	
I_{CC}	静止時	V_I = V_{CC} または GND、	I_O = 0	5.5 V			4		40		40	μA
I_{CC}	アクティブ状態 (回路ごと)	V I_I = V_{CC} または GND、R_{ext} / C_{ext} = 0.5V $_{CC}$		5.5V		560	750		975		975	μA
ΔI_{CC} (3)		1 つの入力は 3.4V、その他の入力は V_{CC} または GND		5.5 V			1.35		1.5		1.5	mA
C_i		V_I = V_{CC} または GND		5 V		1.9	10				10	pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。
(2) このテストは、端子が OFF 状態のときに実行します。
(3) これは、0V や VCC ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

4.6 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 5 V±0.5 V (特に記述のない限り) (負荷回路および電圧波形を参照)

			テスト条件	T_A = 25℃			SN54AHCT123A		SN74AHCT123A		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{CLR}$		5			5		5		ns
		$\overline{A}$ または B トリガ		5			5		5		
t_{rr}	パルス再トリガ時間		R_{ext} = 1 kΩ C_{ext} = 100pF	(1)	60		(1)		(1)		ns
			R_{ext} = 1 kΩ, C_{ext} = 0.01μF	(1)	1.5		(1)		(1)		μs

(1) 「アプリケーション情報」セクションでデータの再トリガを参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.7 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5 V±0.5 V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	T_A = 25℃			SN54AHCT123A		SN74AHCT123A		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	$\overline{A}$ または B	Q または $\overline{Q}$	C_L = 15pF		5.3(1)	10(1)	1(1)	13(1)	1	11	ns
t_{PHL}					5.3(1)	10(1)	1(1)	13(1)	1	11	
t_{PLH}	$\overline{CLR}$	Q または $\overline{Q}$	C_L = 15pF		7.7(1)	12(1)	1(1)	15(1)	1	13	ns
t_{PHL}					7.7(1)	12(1)	1(1)	15(1)	1	13	
t_{PLH}	$\overline{CLR}$ トリガ	Q または $\overline{Q}$	C_L = 15pF		8(1)	13(1)	1(1)	16(1)	1	14	ns
t_{PHL}					8(1)	13(1)	1(1)	16(1)	1	14	
t_{PLH}	$\overline{A}$ または B	Q または $\overline{Q}$	C_L = 50pF		6.8	11	1	14	1	12	ns
t_{PHL}					6.8	11	1	14	1	12	
t_{PLH}	$\overline{CLR}$	Q または $\overline{Q}$	C_L = 50pF		9.2	13	1	16	1	14	ns
t_{PHL}					9.2	13	1	16	1	14	
t_{PLH}	$\overline{CLR}$ トリガ	Q または $\overline{Q}$	C_L = 50pF		9.5	14	1	17	1	15	ns
t_{PHL}					9.5	14	1	17	1	15	
t_w (2)		Q または $\overline{Q}$	C_L = 50pF、C_{ext} = 28pF、R_{ext} = 2kΩ		133	200		240		240	ns
			C_L = 50 pF、C_{ext} = 0.01μF R_{ext} = 10 kΩ	90	100	110	90	110	90	110	μs
			C_L = 50pF、C_{ext} = 0.1μF、R_{ext} = 10 kΩ	0.9	1	1.1	0.9	1.1	0.9	1.1	ms
Δ_{tw} (3)					±1						%

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) t_w パルス持続時間 (Q および $\overline{Q}$ 出力における)
(3) Δ_{tw} = 同じパッケージの回路間での出力パルス持続時間の変動 (Q と $\overline{Q}$)

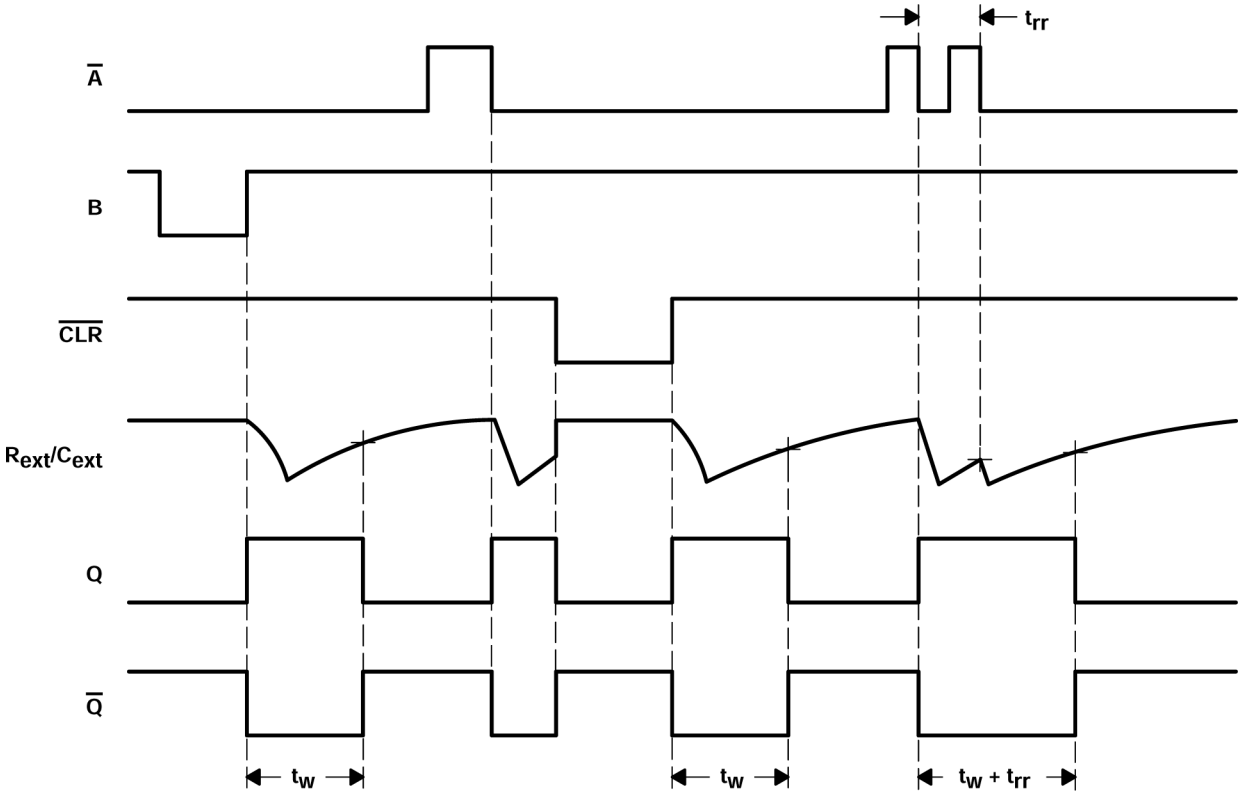
4.8 動作特性

V_{CC} = 5V、T_A = 25℃

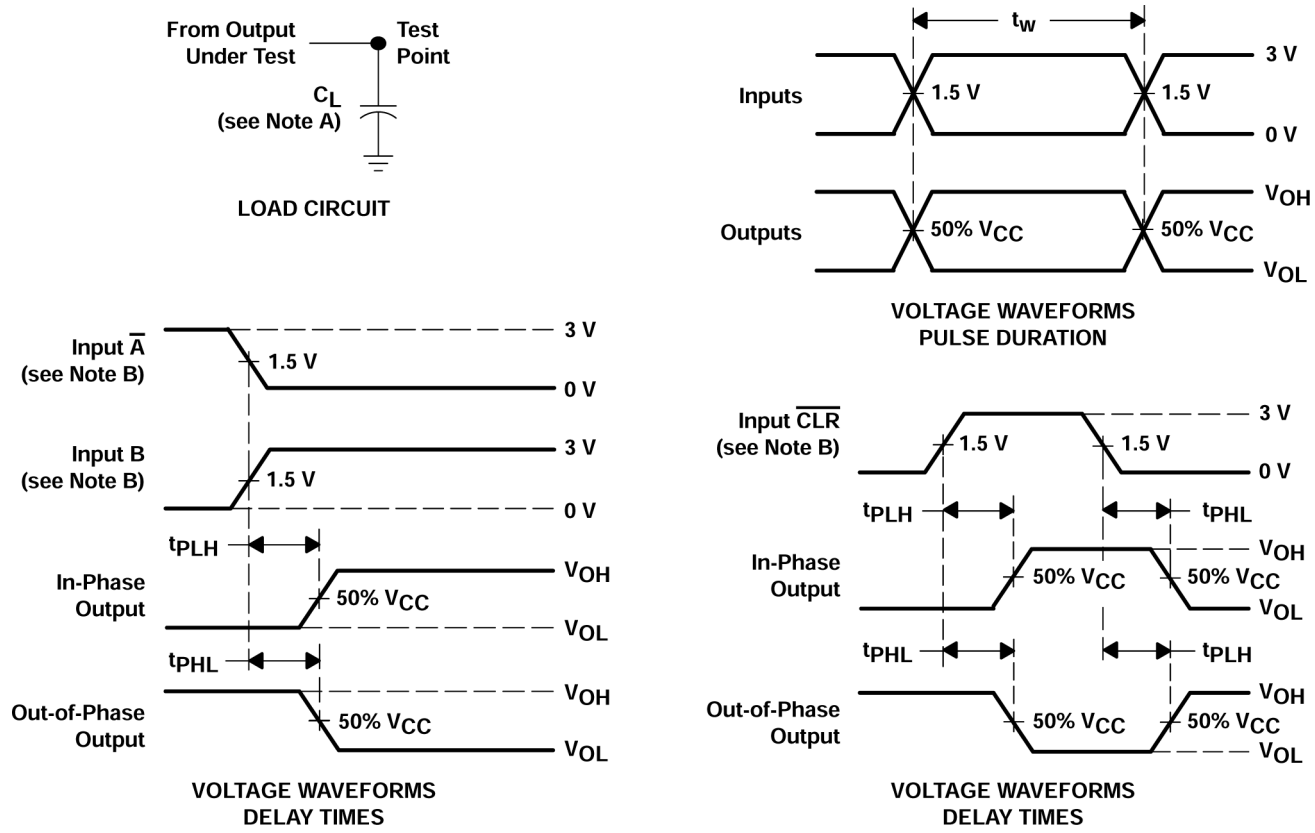
パラメータ		テスト条件	標準値	単位
C_{pd}	電力散逸容量	無負荷	29	pF

Copyright © 2025 Texas Instruments Incorporated

4.9 入力 / 出力タイミング図



5 パラメータ測定情報



A. C_L にはプローブと治具の容量が含まれます。

B. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。Z_O = 50Ω、t_t 3ns。3ns、t_f

C. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 5-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

パルスのトリガは特定の電圧レベルで発生し、入力パルスの遷移時間とは直接関係しません。$\overline{A}$、B、および $\overline{CLR}$ 入力は、入力の遷移速度が遅くても出力にジッタを発生させずにパルス生成するのに十分なヒステリシスを持ったシュミット トリガを備えています。

一度トリガされると、ゲート付きの Low レベル アクティブ ($\overline{A}$) または High レベル アクティブ (B) 入力を再トリガすることで、基本パルスの持続時間を延長することができます 。$\overline{CLR}$ を Low にすることで、パルスの持続時間を低減することができます。$\overline{CLR}$ 入力を使用することで、$\overline{A}$ または B 入力をオーバーライドできます。入力 / 出力のタイミング図は、入力の再トリガと早期クリアによるパルス制御を示しています。

デバイス間での出力パルス持続時間のばらつきは、一般に、特定の外部タイミング 部品について ±0.5% 未満です。'AHCT123A のこの分布の例を図 7-9 に示します。電源電圧および温度に対する出力パルス持続時間の変動を図 7-5 に示します。

電源オン時、Q 出力は Low 状態、$\overline{Q}$ 出力は High 状態になります。出力は、リセット パルスを印加せずに、グリッチ フリーです。

マルチバイブレータのアプリケーション インフォメーションの詳細については、アプリケーション レポート『*SN74AHC123A および SN74AHCT123A を使用した設計*』(文献番号 SCLA014)を参照してください。

6.2 機能ブロック図

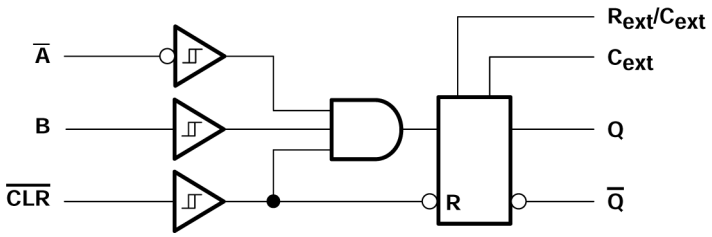


図 6-1. 各マルチバイブレータの論理図 (正論理)

6.3 機能説明

6.3.1 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。最悪条件下の抵抗値は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット トリガ入力アーキテクチャのヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。 入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミット トリガ入力の詳細については、『シュミット トリガについて』を参照してください。

6.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

Copyright © 2025 Texas Instruments Incorporated

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*『低速またはフローティング CMOS 入力の影響』*アプリケーション レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.4 デバイスの機能モード

表 6-1. 機能表 (各マルチバイブレータ)

入力			出力	
$\overline{CLR}$	$\overline{A}$	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L(1)	H(1)
X	X	L	L(1)	H(1)
H	L	↑	⎍	⎏
H	↓	H	⎍	⎏
↑	L	H	⎍	⎏

(1) これらの出力は、$\overline{A}$ 入力と B 入力で指示された定常状態が、その状態がセットアップされる前に開始されたすべてのパルスが完了するくらい十分長い間セットアップされていたという仮定に基づいています。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション インフォメーション

これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。

7.1.1 使用上の注意

ノイズによる誤動作を防止するため、V_{CC} と GND の間に高周波コンデンサを接続し、外付け部品と C_{ext} および R_{ext} / C_{ext} 端子との間の配線をできる限り短くします。

7.1.2 パワーダウンに関する考慮事項

C_{ext} の値が大きい場合、コンデンサ内に蓄積されたエネルギーが原因で、'AHCT123A デバイスの電源オフ時に問題が発生する可能性がありますこのデバイスを含むシステムが電源オフのとき、コンデンサはピン 2 またはピン 14 の保護ダイオードを経由して V_{CC} から放電することがあります。入力保護ダイオードを流れる電流は 30mA に制限する必要があります。したがって、V_{CC} 電源のターンオフ時間は $t = V_{CC} \times C_{ext}$/ 30mA よりも高速ではないようにする必要があります。たとえば、V_{CC} = 5V および C_{ext} = 15pF の場合、V_{CC} 電源は t = (5 V) × (15 pF) / 30mA = 2.5ns より高速にならないようにオフにする必要があります。通常、電源装置は高度にフィルタリングされており、このレートで放電できないため、これは問題ではありません。V_{CC} がさらに急激にゼロに低下すると、'AHCT123A デバイスが損傷を受ける可能性があります。この可能性を回避するために、外付けのクランピング ダイオードを使用します。

7.1.3 出力パルス持続時間

出力パルス持続時間 t_w は、主に外部負荷容量（C_T）とタイミング抵抗（R_T）の値によって決定されます。タイミング部品は、図 7-1 に示すように接続されています。

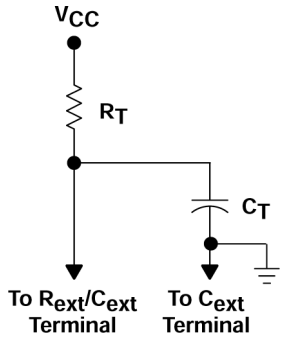


図 7-1. タイミング部品接続

パルス持続時間は次の式で与えられます。

$t_w = K \times R_T \times C_T$（1）

C_T が ≥1000pF の場合、K = 1.0 または

C_T が 1000pF 未満の場合は、図 7-4 から K を求めることができます

ここで

t_w = パルス持続時間（ns 単位）

R_T = 外部タイミング抵抗（k Ω 単位）

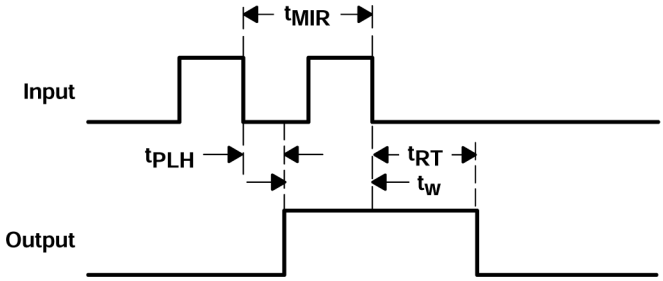
C_T = pF における外部容量

K = 乗数係数

式 1 と図 7-2 を使用して、パルス持続時間、外部抵抗、外部負荷容量の値を決定できます。

7.1.4 データの再トリガ

最小入力再トリガ時間（t_{MIR}）は、初期信号から入力を再トリガするまでに必要な最小時間です。t_{MIR} 後、デバイスは出力を再トリガします。実験的には、出力パルスを再トリガするために、2 つの隣接する入力信号が t_{MIR} 離れている必要があることも示します。ここで、t_{MIR} = 0.30 × t_w です。再トリガパルス持続時間は、図 7-2 に示すように計算されます。

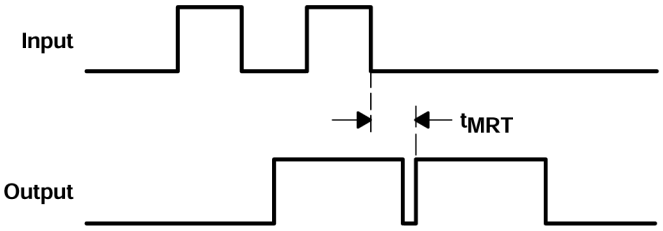


$t_{RT} = t_W + t_{PLH} = (K \times R_T \times C_T) + t_{PLH}$

Where:
t_{MIR} = Minimum Input Retriggering Time
t_{PLH} = Propagation Delay
t_{RT} = Retrigger Time
t_W = Output Pulse Duration Before Retriggering

図 7-2. 再トリガパルス持続時間

再トリガされた出力を確保するためには、入力パルスの終わりから再トリガされた出力の開始までの最小値は約 15ns である必要があります（図 7-3 を参照）。



t_{MRT} = Minimum Time Between the End of the Second Input Pulse and the Beginning of the Retriggered Output
t_{MRT} = 15 ns

図 7-3. 入力/出力要件

Copyright © 2025 Texas Instruments Incorporated

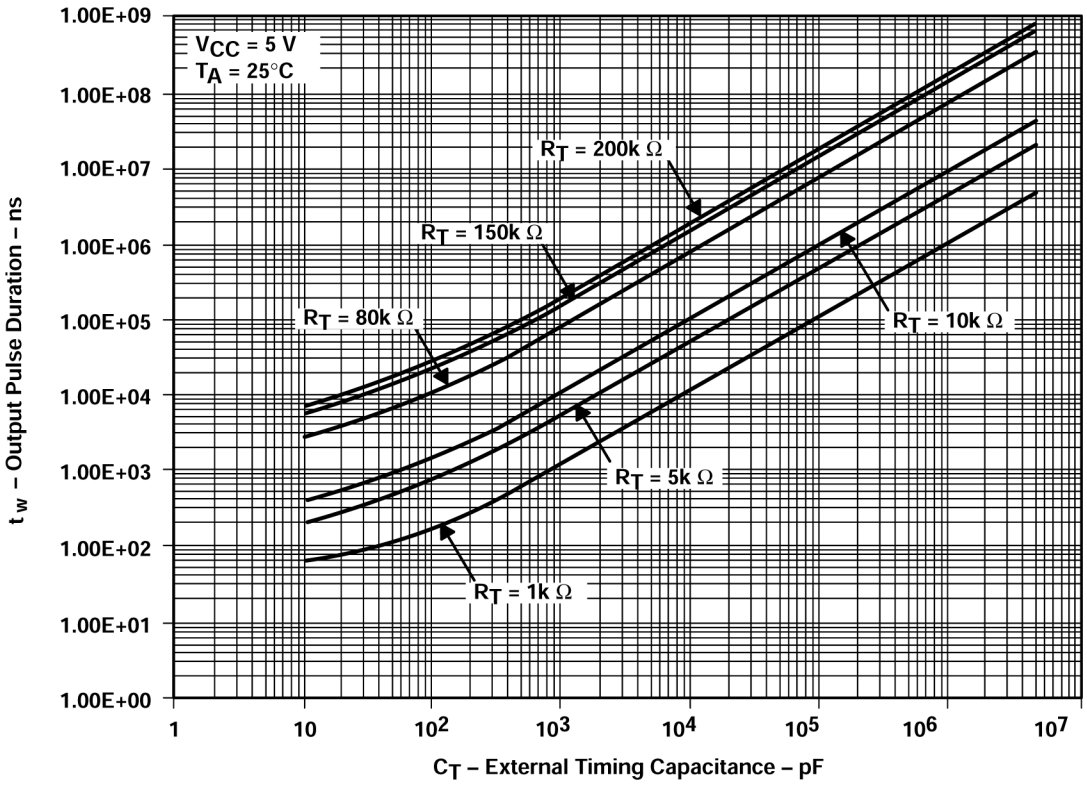


図 7-4. 出力パルス持続時間と外部タイミング容量との関係

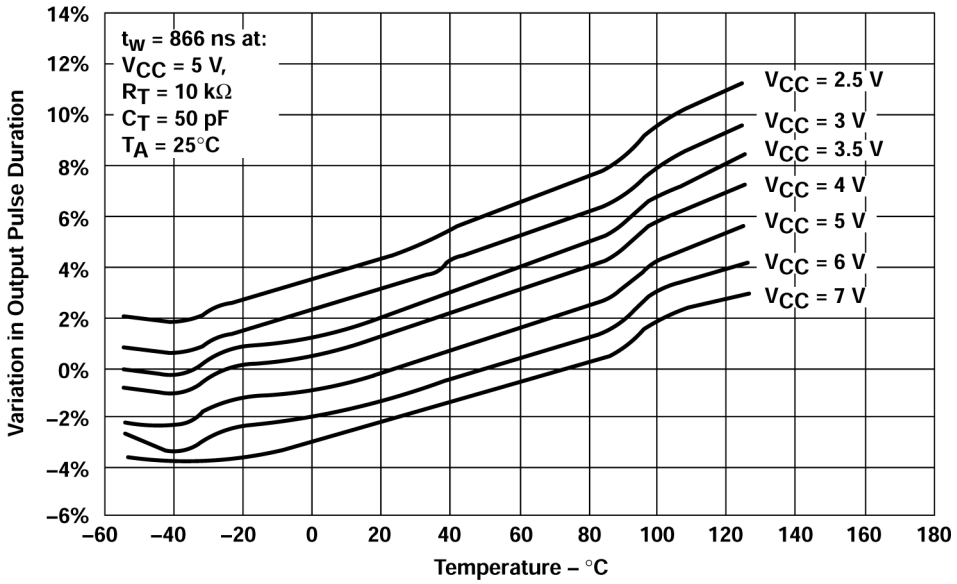


図 7-5. 出力パルス持続時間の変動と温度との関係

Copyright © 2025 Texas Instruments Incorporated

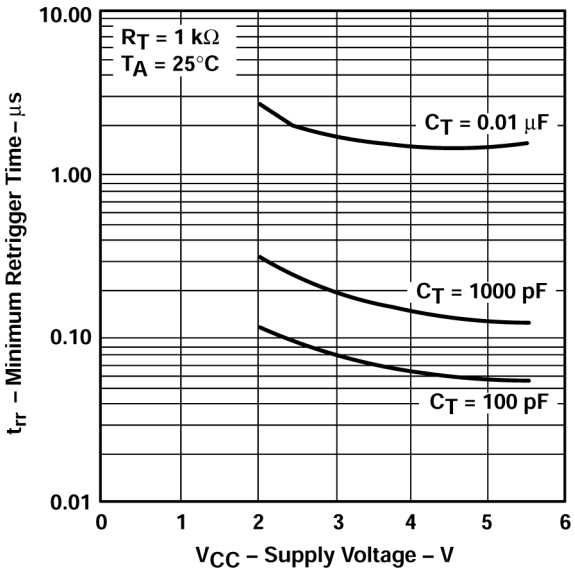


図 7-6. 最小トリガ時間と V_{CC} 特性との関係

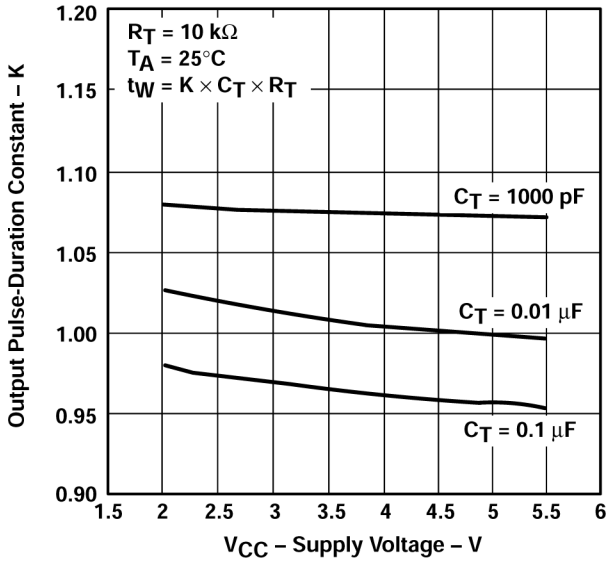


図 7-7. 出力パルス持続時間定数と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

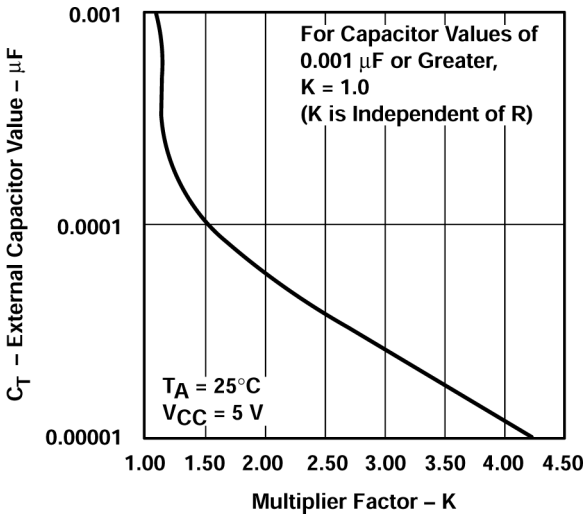


図 7-8. 外部負荷容量と乗数係数との関係

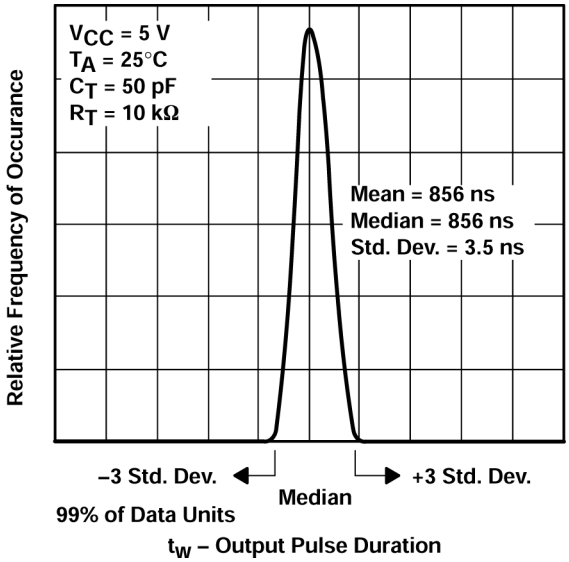


図 7-9. 単位数の分布と出力パルス持続時間との関係

7.2 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。SNx4AHCT123A には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置

Copyright © 2025 Texas Instruments Incorporated

- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

7.3.2 レイアウト例

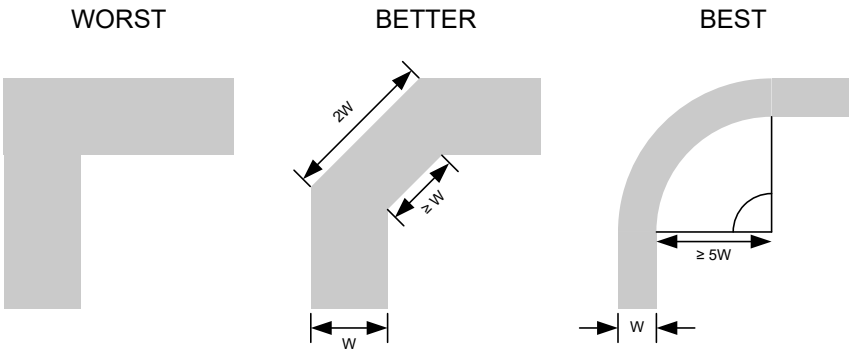


図 7-10. シグナル インテグリティ向上のためのサンプル パターンのコーナー

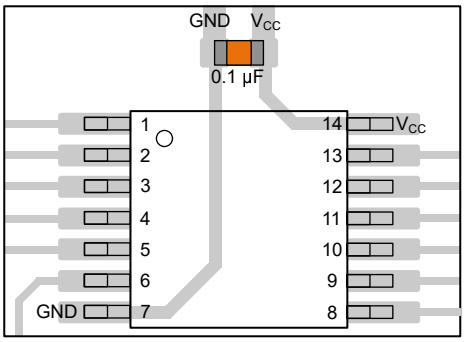


図 7-11. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

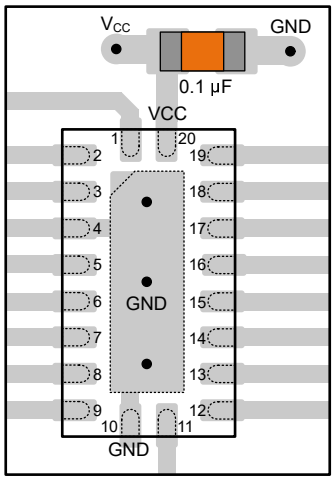


図 7-12. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

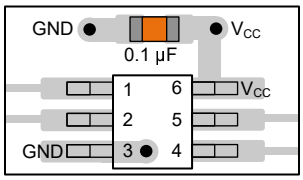


図 7-13. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

Copyright © 2025 Texas Instruments Incorporated

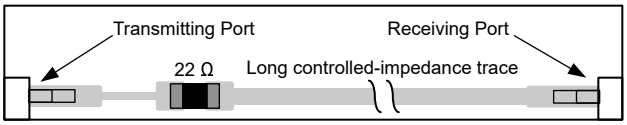


図 7-14. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (April 2003) to Revision H (January 2025)	Page
• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1
• データシート全体にわたってマシン モデルへの参照を削除	1

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9861601Q2A	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
5962-9861601QEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QEA SNJ54AHCT123AJ
5962-9861601QFA	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QFA SNJ54AHCT123AW
SN74AHCT123AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	AHCT123A
SN74AHCT123ADBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT123A
SN74AHCT123ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT123A
SN74AHCT123AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT123AN
SN74AHCT123AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT123AN
SN74AHCT123APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SNJ54AHCT123AFK	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
SNJ54AHCT123AFK.A	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
SNJ54AHCT123AJ	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QEA SNJ54AHCT123AJ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHCT123AJ.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QE A SNJ54AHCT123AJ
SNJ54AHCT123AW	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QF A SNJ54AHCT123AW
SNJ54AHCT123AW.A	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QF A SNJ54AHCT123AW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT123A, SN74AHCT123A :

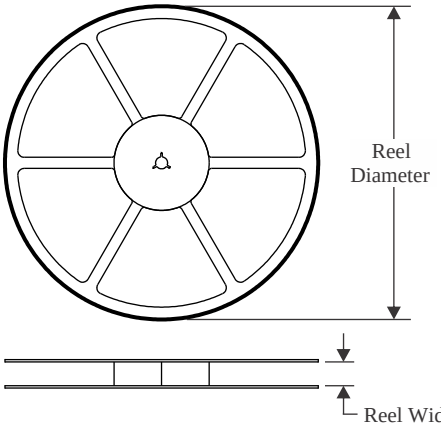
- Catalog : SN74AHCT123A
- Military : SN54AHCT123A

NOTE: Qualified Version Definitions:

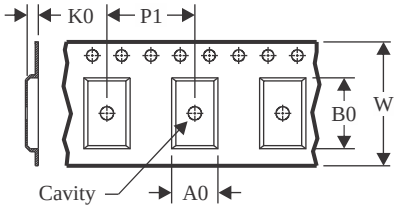
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

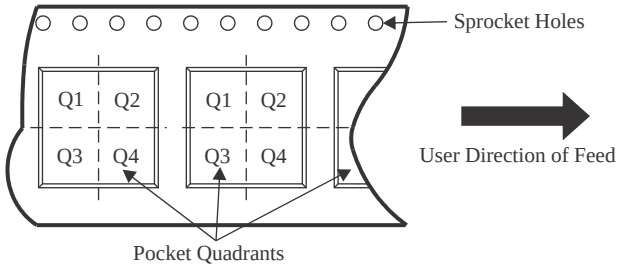


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

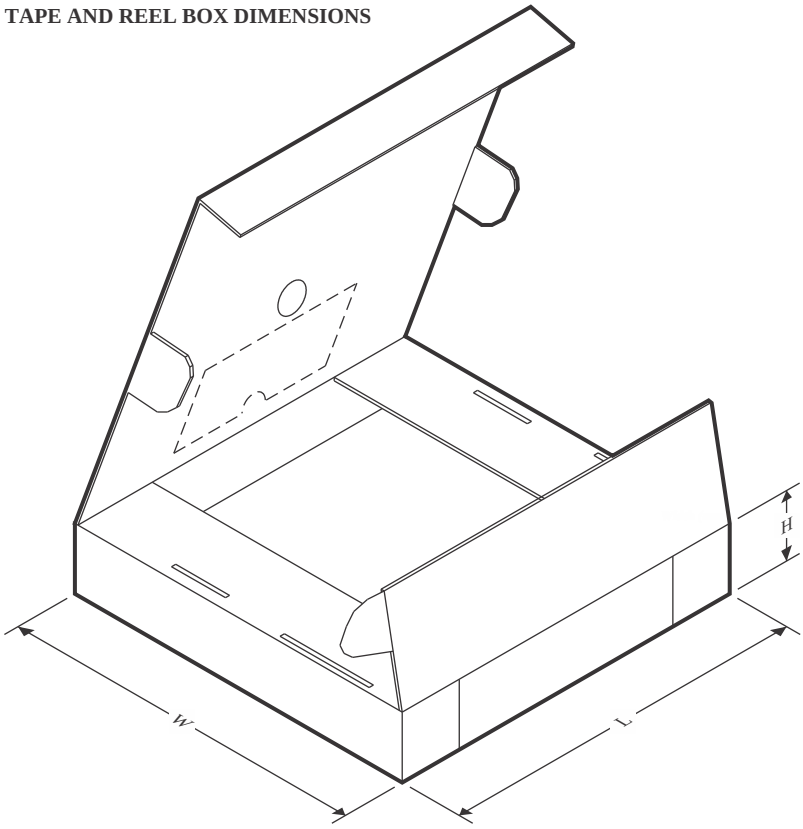
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT123ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT123ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT123ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHCT123APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

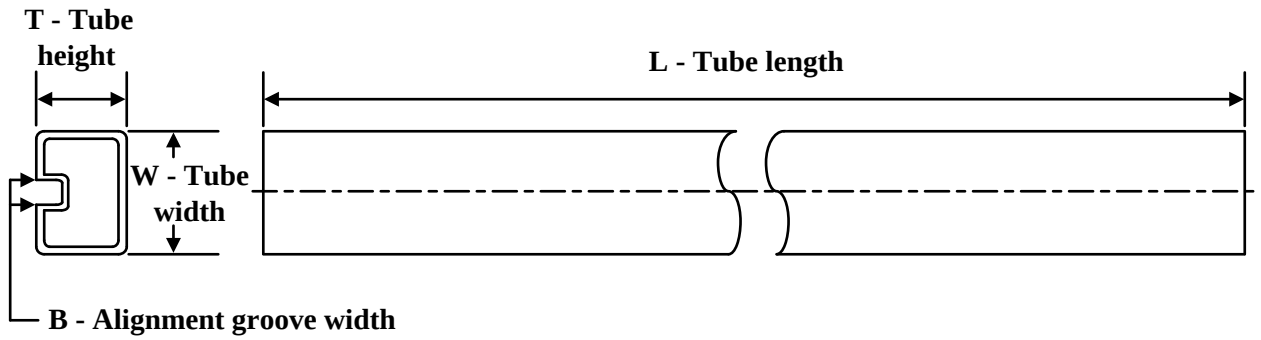
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT123ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74AHCT123ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74AHCT123ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHCT123APWR	TSSOP	PW	16	2000	353.0	353.0	32.0

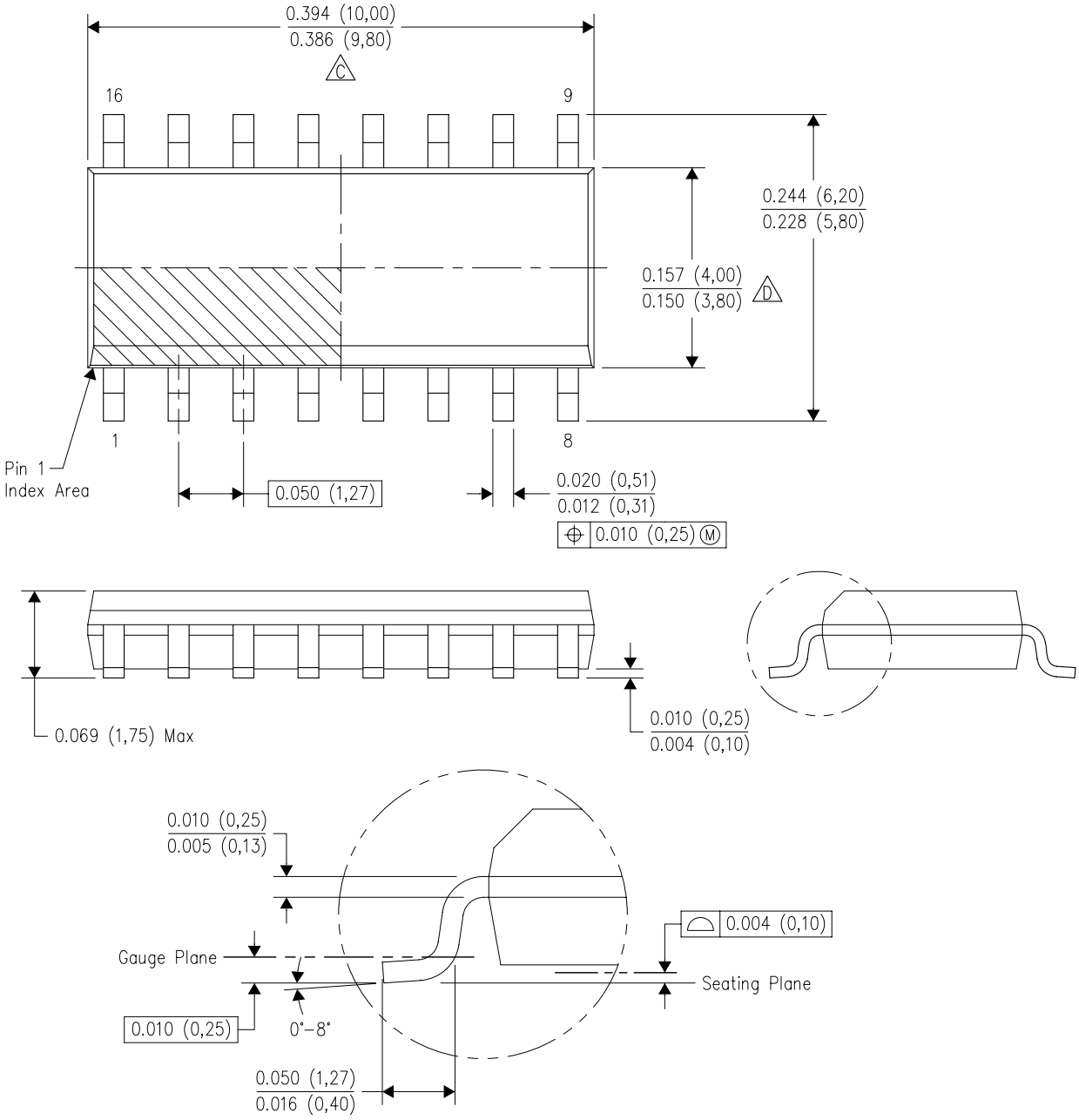
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9861601Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9861601QFA	W	CFP	16	25	506.98	26.16	6220	NA
SN74AHCT123AN	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT123AN.A	N	PDIP	16	25	506	13.97	11230	4.32
SNJ54AHCT123AFK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT123AFK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT123AW	W	CFP	16	25	506.98	26.16	6220	NA
SNJ54AHCT123AW.A	W	CFP	16	25	506.98	26.16	6220	NA

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



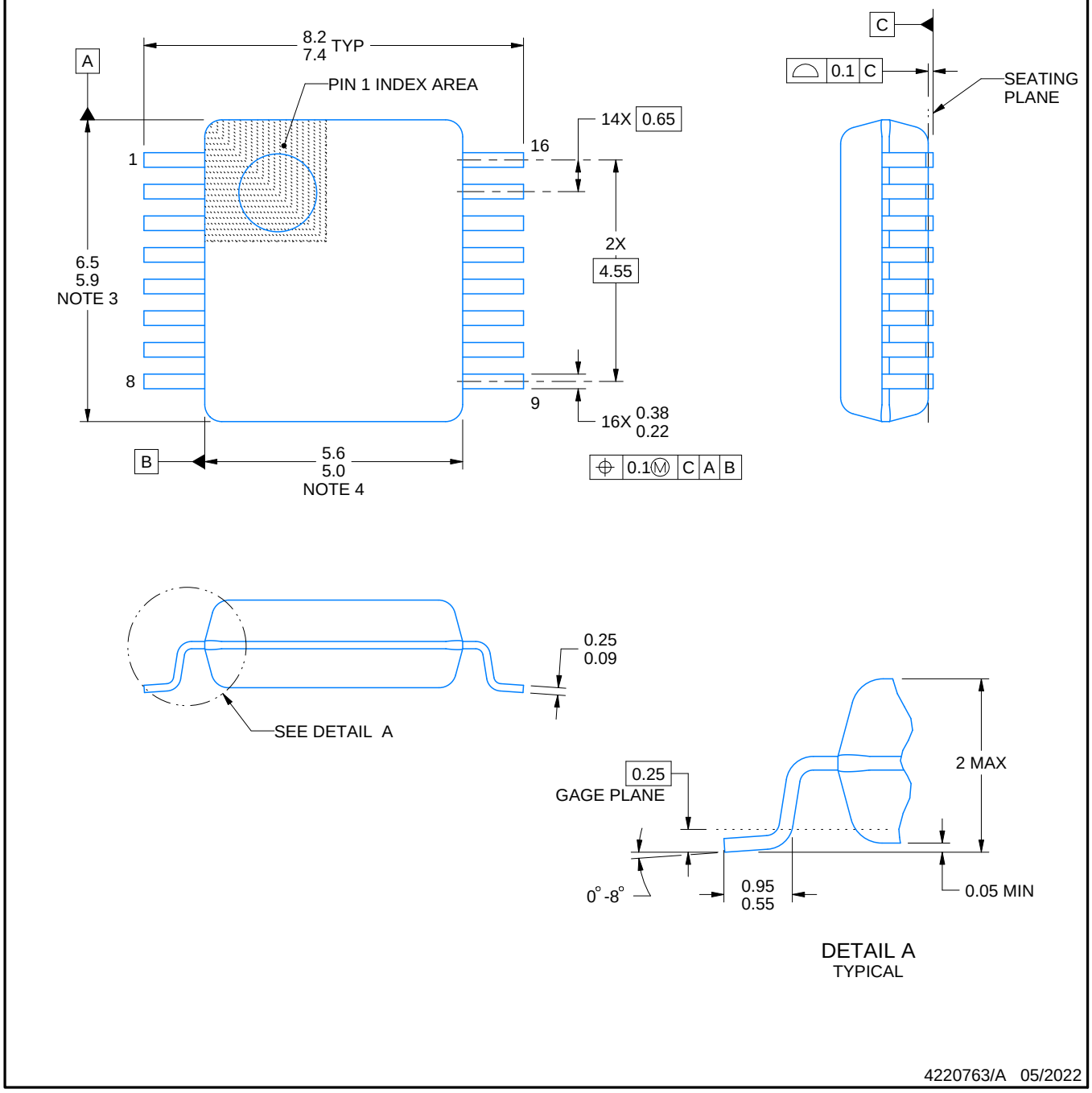
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

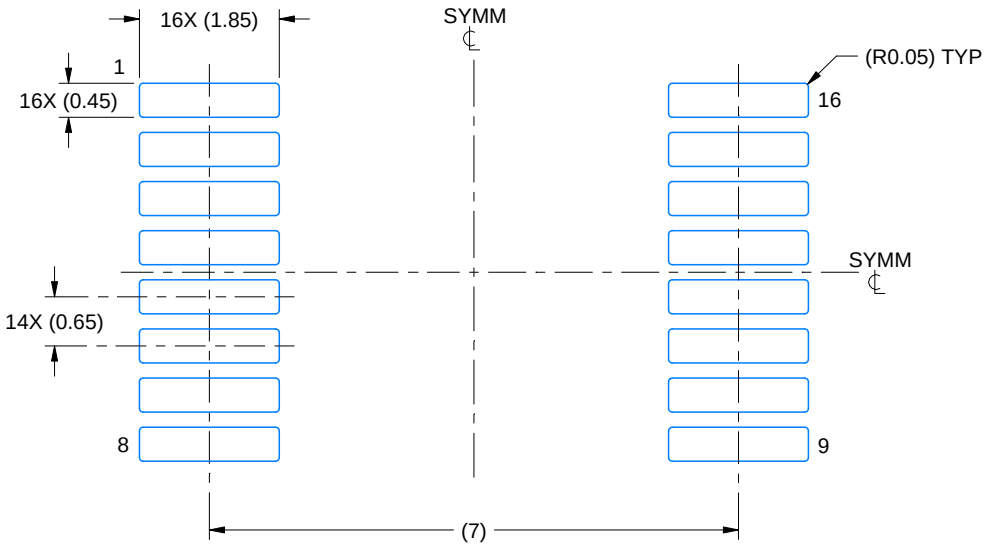
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

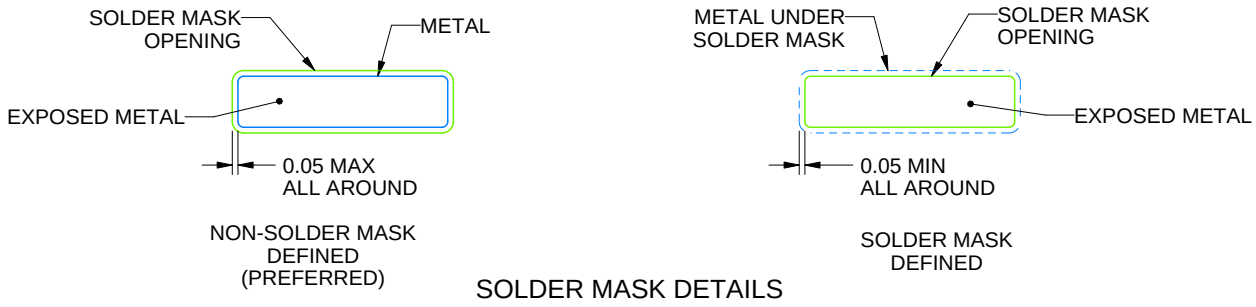


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

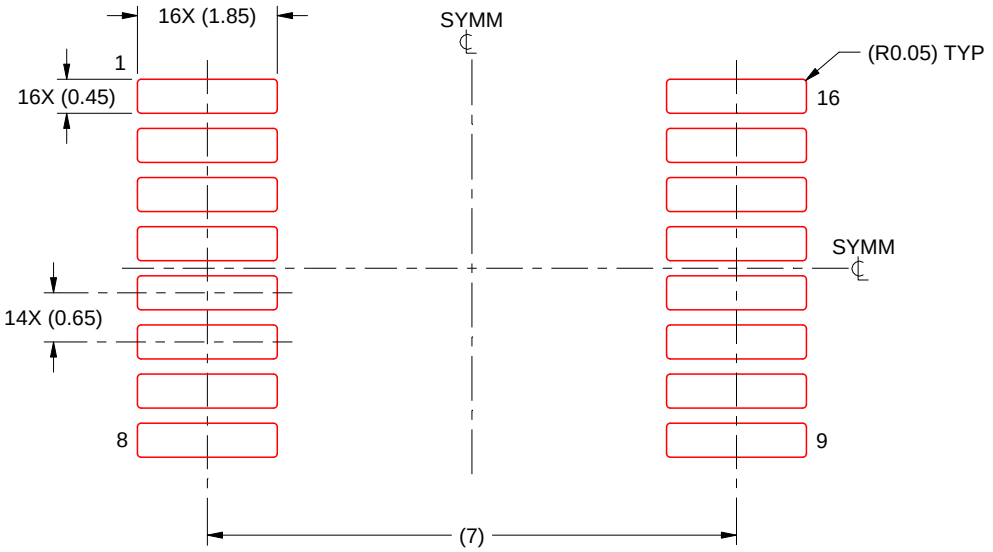


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

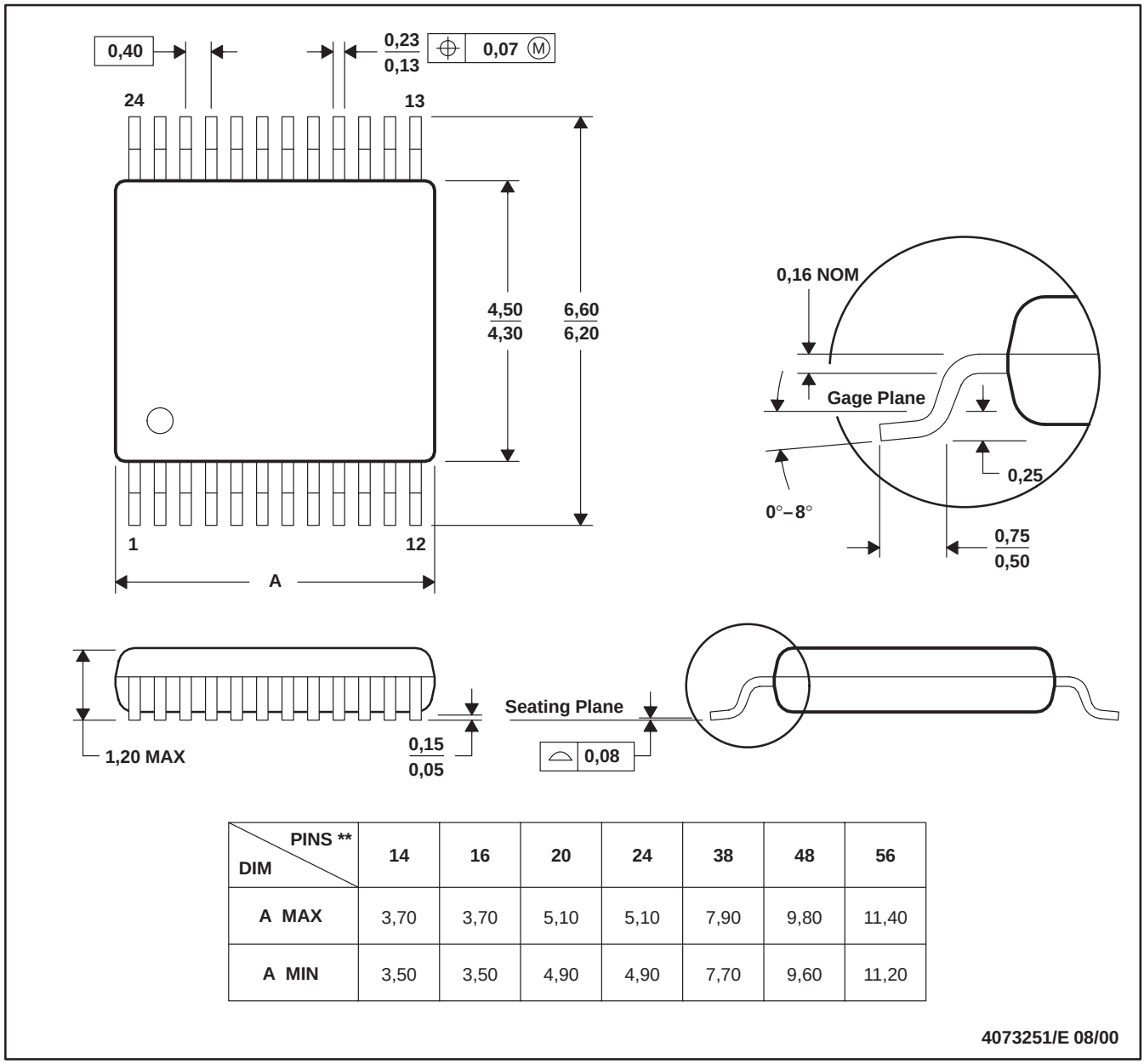
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN

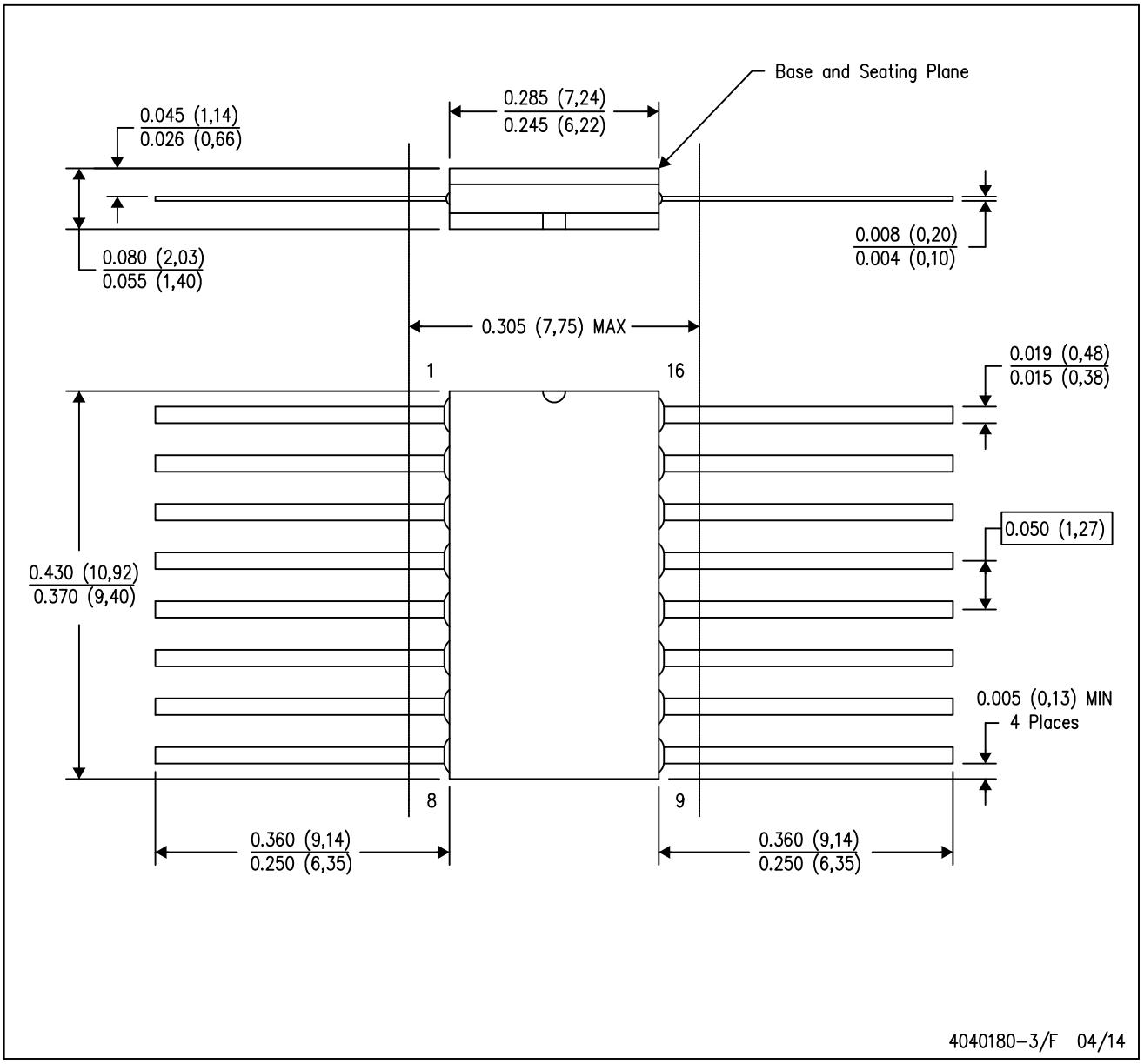


DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

W (R–GDFP–F16) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP2–F16

GENERIC PACKAGE VIEW

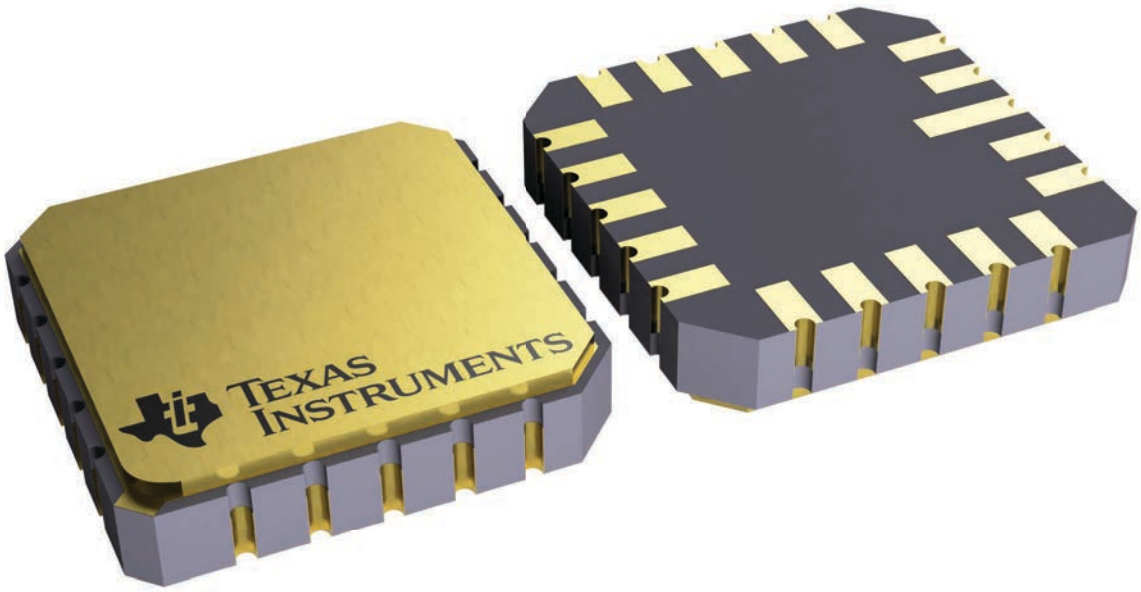
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

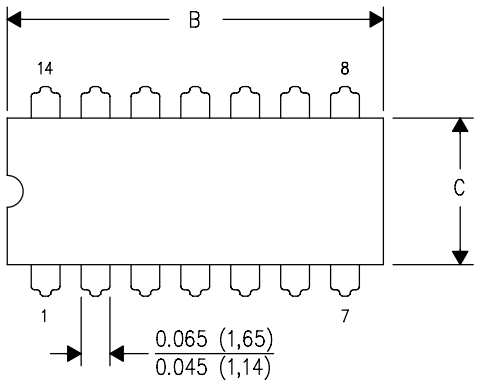


4229370VA\

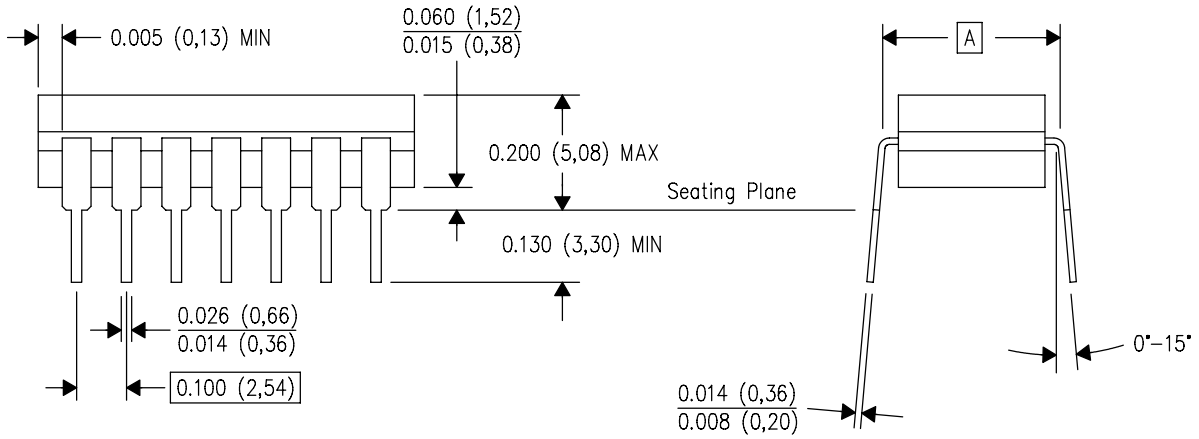
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

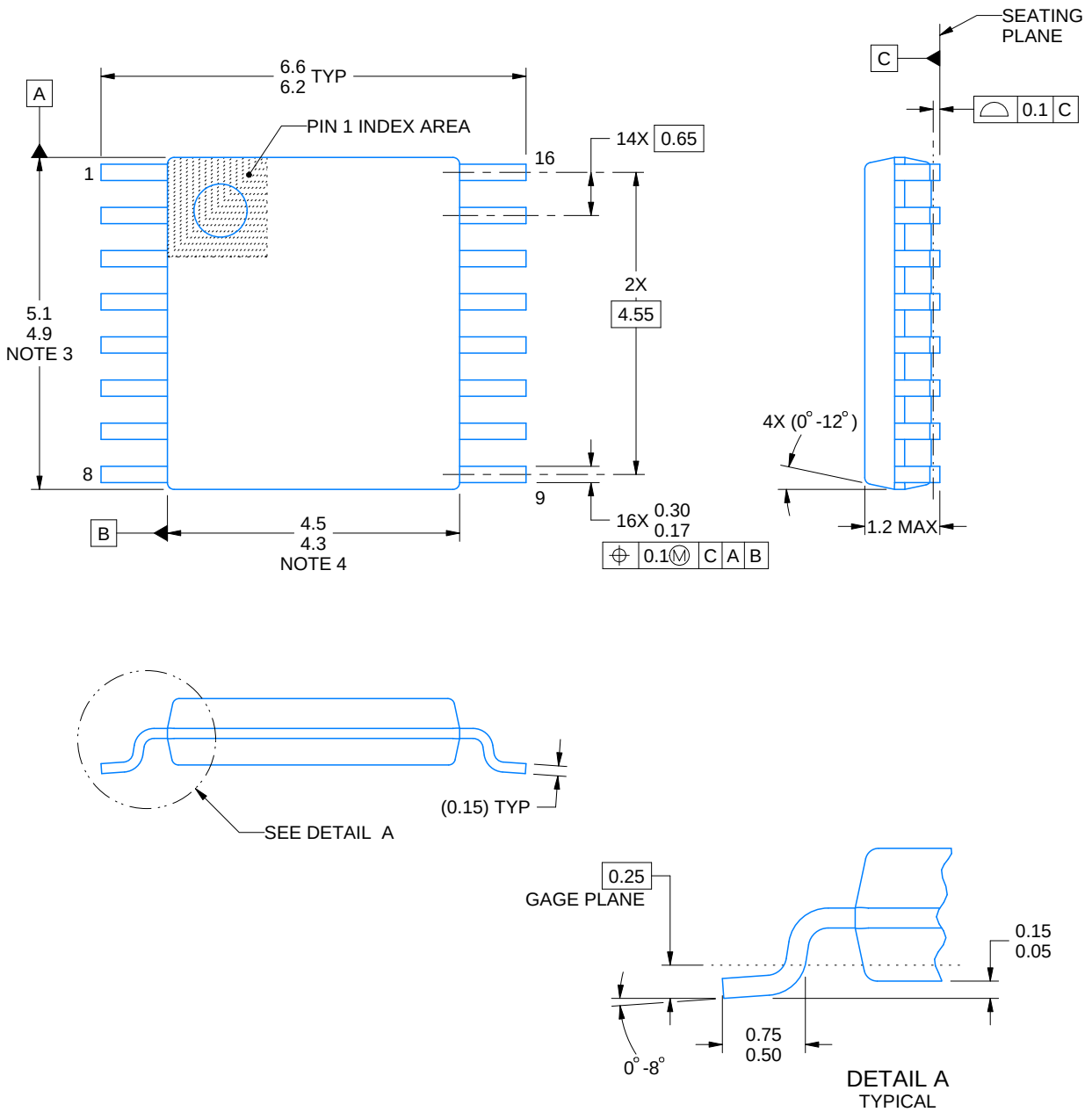
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

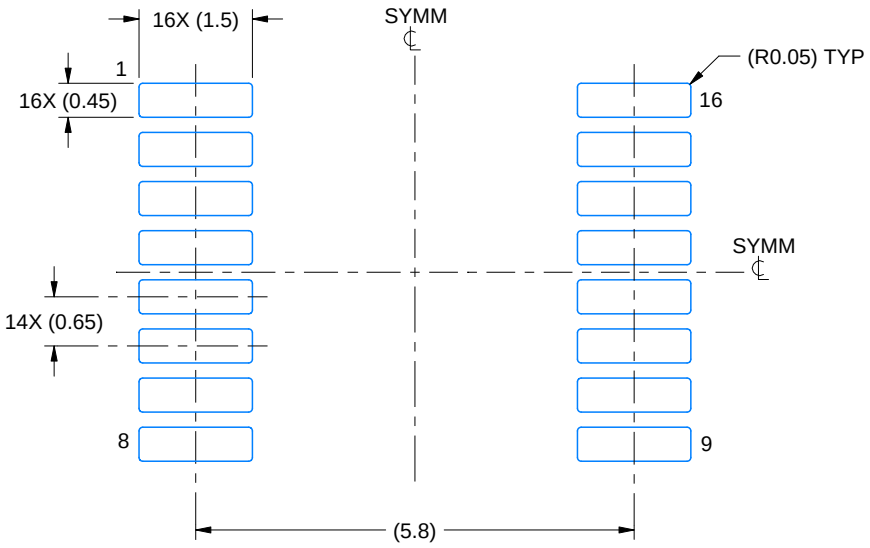
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

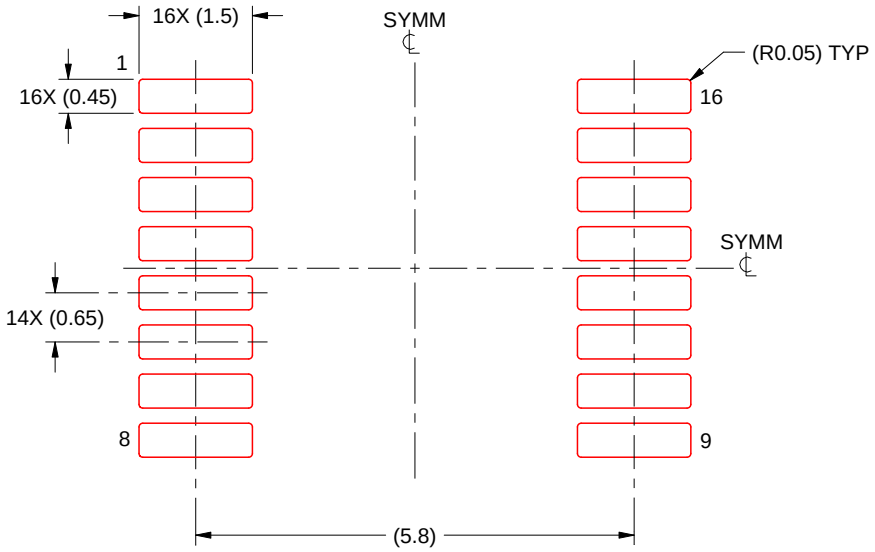


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

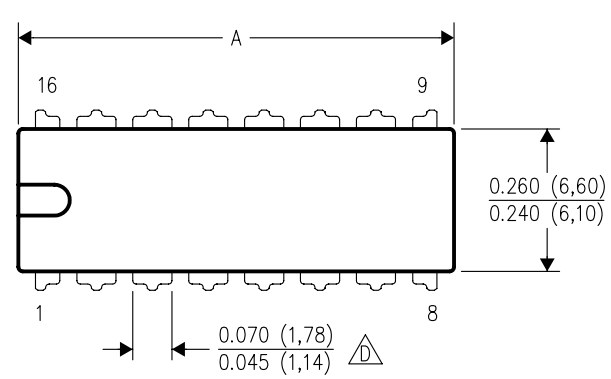
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

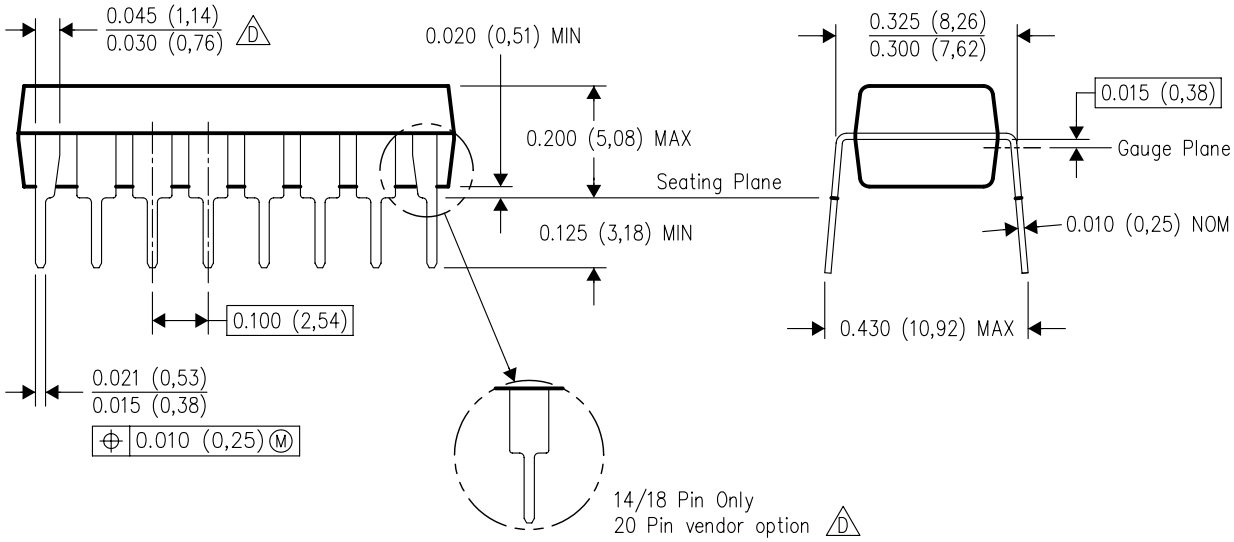
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月