SN74AHCT1G14-Q1 車載用シングル・シュミット・トリガ・インバータ・ゲート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 動作範囲:4.5V～5.5V
- 低消費電力、I_{CC} の最大値 10µA
- 5V で ±8mA の出力駆動能力
- 入力は TTL 電圧互換
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- 反転クロック入力の同期
- スイッチのデバウンス
- デジタル信号の反転

3 概要

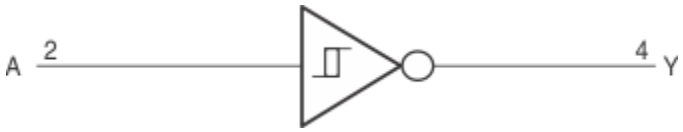
SN74AHCT1G14-Q1 はシングル インバータ ゲートです。このデバイスは、ブール関数 $Y = \overline{A}$ を実行します。

独立したインバータ ゲートとして機能しますが、シュミット アクションにより、正方向 (V_{T+}) および負方向 (V_{T-}) の信号に対して異なる入力スレッショルド レベルを設定できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ(3)
SN74AHCT1G14-Q1	DCK (SC-70、5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23、5)	2.9mm × 2.8mm	2.9mm × 1.6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....5
5.7 代表的特性.....6
6 パラメータ測定情報.....7
7 詳細説明.....8
7.1 概要.....8
7.2 機能ブロック図.....8
7.3 機能説明.....8
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....10
8.1 アプリケーション情報.....10
8.2 代表的なアプリケーション.....10
8.3 電源に関する推奨事項.....12
8.4 レイアウト.....12
9 デバイスおよびドキュメントのサポート.....14
9.1 ドキュメントのサポート.....14
9.2 ドキュメントの更新通知を受け取る方法.....14
9.3 サポート・リソース.....14
9.4 商標.....14
9.5 静電気放電に関する注意事項.....14
9.6 用語集.....14
10 改訂履歴.....14
11 メカニカル、パッケージ、および注文情報.....15

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

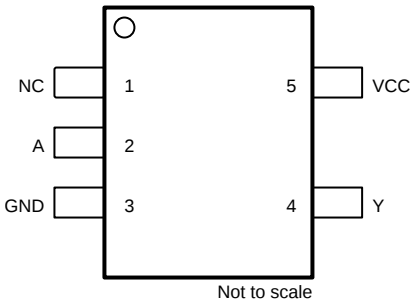


図 4-1. SN74AHCT1G14-Q1 DBV Package, 5-Pin SOT-23; DCK Package, 5-Pin SC-70 (Top View)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
NC	1	I	No Connect
A	2	I	Data Input
GND	3	G	Ground
Y	4	O	Data Output
V_{CC}	5	P	Power

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧範囲		-0.5	7	V
V_O	出力電圧範囲		-0.5	V_{CC} + 0.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲		-0.5	4.6	V
I_{IK}	入力クランプ電流 (2)	V_I < 0	-20		mA
I_{OK}	出力クランプ電流 (2)	V_O < 0 または V_O > V_{CC}	-20	20	mA
I_O	連続出力電流	V_O = 0～V_{CC}	–25	25	mA
I_O	V_{CC} または GND を通過する連続出力電流		–50	50	mA
T_J	接合部温度			150	℃
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002(1) HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
V_{CC}	電源電圧		3	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 3V	1.4		V
		V_{CC} = 4.5V ～ 5.5V	2		V
V_{IL}	Low レベル入力電圧	V_{CC} = 3V		0.53	V
		V_{CC} = 4.5V ～ 5.5V		0.8	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 5V±0.5V		-8	mA
I_{OL}	Low レベル出力電流	V_{CC} = 5V±0.5V		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 5V±0.5V		20	nS/V
T_A	自由気流での動作温度		-40	125	℃

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準 (1)		SN74AHCT1G14-Q1		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	278.0	293.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	180.5	208.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	184.4	180.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	115.4	120.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	183.4	179.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃～125℃			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
V_{T+}	立ち上がり入力スレッショルド電圧	4.5V	0.9		1.9	0.9		1.9	V
		5.5V	1.1		2	1.1		2	V
V_{T-}	立ち下がり入力スレッショルド電圧	4.5V	0.5		1.5	0.5		1.5	V
		5.5V	0.6		1.5	0.6		1.5	V
ΔV_T	ヒステリシス (V T+ − VT−)	4.5V	0.4		1.4	0.4		1.4	V
		5.5V	0.5		1.5	0.5		1.5	V
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.5		4.4	4.5		V
	I_{OH} = -8mA	4.5V	3.94			3.8			V
V_{OL}	I_{OL} = 50μA	4.5V			0.1			0.1	V
	I_{OL} = 8mA	4.5V			0.36			0.44	V
I_I	V_I = 5.5V または GND	0V～5.5V	-0.1		0.1	-1		1	μA
I_{CC}	V_I = V_{CC} または GND	5.5V			1			10	μA
Δ_{ICC}	1 つの入力は 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35			1.5	mA
C_i	V_I = V_{CC} または GND	5V		4	10				pF
C_O	V_O = V_{CC} または GND	5V		15					pF
C_{PD}	無負荷、f 10MHz	5V		14					pF

5.6 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			-40℃～85℃			-40℃～125℃			単位
					最小値	代表値	最大値	最小値	代表値	最大値	最小値	代表値	最大値	
T_{PHL}	A	Y	CL = 15pF	5V ± 0.5V		4	7	1		8	1		9	ns
T_{PLH}	A	Y	CL = 15pF	5V ± 0.5V		4	7	1		8	1		9	ns
T_{PHL}	A	Y	CL = 50pF	5V ± 0.5V		5.5	8	1		9	1		10	ns
T_{PLH}	A	Y	CL = 50pF	5V ± 0.5V		5.5	8	1		9	1		10	ns

Copyright © 2024 Texas Instruments Incorporated

5.7 代表的特性

T_A = 25℃ (特に記述のない限り)

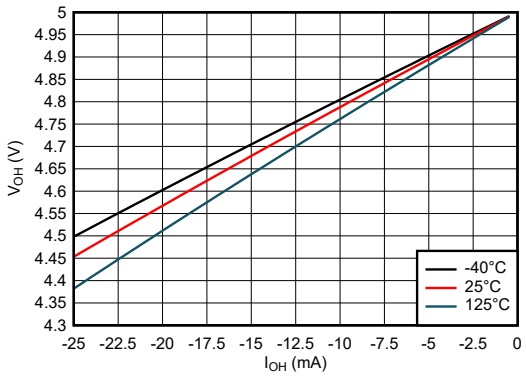


図 5-1. High 状態における出力電圧と電流の関係、5V 電源

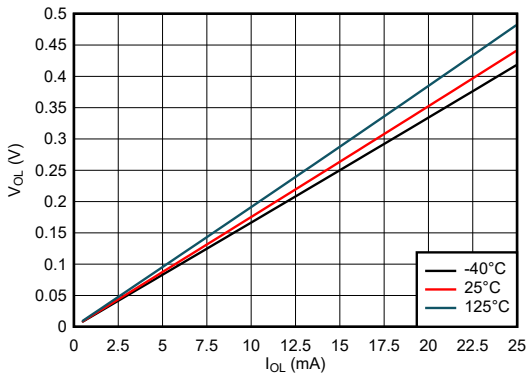


図 5-2. 出力電圧と Low 状態の電流との関係 (5V 電源)

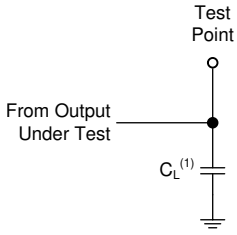
Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_t < 3ns

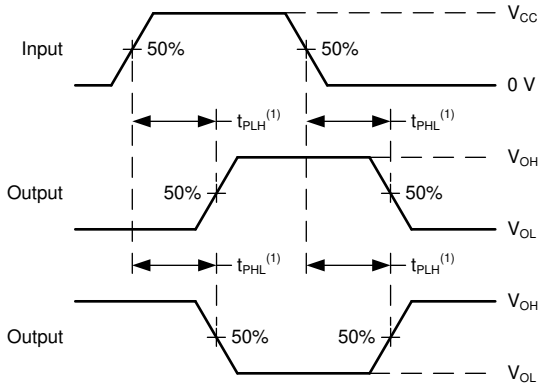
クロック入力の場合、入力デューティ・サイクルが 50% のときに f_{max} が測定されます。

出力は一度に 1 つずつ測定され、測定ごとに入力が 1 回遷移します。



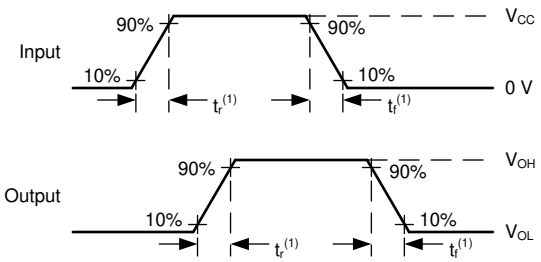
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きいほうは、t_{pd} と等しくなります。

図 6-2. 電圧波形の伝搬遅延



(1) t_r と t_f の大きいほうは、t_t と等しくなります。

図 6-3. 電圧波形、入力および出力の遷移時間

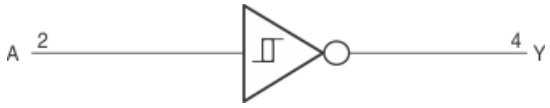
7 詳細説明

7.1 概要

SN74AHCT1G14-Q1 はシングル・インバータ・ゲートです。このデバイスは、ブール関数 $Y = \overline{A}$ を実行します。

独立したインバータ・ゲートとして機能しますが、シュミット動作により、正方向 (V_{T+}) と負方向 (V_{T-}) の信号に対する入力スレッショルド・レベルが異なる場合があります。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語 は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック・デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。 ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨し、通常はすべての要件を満たします。

7.3.3 CMOS シュミット・トリガ入力

このデバイスには、シュミット・トリガ・アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、通常は「電気的特性」表の入力からグランドまでに示されている入力静電容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット・トリガ入力アーキテクチャのヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミット・トリガ入力の詳細については、『シュミット・トリガについて』を参照してください。

Copyright © 2024 Texas Instruments Incorporated

7.3.4 クランプ・ダイオード構造

図 7-1 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

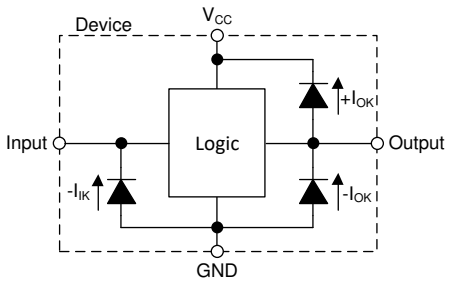


図 7-1. 各入力と出力に対するクランプ・ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、デバイスの機能モードを記載します。

表 7-1. 機能表

入力(1) A	出力(1) Y
H	L
L	H

(1) H = High 電圧レベル、L = Low 電圧レベル

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AHCT1G14-Q1 は、外部フリップ・フロップを使用してカウンタに段を追加する際に使用できます。カウンタに負のエッジ・トリガが使用されているため、この機能を実現するには、フリップ・フロップのクロック入力を反転する必要があります。このアプリケーションでは、誤った周波数分割を引き起こす場合があるカウント機能に影響を与える可能性のあるノイズの問題を排除するために、シュミット・トリガ入力を使用することが重要です。

SN74AHCT1G14-Q1 は、高出力駆動による反転ロジックの実装に使用できる高駆動 CMOS デバイスです。

8.2 代表的なアプリケーション

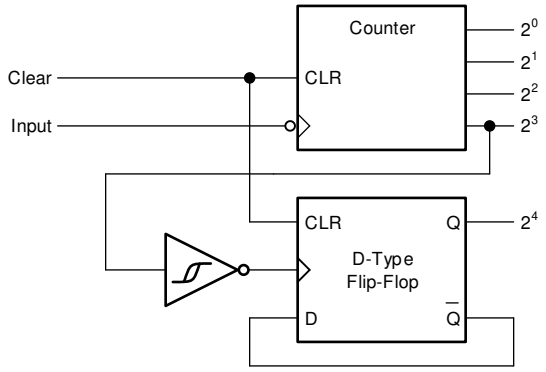


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する検討事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AHCT1G14-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。論理デバイスは、正の供給電源から供給される電流量分のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74AHCT1G14-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グランド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AHCT1G14-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

Copyright © 2024 Texas Instruments Incorporated

SN74AHCT1G14-Q1 は、電気的特性表に定義された状態で出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L = V_{CC}$ と V_{CC} との電源電圧の差と同様です。High 状態で出力電流および電圧 (V_{OH} および V_{OL}) で、$R_L = V_{CC}$ と V_{CC} との電源電圧の差と同様です。

総消費電力は、『CMOS の消費電力と Cpd の計算』アプリケーション・ノートに記載された情報を使って計算できます。

温度の上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する検討事項

入力信号は、$V_{IL(max)}$ $V_{t-(min)}$ がロジック Low と見なされるように、$V_{IH(min)}$ $V_{t+(max)}$ がロジック High と見なされるように交差する必要があります。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT1G14-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。10kΩ の抵抗値は、こうした要因によりしばしば使用されます。

SN74AHCT1G14-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

SN74AHCT1G14-Q1 はシュミット・トリガ入力のため、入力信号の遷移速度に関する要件はありません。

シュミット・トリガ入力を採用するもう 1 つのメリットは、ノイズ除去性能です。振幅の大きなノイズの場合、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピーク・ツー・ピーク制限が決まります。

標準 CMOS 入力で発生する場合と異なり、シュミット・トリガ入力は、電力消費を増大させることなく有効値を保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値) を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する検討事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AHCT1G14-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を (V_{CC} / $I_{O(max)}$) Ω より大きくします。これを行っても、「絶対最大定格」の最大出力電流に違反することにはなりません。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

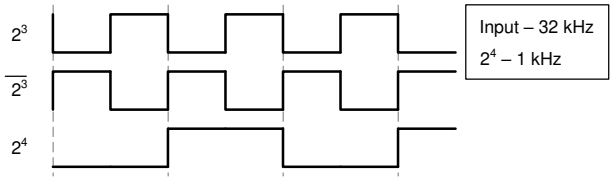


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

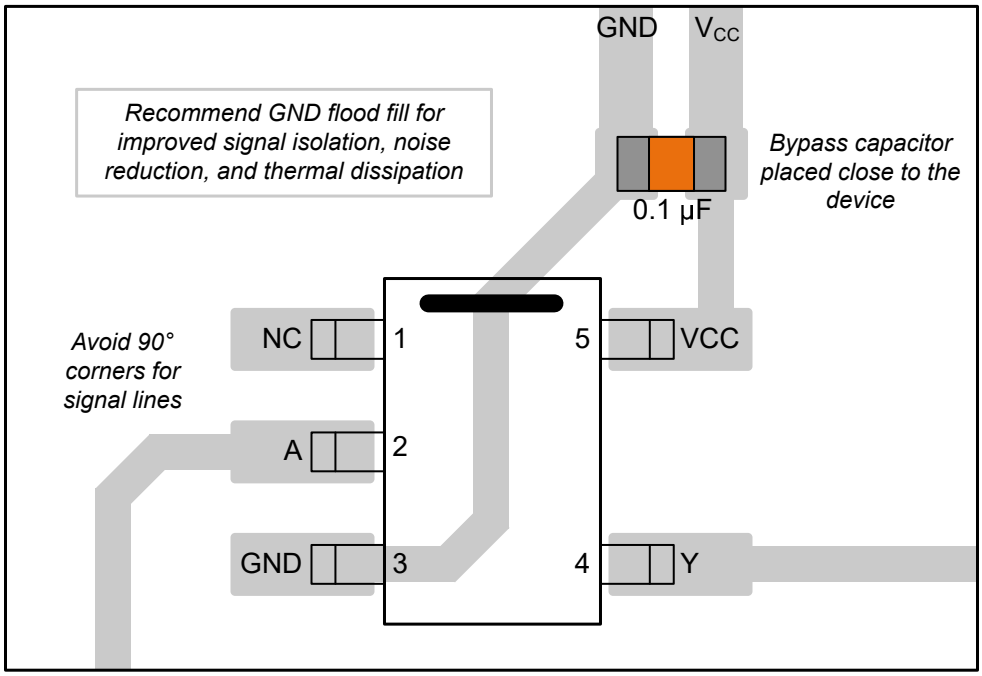


図 8-3. SN74AHCT1G14-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (August 2023) to Revision A (January 2024)	Page
• 「パッケージ情報」表に DBV パッケージを追加	1
• 「ピン構成および機能」セクションに DBV パッケージを追加	3
• DBV パッケージの熱特性値を追加：RθJA = 278.0、RθJC(top) = 180.5、RθJB = 184.4、ΨJT = 115.4、ΨJB = 183.4、RθJC(bot) = N/A、値はすべて℃/W	5

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更され、本ドキュメントの改訂に従って修正される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CAHCT1G14QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	36EH
CAHCT1G14QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	36EH
CAHCT1G14QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1O5
CAHCT1G14QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1O5

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT1G14-Q1 :

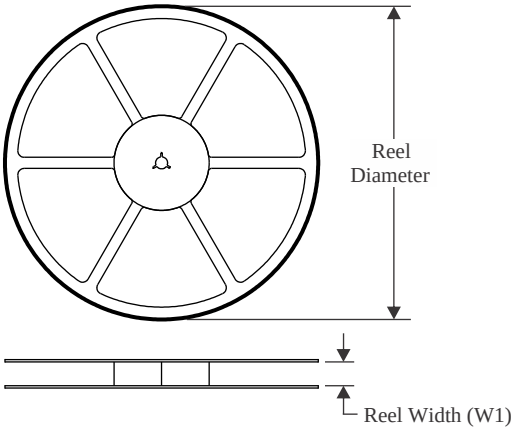
- Catalog : SN74AHCT1G14

NOTE: Qualified Version Definitions:

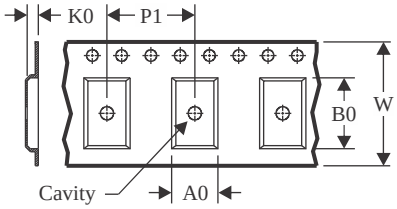
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

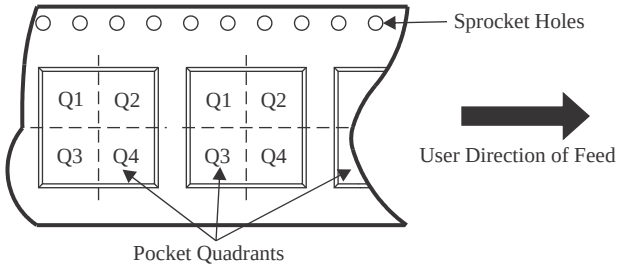


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

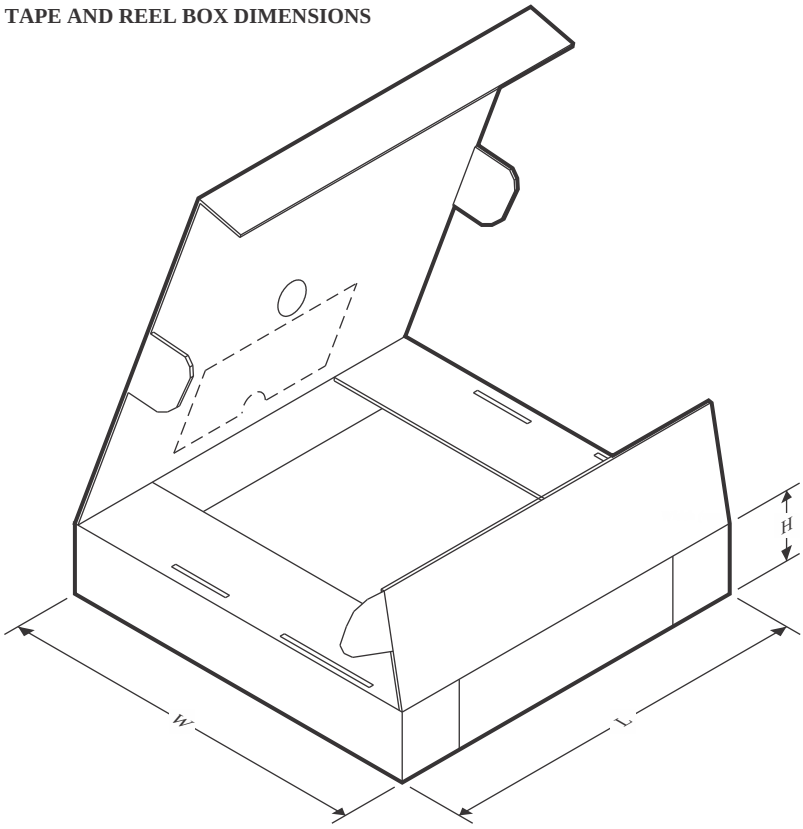
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT1G14QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CAHCT1G14QDCKRQ1	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
CAHCT1G14QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

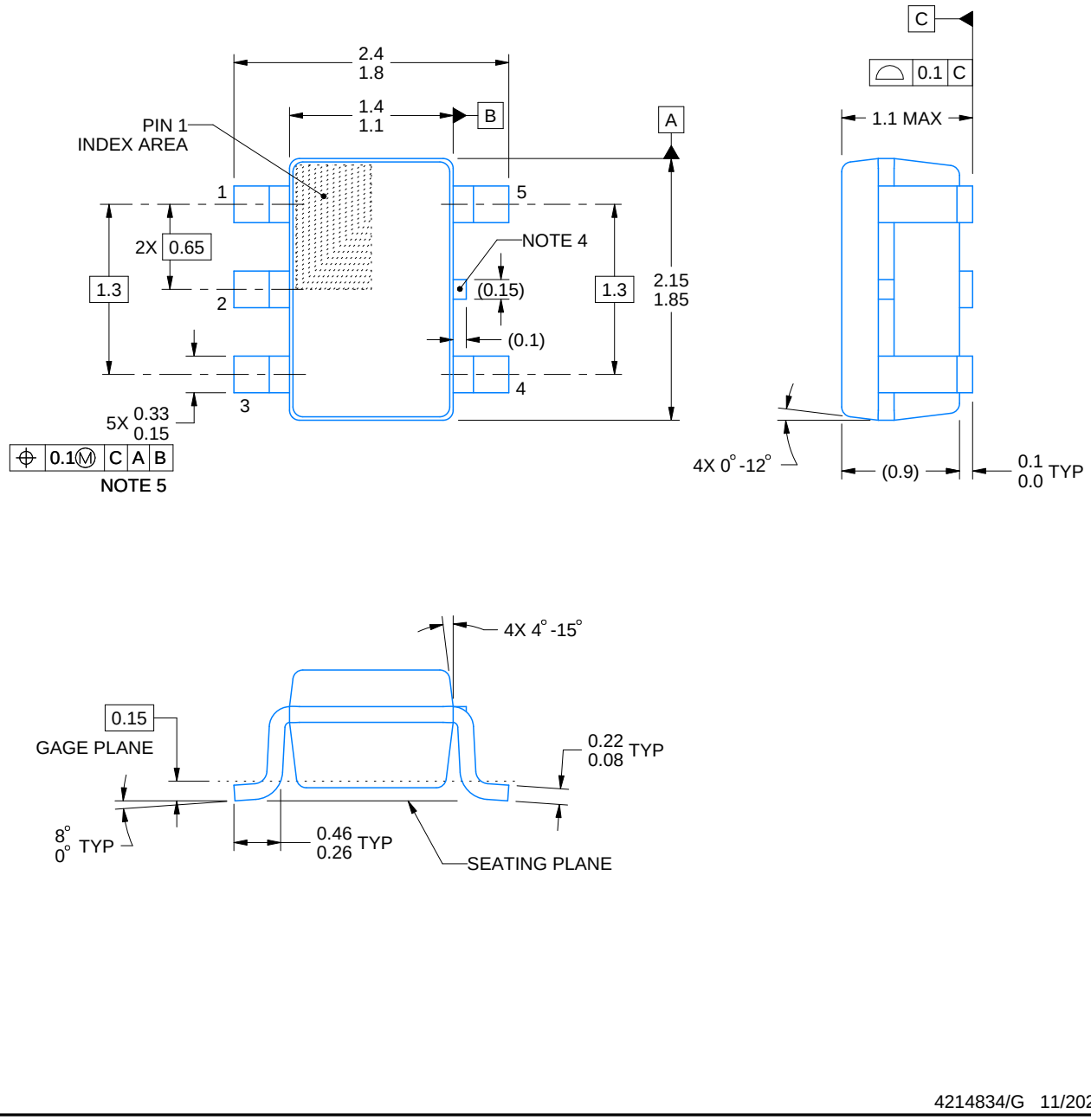
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT1G14QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CAHCT1G14QDCKRQ1	SC70	DCK	5	3000	210.0	185.0	35.0
CAHCT1G14QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

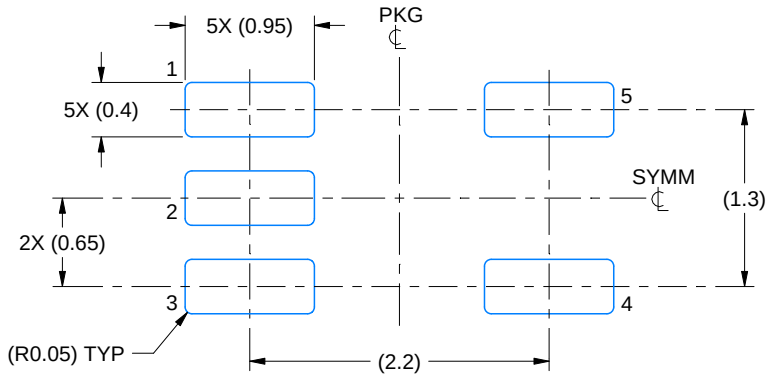
SMALL OUTLINE TRANSISTOR



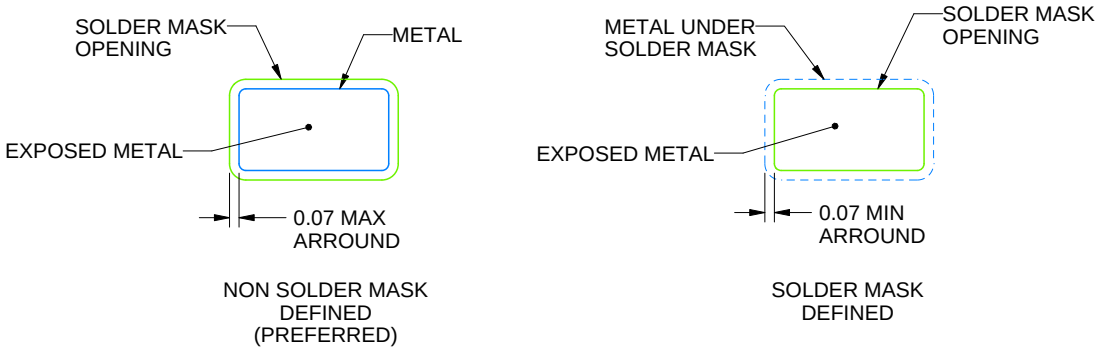
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

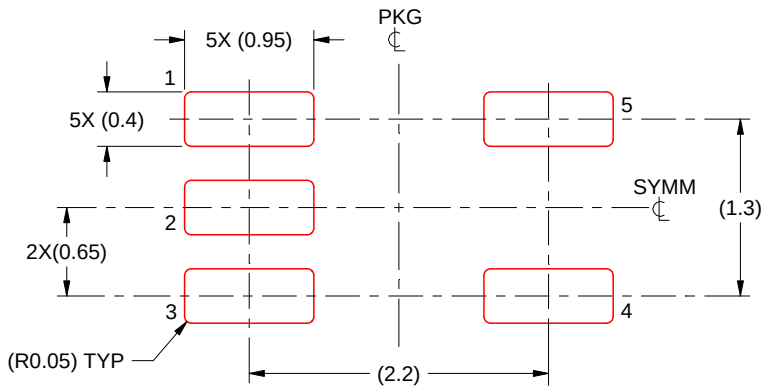


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

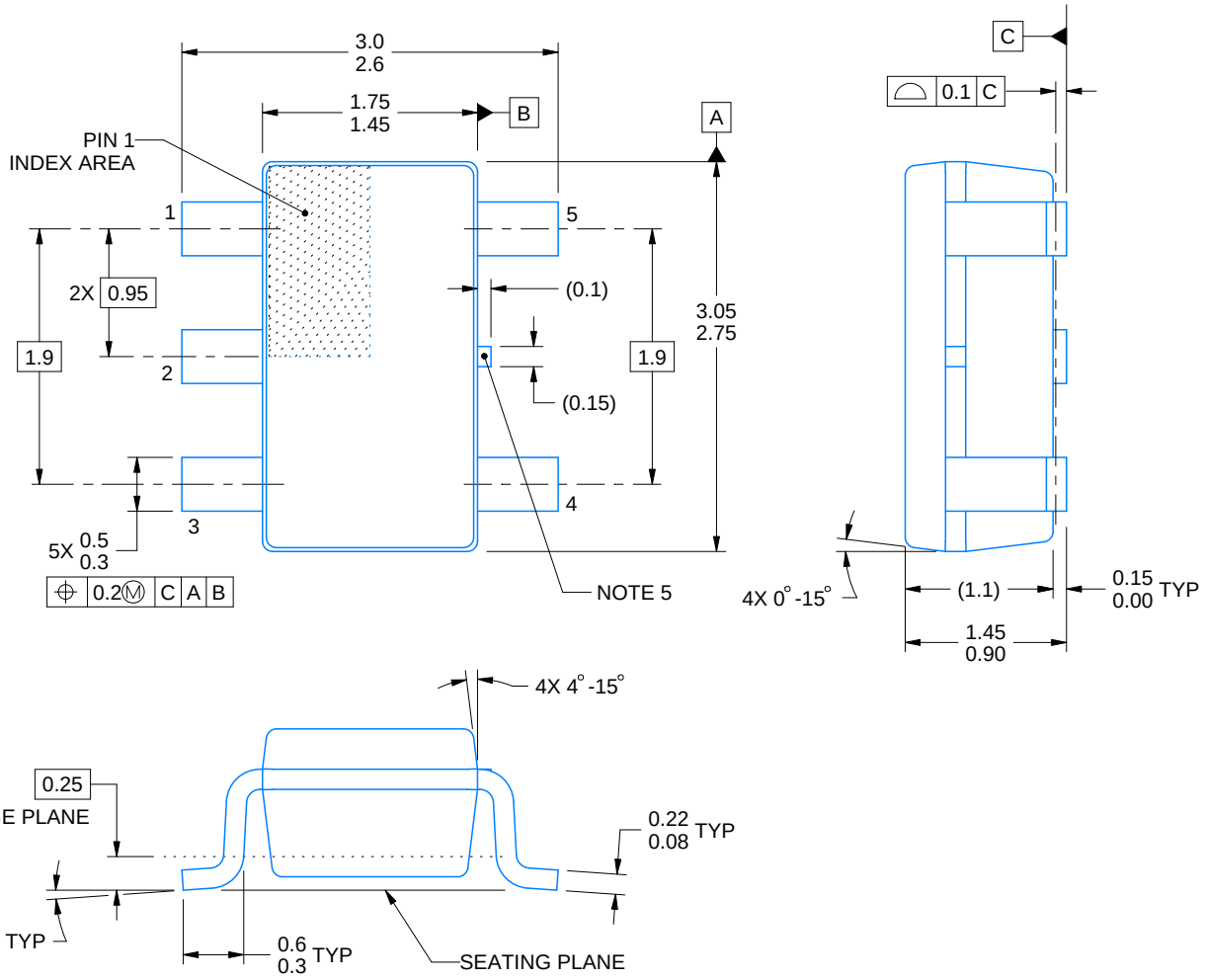
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

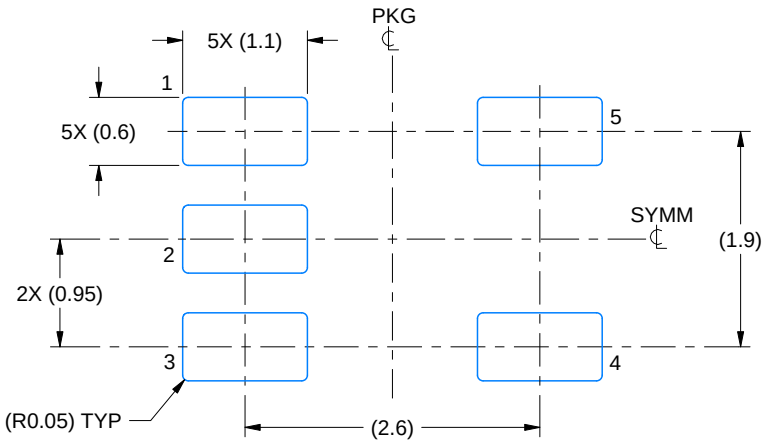
SMALL OUTLINE TRANSISTOR



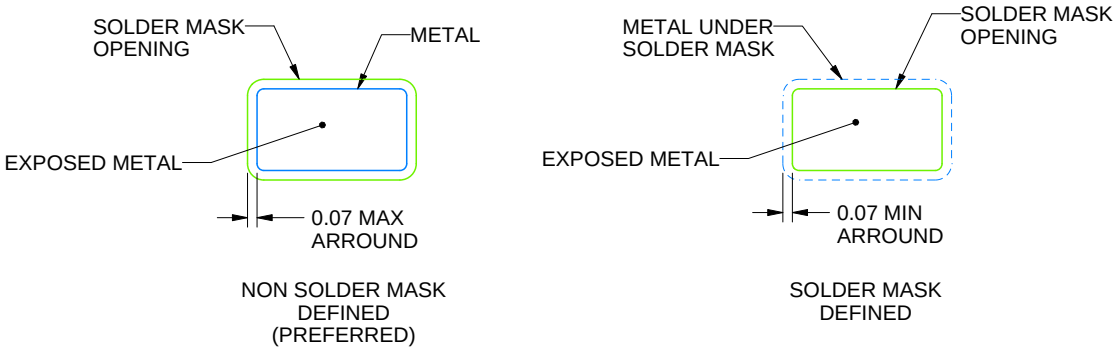
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

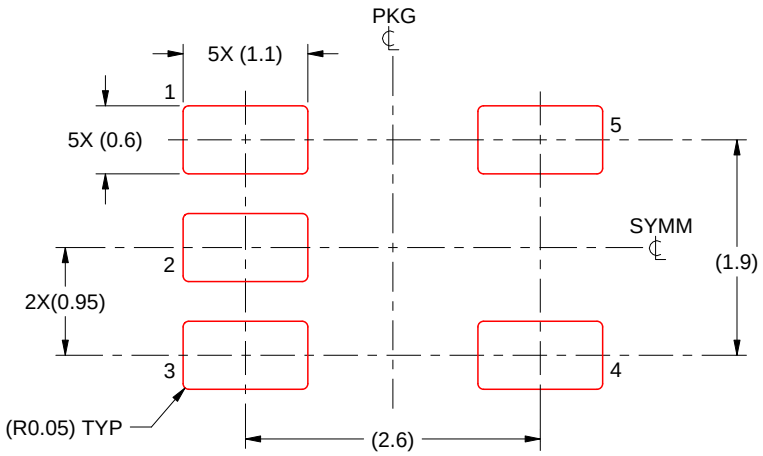


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月