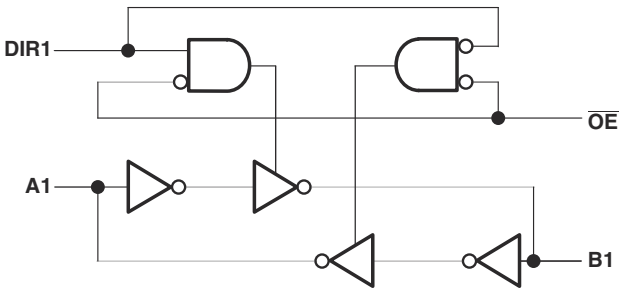
SN74AVC2T245 構成可能なレベルシフト / 電圧変換機能搭載、3 ステート出力、デュアルビット、デュアル電源バス トランシーバ

1 特長

- 各チャネルに独立した方向制御機能
- 制御入力の V_{IH}/V_{IL} レベルは V_{CCA} 電圧基準
- 完全に構成可能なデュアル レール設計により、1.2V ～3.6V の電源電圧の全範囲にわたって各ポートが動作可能
- 4.6V 許容の I/O
- I_{off} により部分的パワーダウン モード動作をサポート
- V_{CC} 絶縁機能 - どちらかの V_{CC} 入力が GND レベルになると、両方のポートが高インピーダンス状態になる
- データ レート (標準値)
  - 500Mbps (1.8V から 3.3V にレベルシフト)
  - 320Mbps (1.8V 未満から 3.3V にレベルシフト)
  - 320Mbps (2.5V または 1.8V への変換)
  - 280Mbps (1.5V への変換)
  - 240Mbps (1.2V への変換)
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
  - 5000V、人体モデル (A114-A)
  - 200V、マシン モデル(A115-A)
  - 1500V、デバイス帯電モデル (C101)

2 アプリケーション

- パーソナル エレクトロニクス
- 産業用
- エンタープライズ
- テレコム



A. 1 チャネル分を示します。

論理図 (正論理)

3 概要

この 2 ビット非反転バス トランシーバは、設定可能な 2 本の独立した電源レールを使用します。A ポートは V_{CCA} に追従するように設計されています。V_{CCA} ピンには、1.2V ～3.6V の電源電圧を入力できます。B ポートは、V_{CCB} に追従する設計になっています。V_{CCB} ピンには、1.2V～3.6V の電源電圧を入力できます。これにより、1.2V、1.5V、1.8V、2.5V、3.3V の任意の電圧ノード間での自在な低電圧双方向変換が可能です。

SN74AVC2T245 は、データ バス間の非同期通信用に設計されています。方向制御 (DIR) 入力および出力イネーブル ($\overline{OE}$) のロジック レベルに応じて、B ポートと A ポートのいずれかの出力がアクティブになるか、または両方の出力ポートが高インピーダンス モードになります。本デバイスは、B ポート出力をアクティブにした場合、A バスから B バスにデータを送信し、A ポート出力をアクティブにした場合、B バスから A バスにデータを送信します。A ポートと B ポートの入力回路はどちらも常にアクティブであるため、I_{CC} と I_{CCZ} が流れすぎないように、論理 High または Low レベルを印加する必要があります。

SN74AVC2T245 の制御ピン (DIR1、DIR2、$\overline{OE}$) は、V_{CCA} から電力が供給されます。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

V_{CC} 絶縁機能は、どちらかの V_{CC} 入力が GND レベルになると、両方のポートを確実に高インピーダンス状態にします。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に接続結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74AVC2T245	UQFN (10)	1.80mm × 1.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 Pin Configuration and Functions ... 3
5 Specifications ... 4
5.1 Absolute Maximum Ratings ... 4
5.2 ESD Ratings ... 4
5.3 Recommended Operating Conditions ... 4
5.4 Thermal Information ... 5
5.5 Electrical Characteristics ... 6
5.6 Switching Characteristics: V_{CCA} = 1.2 V ... 7
5.7 Switching Characteristics: V_{CCA} = 1.5 V ± 0.1 V ... 7
5.8 Switching Characteristics: V_{CCA} = 1.8 V ± 0.15 V ... 8
5.9 Switching Characteristics: V_{CCA} = 2.5 V ± 0.2 V ... 8
5.10 Switching Characteristics: V_{CCA} = 3.3 V ± 0.3 V ... 9
5.11 Operating Characteristics ... 9
5.12 Typical Characteristics ... 10
6 Parameter Measurement Information ... 11
7 Detailed Description ... 12
7.1 Overview ... 12
7.2 Functional Block Diagram ... 12
7.3 Feature Description ... 12
7.4 Device Functional Modes ... 12
8 Application and Implementation ... 13
8.1 Application Information ... 13
8.2 Typical Application ... 13
9 Power Supply Recommendations ... 15
10 Layout ... 15
10.1 Layout Guidelines ... 15
10.2 Layout Example ... 15
11 Device and Documentation Support ... 16
11.1 ドキュメントの更新通知を受け取る方法 ... 16
11.2 サポート・リソース ... 16
11.3 Trademarks ... 16
11.4 静電気放電に関する注意事項 ... 16
11.5 用語集 ... 16
12 Revision History ... 17
13 Mechanical, Packaging, and Orderable Information ... 17

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

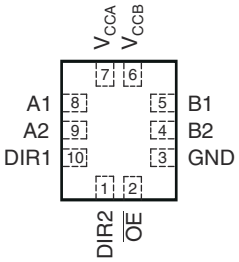


図 4-1. RSW PACKAGE 10-PIN UQFN TOP VIEW

表 4-1. Pin Functions

PIN		DESCRIPTION
NAME	NO. (UQFN)	
V_{CCA}	7	Supply Voltage A
V_{CCB}	6	Supply Voltage B
GND	3	Ground
A1	8	Output or input depending on state of DIR. Output level depends on V_{CCA}.
A2	9	Output or input depending on state of DIR. Output level depends on V_{CCA}.
B1	5	Output or input depending on state of DIR. Output level depends on V_{CCB}.
B2	4	Output or input depending on state of DIR. Output level depends on V_{CCB}.
DIR1,DIR2	10,1	Direction Pin, Connect to GND or to V_{CCA}
$\overline{OE}$	2	Tri-state output-mode enables. Pull OE high to place all outputs in 3-state mode. Referenced to V_{CCA}

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1)

			MIN	MAX	UNIT
V_{CCA} V_{CCB}	Supply voltage		–0.5	4.6	V
V_I	Input voltage(2)	I/O ports (A port)	–0.5	4.6	V
		I/O ports (B port)	–0.5	4.6	
		Control inputs	–0.5	4.6	
V_O	Voltage applied to any output in the high-impedance or power-off state(2)	A port	–0.5	4.6	V
		B port	–0.5	4.6	
V_O	Voltage applied to any output in the high or low state(2) (3)	A port	–0.5	V_{CCA} + 0.5	V
		B port	–0.5	V_{CCB} + 0.5	
I_{IK}	Input clamp current	V_I < 0		–50	mA
I_{OK}	Output clamp current	V_O < 0		–50	mA
I_O	Continuous output current			±50	mA
	Continuous current through V_{CCA}, V_{CCB}, or GND			±100	mA
T_J	Junction Temperature		-40	150	°C
T_{stg}	Storage temperature range		–65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
(2) The input voltage and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.
(3) The output positive-voltage rating may be exceeded up to 4.6 V maximum if the output current rating is observed.

5.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001(1)	5000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101(2)	1500	

(1) JEDEC document JEP155 states that 500 V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250 V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

(3)			V_{CCI}	V_{CCO}	MIN	MAX	UNIT
V_{CCA}	Supply voltage				1.2	3.6	V
V_{CCB}	Supply voltage				1.2	3.6	V
V_{IH}	High-level input voltage	Data inputs(1)	1.2 V to 1.95 V		V_{CCI} × 0.65		V
			1.95 V to 2.7 V		1.6		
			2.7 V to 3.6 V		2		
V_{IL}	Low-level input voltage	Data inputs(1)	1.2 V to 1.95 V			V_{CCI} × 0.35	V
			1.95 V to 2.7 V			0.7	
			2.7 V to 3.6 V			0.8	
V_{IH}	High-level input voltage	DIR (referenced to V_{CCA})(2)	1.2 V to 1.95 V		V_{CCA} × 0.65		V
			1.95 V to 2.7 V		1.6		
			2.7 V to 3.6 V		2		

Copyright © 2024 Texas Instruments Incorporated

5.3 Recommended Operating Conditions (続き)

(3)			V_{CCI}	V_{CCO}	MIN	MAX	UNIT
V_{IL}	Low-level input voltage	DIR (referenced to V_{CCA})(2)	1.2 V to 1.95 V			V_{CCA} × 0.35	V
			1.95 V to 2.7 V			0.7	
			2.7 V to 3.6 V			0.8	
V_I	Input voltage				0	3.6	V
V_O	Output voltage	Active state			0	V_{CCO}	V
		3-state			0	3.6	
I_{OH}	High-level output current			1.1 V to 1.2 V		–3	mA
				1.4 V to 1.6 V		–6	
				1.65 V to 1.95 V		–8	
				2.3 V to 2.7 V		–9	
				3 V to 3.6 V		–12	
I_{OL}	Low-level output current			1.1 V to 1.2 V		3	mA
				1.4 V to 1.6 V		6	
				1.65 V to 1.95 V		8	
				2.3 V to 2.7 V		9	
				3 V to 3.6 V		12	
Δt/Δv	Input transition rise or fall rate					5	ns/V
T_A	Operating free-air temperature				–40	85	°C

(1) V_{CCI} is the V_{CC} associated with the input port.
(2) V_{CCO} is the V_{CC} associated with the output port.
(3) All unused data inputs of the device must be held at V_{CCI} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

5.4 Thermal Information

THERMAL METRIC (1)		SN74AVC2T245 RSW (UQFN) 10 PINS	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance	227.4	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	96.3	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	139.6	°C/W
ψ_{JT}	Junction-to-top characterization parameter	5.2	°C/W
ψ_{JB}	Junction-to-board characterization parameter	139.2	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report.

Copyright © 2024 Texas Instruments Incorporated

5.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)(1) (2)

PARAMETER		TEST CONDITIONS		V_{CCA}	V_{CCB}	T_A = 25°C			–40°C to 85°C		UNIT
						MIN	TYP	MAX	MIN	MAX	
V_{OH}		I_{OH} = –100 µA	$V_I = V_{IH}$	1.2 V to 3.6 V	1.2 V to 3.6 V				V_{CCO} – 0.2		V
		I_{OH} = –3 mA		1.2 V	1.2 V		0.95				
		I_{OH} = –6 mA		1.4 V	1.4 V				1.05		
		I_{OH} = –8 mA		1.65 V	1.65 V				1.2		
		I_{OH} = –9 mA		2.3 V	2.3 V				1.75		
		I_{OH} = –12 mA		3 V	3 V				2.3		
V_{OL}		I_{OL} = 100 µA	$V_I = V_{IL}$	1.2 V to 3.6 V	1.2 V to 3.6 V					0.2	V
		I_{OL} = 3 mA		1.2 V	1.2 V		0.25				
		I_{OL} = 6 mA		1.4 V	1.4 V					0.35	
		I_{OL} = 8 mA		1.65 V	1.65 V					0.45	
		I_{OL} = 9 mA		2.3 V	2.3 V					0.55	
		I_{OL} = 12 mA		3 V	3 V					0.7	
I_I	Control inputs	$V_I = V_{CCA}$ or GND		1.2 V to 3.6 V	1.2 V to 3.6 V		±0.025	±0.25		±1	µA
I_{off}	A or B port	V_I or V_O = 0 to 3.6 V		0 V	0 V to 3.6 V		±0.1	±1		±5	µA
				0 V to 3.6 V	0 V		±0.1	±1		±5	
I_{OZ}	A or B port	$V_O = V_{CCO}$ or GND, $V_I = V_{CCI}$ or GND, $\overline{OE} = V_{IH}$		3.6 V	3.6 V		±0.5	±2.5		±5	µA
I_{CCA}		$V_I = V_{CCI}$ or GND, I_O = 0		1.2 V to 3.6 V	1.2 V to 3.6 V					8	µA
				0 V	0 V to 3.6 V					–2	
				0 V to 3.6 V	0 V					8	
I_{CCB}		$V_I = V_{CCI}$ or GND, I_O = 0		1.2 V to 3.6 V	1.2 V to 3.6 V					8	µA
				0 V	0 V to 3.6 V					8	
				0 V to 3.6 V	0 V					–2	
$I_{CCA} + I_{CCB}$		$V_I = V_{CCI}$ or GND, I_O = 0		1.2 V to 3.6 V	1.2 V to 3.6 V					16	µA
C_i	Control inputs	V_I = 3.3 V or GND		3.3 V	3.3 V		3.5			4.5	pF
C_{io}	A or B port	V_O = 3.3 V or GND		3.3 V	3.3 V		6			7	pF

(1) V_{CCO} is the V_{CC} associated with the output port.
(2) V_{CCI} is the V_{CC} associated with the input port.

Copyright © 2024 Texas Instruments Incorporated

5.6 Switching Characteristics: V_{CCA} = 1.2 V

over recommended operating free-air temperature range, V_{CCA} = 1.2 V (unless otherwise noted) (see 図 6-1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CCB} = 1.2 V	V_{CCB} = 1.5 V ± 0.1 V	V_{CCB} = 1.8 V ± 0.15 V	V_{CCB} = 2.5 V ± 0.2 V	V_{CCB} = 3.3 V ± 0.3 V	UNIT
			TYP	TYP	TYP	TYP	TYP	
t_{PLH}	A	B	2.5	2.1	1.9	1.9	1.9	ns
t_{PHL}			2.5	2.1	1.9	1.9	1.9	
t_{PLH}	B	A	2.5	2.2	2	1.8	1.7	ns
t_{PHL}			2.5	2.2	2	1.8	1.7	
t_{PZH}	$\overline{OE}$	A	3.8	3.1	2.7	2.6	3	ns
t_{PZL}			3.8	3.1	2.7	2.6	3	
t_{PZH}	$\overline{OE}$	B	3.7	3.7	3.7	3.7	3.7	ns
t_{PZL}			3.7	3.7	3.7	3.7	3.7	
t_{PHZ}	$\overline{OE}$	A	4.4	3.6	3.5	3.3	4.1	ns
t_{PLZ}			4.4	3.6	3.5	3.3	4.1	
t_{PHZ}	$\overline{OE}$	B	4.2	4.2	4.3	4.1	4.2	ns
t_{PLZ}			4.2	4.2	4.3	4.1	4.2	

5.7 Switching Characteristics: V_{CCA} = 1.5 V ± 0.1 V

over recommended operating free-air temperature range, V_{CCA} = 1.5 V ± 0.1 V (see 図 6-1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CCB} = 1.2 V	V_{CCB} = 1.5 V ± 0.1 V		V_{CCB} = 1.8 V ± 0.15 V		V_{CCB} = 2.5 V ± 0.2 V		V_{CCB} = 3.3 V ± 0.3 V		UNIT
			TYP	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{PLH}	A	B	2.2	0.3	4.4	0.2	3.9	0.1	3.6	0.1	3.9	ns
t_{PHL}			2.2	0.3	4.4	0.2	3.9	0.1	3.6	0.1	3.9	
t_{PLH}	B	A	2	0.6	5.1	0.4	4.9	0.2	4.6	0.1	4.5	ns
t_{PHL}			2	0.6	5.1	0.4	4.9	0.2	4.6	0.1	4.5	
t_{PZH}	$\overline{OE}$	A	3.4	1.1	7.1	0.9	6.2	0.7	5.5	0.1	6.4	ns
t_{PZL}			3.4	1.1	7.1	0.9	6.2	0.7	5.5	0.1	6.4	
t_{PZH}	$\overline{OE}$	B	2.5	1.1	8.2	1.1	8.2	1.1	8.2	1.1	8.2	ns
t_{PZL}			2.5	1.1	8.2	1.1	8.2	1.1	8.2	1.1	8.2	
t_{PHZ}	$\overline{OE}$	A	4.1	1.2	7.1	0.8	6.7	0.4	5.6	1	74	ns
t_{PLZ}			4.1	1.2	7.1	0.8	6.7	0.4	5.6	1	7.4	
t_{PHZ}	$\overline{OE}$	B	3.3	0.3	7.4	0.2	5.7	0.3	5.6	0.3	5.6	ns
t_{PLZ}			3.3	0.3	7.4	0.2	5.7	0.3	5.6	0.3	5.6	

Copyright © 2024 Texas Instruments Incorporated

5.8 Switching Characteristics: V_{CCA} = 1.8 V ± 0.15 V

over recommended operating free-air temperature range, V_{CCA} = 1.8 V ± 0.15 V (see 図 6-1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CCB} = 1.2 V	V_{CCB} = 1.5 V ± 0.1 V		V_{CCB} = 1.8 V ± 0.15 V		V_{CCB} = 2.5 V ± 0.2 V		V_{CCB} = 3.3 V ± 0.3 V		UNIT
			TYP	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{PLH}	A	B	2	0.1	4.1	0.1	3.6	0.1	3.1	0.1	3.3	ns
t_{PHL}			2	0.1	4.1	0.1	3.6	0.1	3.1	0.1	3.3	
t_{PLH}	B	A	1.9	0.4	4.3	0.1	4.1	0.1	3.8	0.1	3.7	ns
t_{PHL}			1.9	0.4	4.3	0.1	4.1	0.1	3.8	0.1	3.7	
t_{PZH}	$\overline{OE}$	A	3.2	0.8	6.7	0.4	5.8	0.4	4.8	0.3	4.6	ns
t_{PZL}			3.2	0.8	6.7	0.4	5.8	0.4	4.8	0.3	4.6	
t_{PZH}	$\overline{OE}$	B	1.9	0.2	6.7	0.2	6.6	0.2	6.7	0.2	6.7	ns
t_{PZL}			1.9	0.2	6.7	0.2	6.6	0.2	6.7	0.2	6.7	
t_{PHZ}	$\overline{OE}$	A	3.8	0.7	6.2	0.3	6.5	0.1	5.2	0.8	6.5	ns
t_{PLZ}			3.8	0.7	6.2	0.3	6.5	0.1	5.2	0.8	6.5	
t_{PHZ}	$\overline{OE}$	B	3.4	0.1	6.8	0.1	6.8	0.1	6.7	0.1	6.7	ns
t_{PLZ}			3.4	0.1	6.8	0.1	6.8	0.1	6.7	0.1	6.7	

5.9 Switching Characteristics: V_{CCA} = 2.5 V ± 0.2 V

over recommended operating free-air temperature range, V_{CCA} = 2.5 V ± 0.2 V (see 図 6-1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CCB} = 1.2 V	V_{CCB} = 1.5 V ± 0.1 V		V_{CCB} = 1.8 V ± 0.15 V		V_{CCB} = 2.5 V ± 0.2 V		V_{CCB} = 3.3 V ± 0.3 V		UNIT
			TYP	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{PLH}	A	B	1.9	0.1	3.8	0.1	3.2	0.1	2.7	0.1	2.6	ns
t_{PHL}			1.9	0.1	3.8	0.1	3.2	0.1	2.7	0.1	2.6	
t_{PLH}	B	A	1.8	0.5	3.4	0.2	3.1	0.1	2.8	0.1	2.6	ns
t_{PHL}			1.8	0.5	3.4	0.2	3.1	0.1	2.8	0.1	2.6	
t_{PZH}	$\overline{OE}$	A	3.1	0.7	6.2	0.5	5.2	0.3	4.1	0.3	3.6	ns
t_{PZL}			3.1	0.7	6.2	0.5	5.2	0.3	4.1	0.3	3.6	
t_{PZH}	$\overline{OE}$	B	1.4	0.4	4.5	0.4	4.5	0.4	4.5	0.4	4.5	ns
t_{PZL}			1.4	0.4	4.5	0.4	4.5	0.4	4.5	0.4	4.5	
t_{PHZ}	$\overline{OE}$	A	3.6	0.2	5.2	0.1	5.4	0.1	4.5	0.7	6	ns
t_{PLZ}			3.6	0.2	5.2	0.1	5.4	0.1	4.5	0.7	6	
t_{PHZ}	$\overline{OE}$	B	2.1	0.1	4.7	0.1	4.6	0.1	4.7	0.1	4.7	ns
t_{PLZ}			2.1	0.1	4.7	0.1	4.6	0.1	4.7	0.1	4.7	

Copyright © 2024 Texas Instruments Incorporated

5.10 Switching Characteristics: V_{CCA} = 3.3 V ± 0.3 V

over recommended operating free-air temperature range, V_{CCA} = 3.3 V ± 0.3 V (see 図 6-1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CCB} = 1.2 V	V_{CCB} = 1.5 V ± 0.1 V		V_{CCB} = 1.8 V ± 0.15 V		V_{CCB} = 2.5 V ± 0.2 V		V_{CCB} = 3.3 V ± 0.3 V		UNIT
			TYP	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{PLH}	A	B	1.8	0.1	3.6	0.1	3	0.1	2.6	0.1	2.4	ns
t_{PHL}			1.8	0.1	3.6	0.1	3	0.1	2.6	0.1	2.4	
t_{PLH}	B	A	1.9	0.5	3.4	0.2	2.9	0.1	2.5	0.1	2.3	ns
t_{PHL}			1.9	0.5	3.4	0.2	2.9	0.1	2.5	0.1	2.3	
t_{PZH}	$\overline{OE}$	A	3.1	0.9	5.9	0.5	5	0.3	3.8	0.3	3.3	ns
t_{PZL}			3.1	0.9	5.9	0.5	5	0.3	3.8	0.3	3.3	
t_{PZH}	$\overline{OE}$	B	1.2	0.4	3.6	0.4	3.6	0.4	3.6	0.4	3.6	ns
t_{PZL}			1.2	0.4	3.6	0.4	3.6	0.4	3.6	0.4	3.6	
t_{PHZ}	$\overline{OE}$	A	3.4	0.1	4.6	0.1	4.7	0.3	4.8	0.7	4.5	ns
t_{PLZ}			3.4	0.1	4.6	0.1	4.7	0.3	4.8	0.7	4.5	
t_{PHZ}	$\overline{OE}$	B	2.9	0.1	5.4	0.1	5.3	0.1	5.3	0.1	5.3	ns
t_{PLZ}			2.9	0.1	5.4	0.1	5.3	0.1	5.3	0.1	5.3	

5.11 Operating Characteristics

T_A = 25°C

PARAMETER			TEST CONDITIONS	V_{CCA} = V_{CCB} = 1.2 V	V_{CCA} = V_{CCB} = 1.5 V	V_{CCA} = V_{CCB} = 1.8 V	V_{CCA} = V_{CCB} = 2.5 V	V_{CCA} = V_{CCB} = 3.3 V	UNIT
				TYP	TYP	TYP	TYP	TYP	
C_{pdA} (1)	A to B	Outputs enabled	C_L = 0, f = 10 MHz, t_r = t_f = 1 ns	3	3	3	3	4	pF
		Outputs disabled		1	1	1	2	2	
	B to A	Outputs enabled		12	13	13	15	15	
		Outputs disabled		1	2	2	2	2	
C_{pdB} (1)	A to B	Outputs enabled	C_L = 0, f = 10 MHz, t_r = t_f = 1 ns	12	13	13	14	16	pF
		Outputs disabled		1	2	2	2	2	
	B to A	Outputs enabled		3	3	3	4	4	
		Outputs disabled		1	1	1	2	2	

(1) Power dissipation capacitance per transceiver. Refer to the TI application report, CMOS Power Consumption and Cpd Calculation, SCAA035

5.12 Typical Characteristics

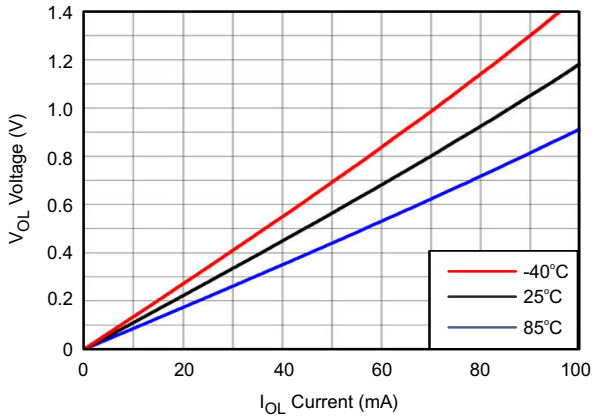


図 5-1. V_{OL} Voltage vs I_{OL} Current

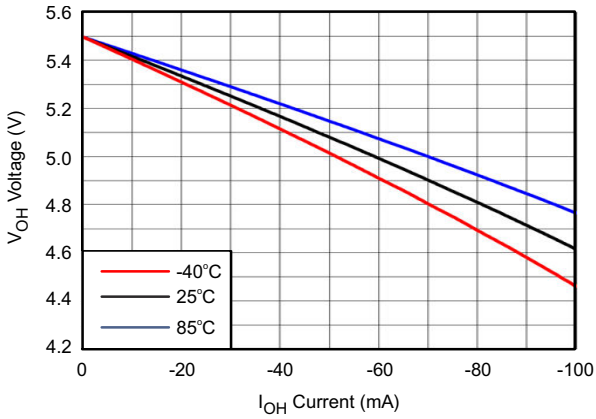
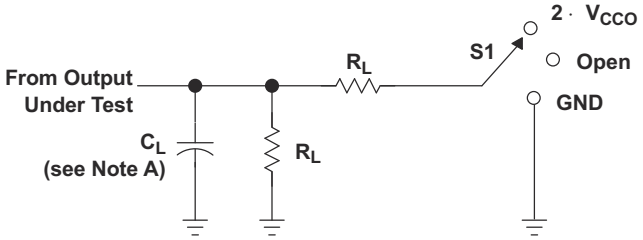


図 5-2. V_{OH} Voltage vs I_{OH} Current

Copyright © 2024 Texas Instruments Incorporated

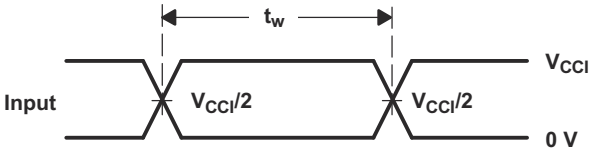
6 Parameter Measurement Information



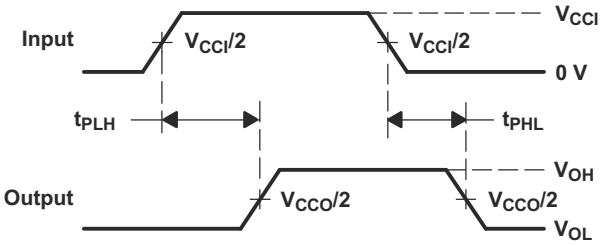
TEST	S1
t_{pd} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open $2 \cdot V_{CCO}$ GND

LOAD CIRCUIT

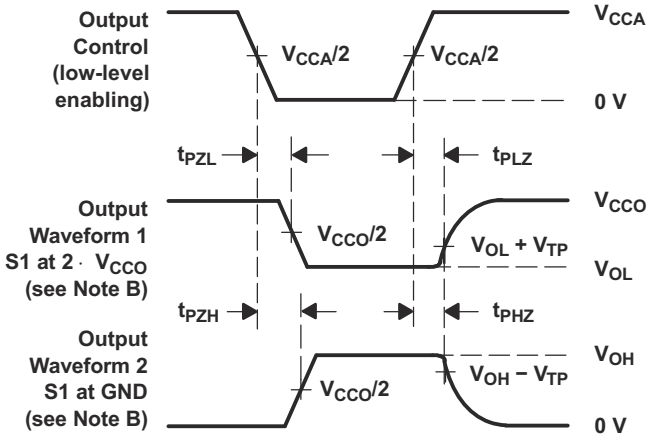
V_{CCO}	C_L	R_L	V_{TP}
1.2 V	15 pF	2 kΩ	0.1 V
1.5 V ± 0.1 V	15 pF	2 kΩ	0.1 V
1.8 V ± 0.15 V	15 pF	2 kΩ	0.15 V
2.5 V ± 0.2 V	15 pF	2 kΩ	0.15 V
3.3 V ± 0.3 V	15 pF	2 kΩ	0.3 V



VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR 10 MHz, Z_O = 50 Ω, dv/dt ≥ 1 V/ns.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLH} and t_{PHL} are the same as t_{pd}.
F. V_{CCI} is the V_{CC} associated with the input port.
G. V_{CCO} is the V_{CC} associated with the output port.

図 6-1. Load and Circuit and Voltage Waveforms

7 Detailed Description

7.1 Overview

The SN74AVC2T245 is a dual-bit, dual-supply noninverting bidirectional voltage level translation. Pins A and control pins (DIR and $\overline{OE}$) are supported by V_{CCA} and pins B are supported by V_{CCB}. The A port can accept I/O voltages ranging from 1.2 V to 3.6 V, while the B port can accept I/O voltages from 1.2 V to 3.6 V. A high on DIR allows data transmission from A to B and a low on DIR allows data transmission from B to A when $\overline{OE}$ is set to low. When $\overline{OE}$ is set to high, both A and B are in the high-impedance state.

This device is fully specified for partial-power-down applications using off output current (I_{off}).

The V_{CC} isolation feature ensures that if either V_{CC} input is at GND, both ports are put in a high-impedance state.

7.2 Functional Block Diagram

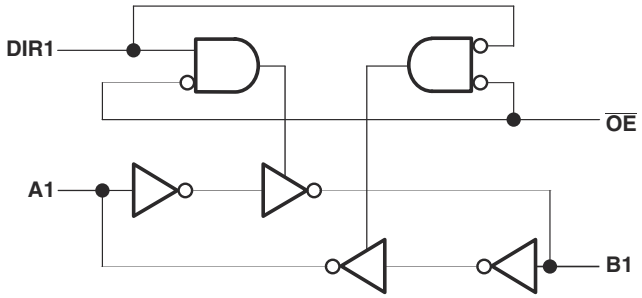


図 7-1. Logic Diagram (Positive Logic)

7.3 Feature Description

7.3.1 Fully Configurable Dual-Rail Design Allows Each Port to Operate Over the Full 1.2 V to 3.6 V Power-Supply Range

Both V_{CCA} and V_{CCB} can be supplied at any voltage from 1.2 V to 3.6 V making the device suitable for translating between any of the low voltage nodes (1.2 V, 1.8 V, 2.5 V, and 3.3 V).

7.3.2 Partial-Power-Down Mode Operation

This device is fully specified for partial-power-down applications using off output current (I_{off}). The I_{off} circuitry will prevent backflow current by disabling I/O output circuits when device is in partial power-down mode.

7.3.3 V_{CC} Isolation

The V_{CC} isolation feature ensures that if either V_{CCA} or V_{CCB} are at GND, both ports will be in a high-impedance state (I_{OZ}). This prevents false logic levels from being presented to either bus.

7.4 Device Functional Modes

The SN74AVC2T245 is a voltage level translator that can operate from1.2 V to 3.6 V (V_{CCA}) and 1.2 V to 3.6 V (V_{CCB}). The signal translation requires direction control and output enable control. The table below enlists the operation of the part for the respective states of the control inputs.

表 7-1. Function Table (Each Transceiver)

CONTROL INPUTS (1)		OUTPUT CIRCUITS		OPERATION
$\overline{OE}$	DIR1	A PORT	B PORT	
L	L	Enabled	Hi-Z	B data to A data
L	H	Hi-Z	Enabled	A data to B data
H	X	Hi-Z	Hi-Z	Isolation

(1) Input circuits of the data I/Os are always active.

Copyright © 2024 Texas Instruments Incorporated

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

The SN74AVC2T45 is used to shift IO voltage levels from one voltage domain to another. Bus A and bus B have independent power supplies, and a direction pin is used to control the direction of data flow. Unused data ports must not be floating; tie the unused port input and output to ground directly.

8.1.1 Enable Times

Calculate the enable times for the SN74AVC16T45 using the following formulas:

$$t_{PZH} \text{ (DIR to A)} = t_{PLZ} \text{ (DIR to B)} + t_{PLH} \text{ (B to A)} \quad (1)$$

$$t_{PZL} \text{ (DIR to A)} = t_{PHZ} \text{ (DIR to B)} + t_{PHL} \text{ (B to A)} \quad (2)$$

$$t_{PZH} \text{ (DIR to B)} = t_{PLZ} \text{ (DIR to A)} + t_{PLH} \text{ (A to B)} \quad (3)$$

$$t_{PZL} \text{ (DIR to B)} = t_{PHZ} \text{ (DIR to A)} + t_{PHL} \text{ (A to B)} \quad (4)$$

In a bidirectional application, these enable times provide the maximum delay from the time the DIR bit is switched until an output is expected. For example, if the SN74AVC2T245 initially is transmitting from A to B, then the DIR bit is switched; the B port of the device must be disabled before presenting it with an input. After the B port has been disabled, an input signal applied to it appears on the corresponding A port after the specified propagation delay.

8.2 Typical Application

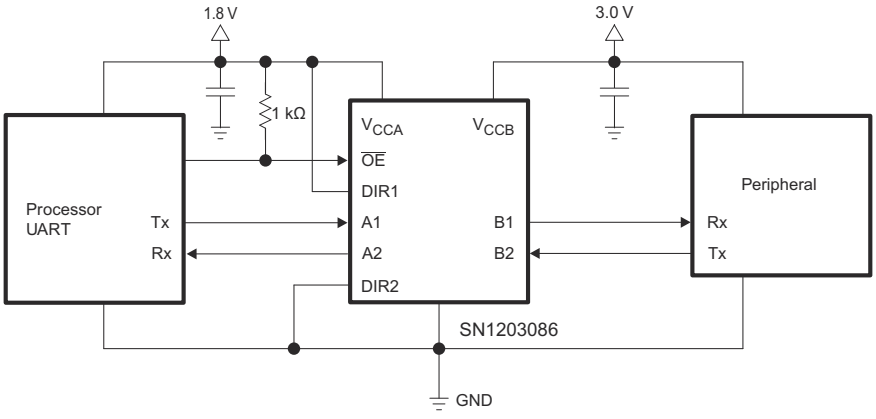


図 8-1. Typical Application of the SN74AVC2T245

8.2.1 Design Requirements

This device uses drivers which are enabled depending on the state of the DIR pin. The designer must know the intended flow of data and take care not to violate any of the high or low logic levels. Unused data inputs must not be floating, as this can cause excessive internal leakage on the input CMOS structure. Tie any unused input and output ports directly to ground.

For this design example, use the parameters listed in 表 8-1.

Copyright © 2024 Texas Instruments Incorporated

表 8-1. Design Parameters

DESIGN PARAMETER	EXAMPLE VALUE
Input voltage range	1.2 V to 3.6 V
Output voltage range	1.2 V to 3.6 V

8.2.2 Detailed Design Procedure

To begin the design process, determine the following:

8.2.2.1 Input Voltage Ranges

Use the supply voltage of the device that is driving the SN74AVC2T245 device to determine the input voltage range. For a valid logic high the value must exceed the V_{IH} of the input port. For a valid logic low the value must be less than the V_{IL} of the input port.

8.2.2.2 Output Voltage Range

Use the supply voltage of the device that the SN74AVC2T245 device is driving to determine the output voltage range.

8.2.3 Application Curves

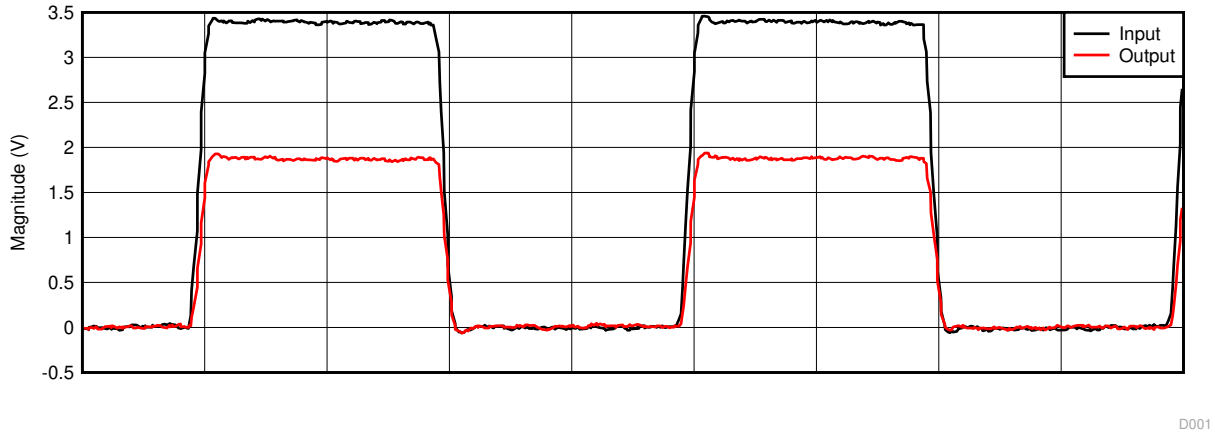


図 8-2. 3.3 V to 1.8 V Level-Shifting With 1-MHz Square Wave

Copyright © 2024 Texas Instruments Incorporated

9 Power Supply Recommendations

The SN74AVC2T245 device uses two separate configurable power-supply rails, V_{CCA} and V_{CCB}. V_{CCA} accepts any supply voltage from 1.2 V to 3.6 V and V_{CCB} accepts any supply voltage from 1.2 V to 3.6 V. The A port and B port are designed to track V_{CCA} and V_{CCB} respectively allowing for low-voltage bidirectional translation between any of the 1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.3 V and 5 V voltage nodes.

10 Layout

10.1 Layout Guidelines

To ensure reliability of the device, following common printed-circuit-board layout guidelines is recommended.

- Bypass capacitors should be used on power supplies.
- Short trace lengths should be used to avoid excessive loading.
- Placing pads on the signal paths for loading capacitors or pullup resistors to help adjust rise and fall times of signals depending on the system requirements.

10.2 Layout Example

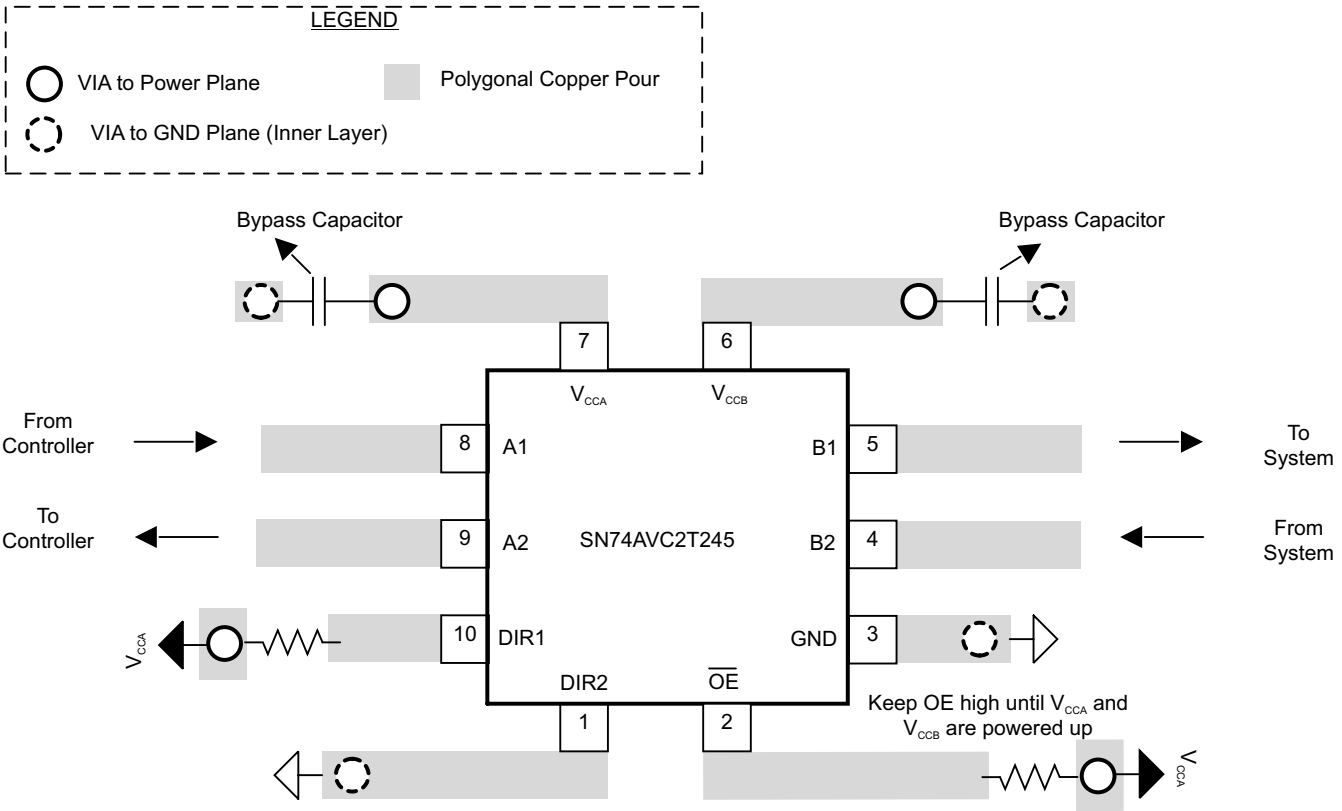


図 10-1. Recommended Layout Example

11 Device and Documentation Support

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2024 Texas Instruments Incorporated

12 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2016) to Revision E (September 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- Updated Thermal Information 5

Changes from Revision C (July 2015) to Revision D (February 2016) **Page**

- 「ピン構成および機能」を変更 1

Changes from Revision B (June 2015) to Revision C (July 2015) **Page**

- The *Ordering Information* table (formally on page 1) contained a Top-Side Marking of TQ_. The table has been replaced with the Package Option Addendum in *Mechanical, Packaging, and Orderable Information*. VC_ was added to the device marking 17

Changes from Revision A (May 2012) to Revision B (June 2015) **Page**

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「注文情報」表を削除 1

13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AVC2T245RSWR	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(TQ7, TQO, TQR, TQV) (TQH, TQJ, TQY) (VCH, VCO) (VCJ, VCR)
SN74AVC2T245RSWR.A	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TQ7, TQO, TQR, TQV) (TQH, TQJ, TQY) (VCH, VCO) (VCJ, VCR)
SN74AVC2T245RSWR.B	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TQ7, TQO, TQR, TQV) (TQH, TQJ, TQY) (VCH, VCO) (VCJ, VCR)
SN74AVC2T245RSWRG4.A	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TQV TQY
SN74AVC2T245RSWRG4.B	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TQV TQY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

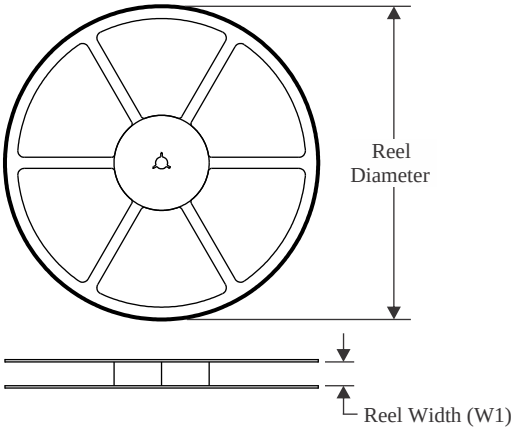
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

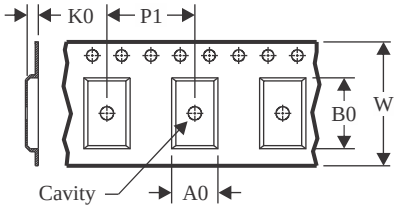
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

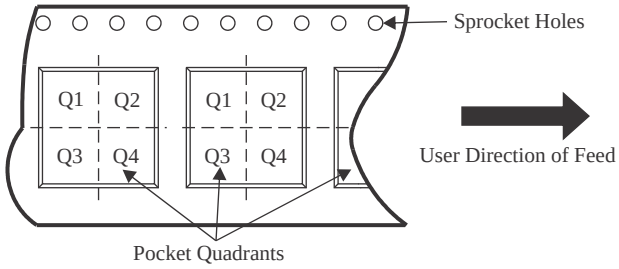


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

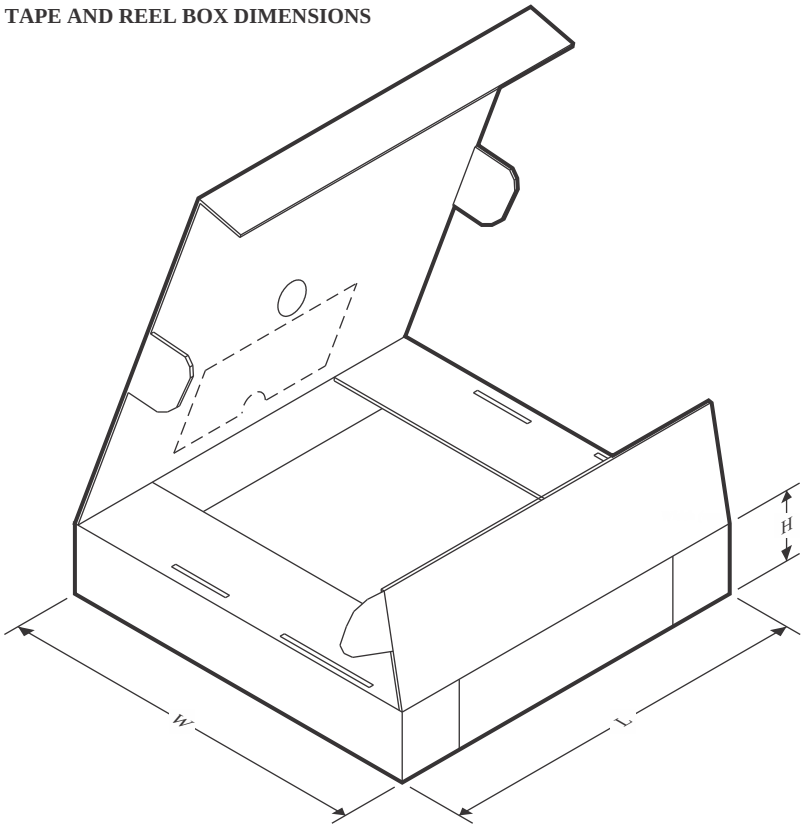
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AVC2T245RSWR	UQFN	RSW	10	3000	180.0	8.4	1.59	2.09	0.72	4.0	8.0	Q1
SN74AVC2T245RSWR	UQFN	RSW	10	3000	180.0	9.5	1.6	2.0	4.0	4.0	8.0	Q1
SN74AVC2T245RSWR	UQFN	RSW	10	3000	179.0	8.4	1.7	2.1	0.7	4.0	8.0	Q1
SN74AVC2T245RSWR	UQFN	RSW	10	3000	180.0	9.5	1.6	2.0	0.8	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

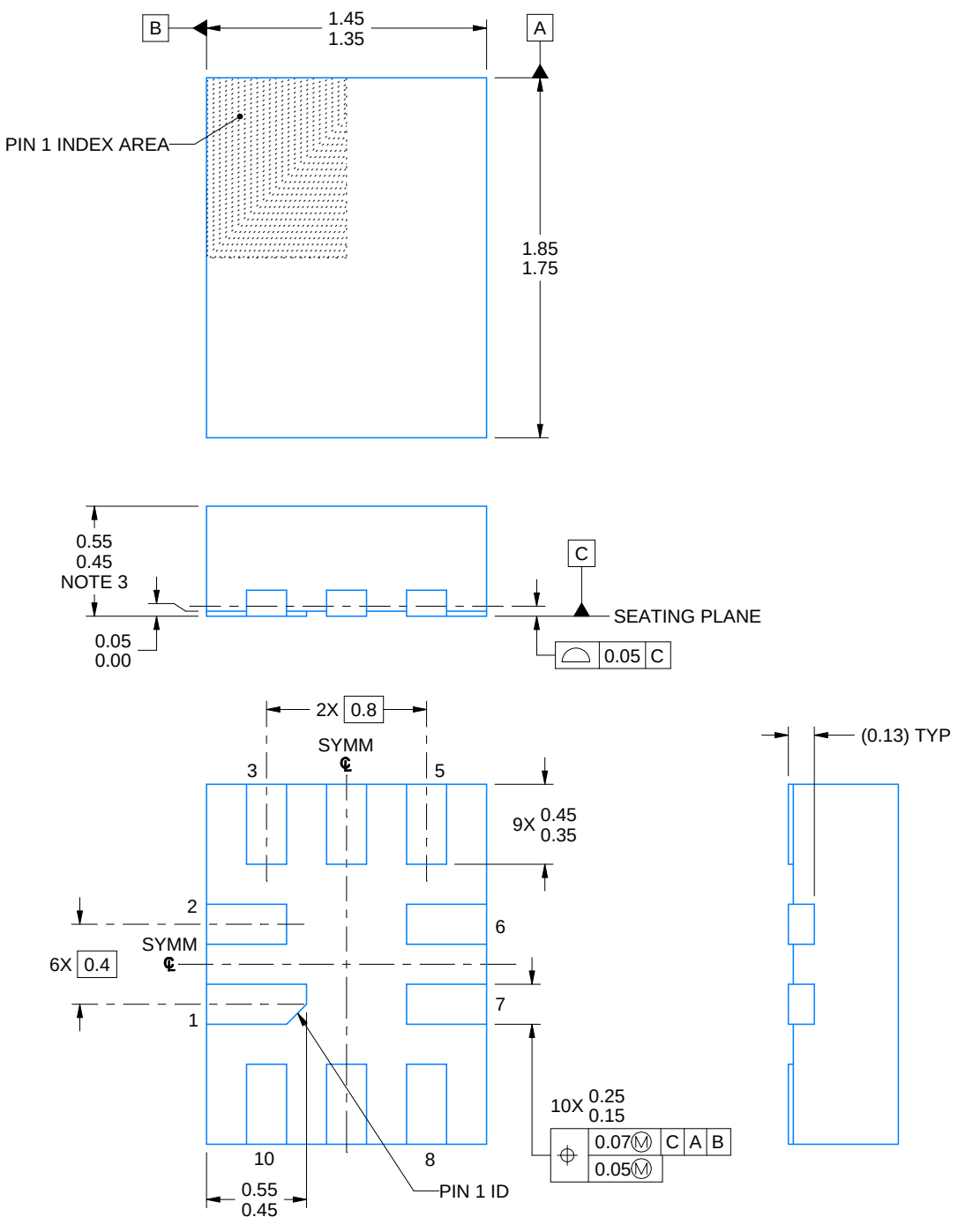
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AVC2T245RSWR	UQFN	RSW	10	3000	202.0	201.0	28.0
SN74AVC2T245RSWR	UQFN	RSW	10	3000	184.0	184.0	19.0
SN74AVC2T245RSWR	UQFN	RSW	10	3000	200.0	183.0	25.0
SN74AVC2T245RSWR	UQFN	RSW	10	3000	189.0	185.0	36.0

PACKAGE OUTLINE

RSW0010A

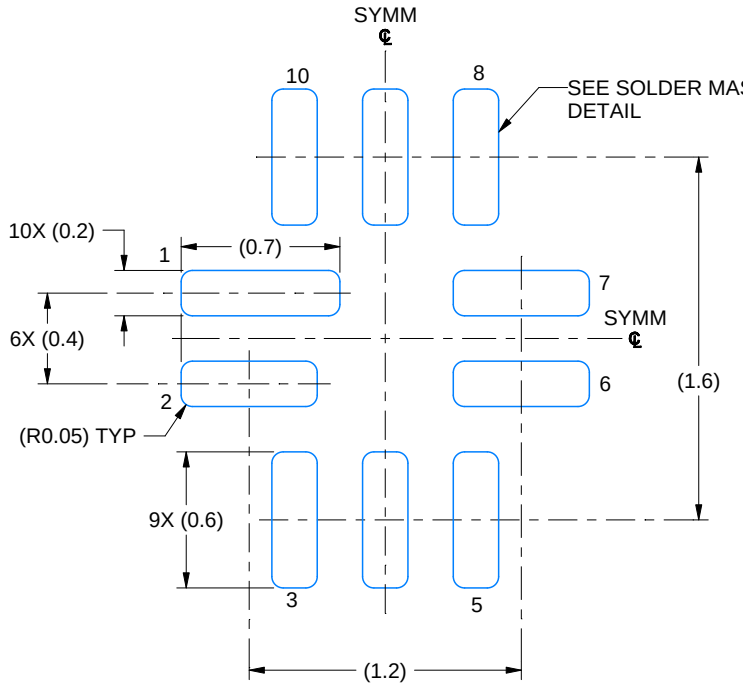
UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

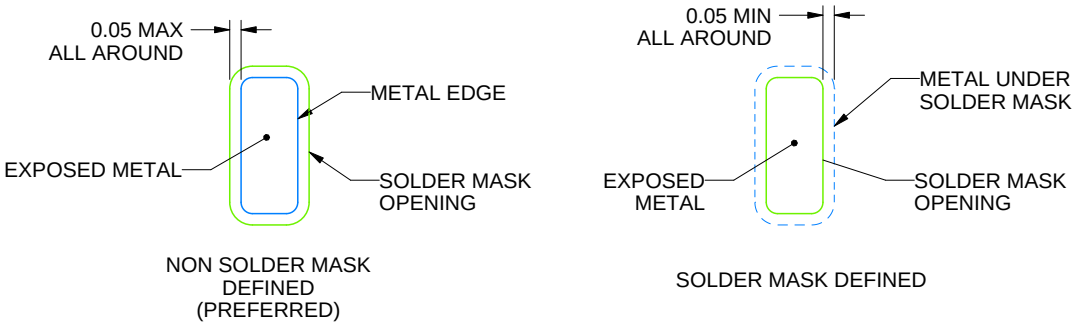


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package complies to JEDEC MO-288 variation UDEE, except minimum package height.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

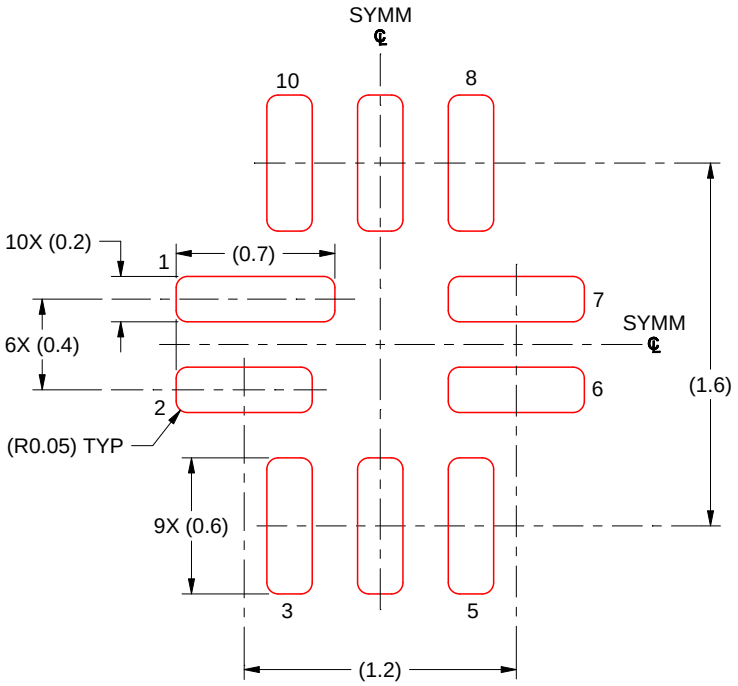


SOLDER MASK DETAILS

4224897/A 03/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

4224897/A 03/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月