SN74CB3Q3257 4 ビット、1:2 FET マルチプレクサ / デマルチプレクサ、2.5V/3.3V 低電圧高帯域バス スイッチ

1 特長

- 高帯域幅のデータ パス (最高最大 500MHz)
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 動作範囲全体にわたって小さく平坦なオン抵抗 (r_{on}) 特性 (標準値 r_{on} = 4Ω)
- データ I/O ポートのレール ツー レール スイッチング
  - V_{CC} = 3.3V で 0～5V のスイッチング
  - V_{CC} = 2.5V で 0～3.3V のスイッチング
- 伝播遅延がゼロに近い双方向データ フロー
- 低い入力および出力容量により負荷および信号歪みが最小化 (標準値 $C_{io(OFF)}$ = 3.5pF)
- 高いスイッチング周波数 (最大値 $f_{\overline{OE}}$ = 20MHz)
- データおよび制御入力にアンダーシュート クランプ ダイオードを搭載
- 低消費電力 (I_{CC} = 0.7mA、標準値)
- 2.3V～3.6V の範囲の V_{CC} で動作
- データ I/O は 0～5V の信号レベルに対応 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 制御入力は、TTL または 5V および 3.3V CMOS 出力で駆動可能
- I_{off} により部分的パワーダウン モード動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- ESD 性能は JESD 22 に準拠しテスト済み
  - 人体モデルで 2000V (A114B、クラス II)
  - 荷電デバイス モデルで 1000V (C101)
- デジタルとアナログの両方のアプリケーションに対応: USB インターフェイス、差動信号インターフェイス、バス絶縁、低歪み信号ゲーティング [1]

2 アプリケーション

- IP 電話:有線および無線
- 光学モジュール
- 光ネットワーク:Video Over Fiber および EPON
- 構内交換機 (PBX)
- WiMAX およびワイヤレス インフラストラクチャ機器

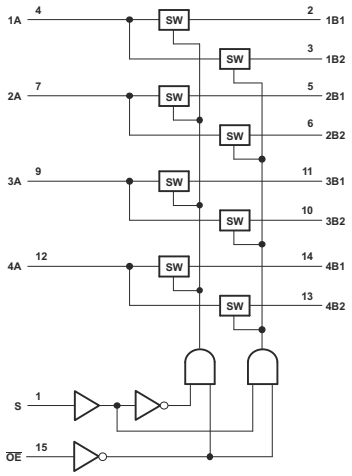
3 概要

SN74CB3Q3257 デバイスは高帯域の FET バス スイッチで、チャージ ポンプを使用してパス トランジスタのゲート電圧を上昇させ、低い平坦なオン抵抗 (r_{on}) を実現します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74CB3Q3257	TVSOP (DGV) (16)	3.6mm × 6.4mm
	SSOP (DBQ) (16)	4.9mm × 6mm
	TSSOP (PW、16)	5mm × 6.4mm
	VQFN (RGV、16)	4mm × 3.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

[1] CB3Q ファミリの性能特性の詳細については、TI のアプリケーション レポート『CBT-C、CB3T、および CB3Q シグナル スイッチ ファミリ』を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 ピン構成および機能.... 3
5 仕様.... 4
5.1 絶対最大定格.... 4
5.2 ESD 定格.... 4
5.3 推奨動作条件.... 4
5.4 熱に関する情報.... 5
5.5 電気的特性 - PKG = RGY、PW、DBQ、DGV.... 5
5.6 電気的特性 - PKG = DYY.... 6
5.7 スイッチング特性、V_{CC} = 2.5V、PKG = RGY、DGV、DBQ、PW.... 7
5.8 スイッチング特性、V_{CC} = 2.5V、PKG = DYY.... 7
5.9 スイッチング特性、V_{CC} = 3.3V、PKG = RGY、PW、DGV、DBQ.... 7
5.10 スイッチング特性、V_{CC} = 3.3V、PKG = DYY.... 8
5.11 代表的特性.... 8
6 パラメータ測定情報.... 9
7 詳細説明.... 10
7.1 概要.... 10
7.2 機能ブロック図.... 11
7.3 機能説明.... 11
7.4 デバイスの機能モード.... 11
8 アプリケーションと実装.... 12
8.1 使用上の注意.... 12
8.2 代表的なアプリケーション.... 12
8.3 電源に関する推奨事項.... 13
8.4 レイアウト.... 13
9 デバイスおよびドキュメントのサポート.... 14
9.1 ドキュメントのサポート.... 14
9.2 ドキュメントの更新通知を受け取る方法.... 14
9.3 サポート・リソース.... 14
9.4 商標.... 14
9.5 静電気放電に関する注意事項.... 14
9.6 用語集.... 14
10 改訂履歴.... 15
11 メカニカル、パッケージ、および注文情報.... 15

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

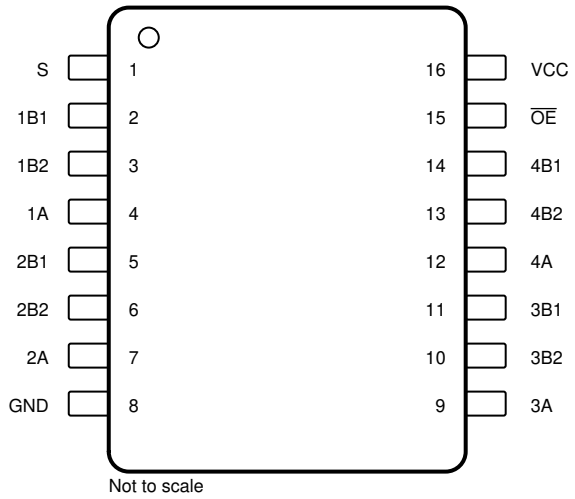


図 4-1. DYY、DGV、DBQ、または PW パッケージ 16 ピン SOT-23 THN、SSOP、または TSSOP (上面図)

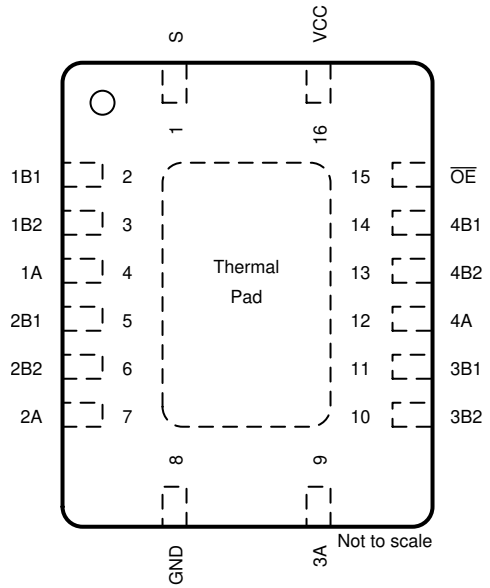


図 4-2. RGY パッケージ、16 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ[(1)]	説明
名称	番号		
S	1	I	ピンを選択
1B1	2	I/O	チャネル 1I/O 1
1B2	3	I/O	チャネル 1I/O 2
1A	4	I/O	チャネル 1 共通
2B1	5	I/O	チャネル 2I/O 1
2B2	6	I/O	チャネル 2I/O 2
2A	7	I/O	チャネル 2 共通
GND	8	—	グランド
3A	9	I/O	チャネル 3 共通
3B2	10	I/O	チャネル 3I/O 2
3B1	11	I/O	チャネル 3I/O 1
4A	12	I/O	チャネル 4 共通
4B2	13	I/O	チャネル 4I/O 2
4B1	14	I/O	チャネル 4I/O 1
$\overline{OE}$	15	I	出力イネーブル (アクティブ Low)
V_{CC}	16	—	電源

(1) I = 入力、I/O = 入力または出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [1]

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	4.6	V
V_{IN}	制御入力電圧[2] [3]		-0.5	7	V
$V_{I/O}$	スイッチ I/O 電圧[2] [3] [4]		-0.5	7	V
I_{IK}	制御入力クランプ電流	V_{IN} < 0		-50	mA
$I_{I/OK}$	I/O ポート クランプ電流	$V_{I/O}$ < 0		-50	mA
I_{IO}	オン状態スイッチ電流			±64	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。
(3) 入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。
(4) V_I および V_O は、$V_{I/O}$ の特定の条件を示すために使用されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 準拠 [2]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7	5.5	V
		V_{CC} = 2.7V～3.6V	2	5.5	
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V	0	0.7	V
		V_{CC} = 2.7V～3.6V	0	0.8	
$V_{I/O}$	データ入出力電圧		0	5.5	V
T_A	自由空気での動作温度	PKG = RGY、DBQ、DGV、PW	-40	105	°C
T_A	自由空気での動作温度	PKG = DYY	-40	125	°C

(1) デバイスの適切な動作を提供するには、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。「低速またはフローティング CMOS 入力の影響アプリケーション レポート」も参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		SN74CB3Q3257					単位
		DBQ (SSOP)	DGV (TVSOP)	PW (TSSOP)	RGY (VQFN)	DYY (SOT-23-THN)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	106.4	134.2	114.3	72.3	126.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	65.1	66.1	57.9	71.9	14.9	
$R_{\theta JB}$	接合部から基板への熱抵抗	62.7	80.1	72.2	47.1	72.8	
ψ_{JT}	接合部から上面への特性パラメータ	18.7	17.7	16.3	19.5	73.0	
ψ_{JB}	接合部から基板への特性パラメータ	64.6	79.6	71.8	47.2	71.1	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	-	-	31.4	-	

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。spra953

5.5 電気的特性 - PKG = RGY、PW、DBQ、DGV

T_A = –40°C ～ 105°C。記載された代表値は、自由空気での推奨動作温度範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件		最小値	標準値[2]	最大値	単位
V_{IK}		V_{CC} = 3.6V、I_I = -18mA				-1.8	V
I_{IN}	制御入力	V_{CC} = 3.6V、V_{IN} = 0 ～ 5.5V				±1	μA
I_{OZ}[3]		V_{CC} = 3.6V、V_O = 0 ～ 5.5V、 V_I = 0、スイッチ OFF V_{IN} = V_{CC} または GND				±1	μA
I_{off}		V_{CC} = 0、V_O = 0 ～ 5.5V、V_I = 0				1	μA
I_{CC}		V_{CC} = 3.6V、$I_{I/O}$ = 0、 スイッチ ON または OFF、V_{IN} = V_{CC} または GND			0.7	1.5	mA
ΔI_{CC}[4]	制御入力	V_{CC} = 3.6V、1 つの入力は 3V、他の入力は V_{CC} または GND				30	μA
I_{CCD}[5]	制御入力ごと	V_{CC} = 3.6V、A および B ポートをオープン、 50% デューティ サイクルでの制御入力スイッチング			0.4	0.5	mA/MHz
C_{in}	制御入力	V_{CC} = 3.3V、V_{IN} = 5.5V、3.3V、または 0			2.5	3.5	pF
$C_{io(OFF)}$	A ポート	V_{CC} = 3.3V、スイッチ OFF、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			5.5	7	pF
	B ポート	V_{CC} = 3.3V、スイッチ OFF、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			3.5	5	pF
$C_{io(ON)}$	A ポート	V_{CC} = 3.3V、スイッチ ON、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			10.5	13	pF
	B ポート				10.5	13	
r_{on}[6]		V_{CC} = 2.3V、 V_{CC} = 2.5V での標準値	V_I = 0、I_O = 30mA		4	8	Ω
			V_I = 1.7V、I_O = -15mA		4	9	
		V_{CC} = 3V	V_I = 0、I_O = 30mA		4	6	
			V_I = 2.4V、I_O = -15mA		4	8	

(1) V_{IN} と I_{IN} は、制御入力を指します。V_I、V_O、I_I、および I_O はデータ端子を指します。
(2) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(3) I/O ポートの場合、パラメータ I_{OZ} には入力リーク電流が含まれます。
(4) これは、V_{CC} または GND ではなく、規定の TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。
(5) このパラメータは、単一の制御入力の動作周波数に関連する動的な電源電流を指定します (図 5-2 を参照)。
(6) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、2 つの端子 (A または B) のうち、電圧が低い方によって決まります。

5.6 電気的特性 - PKG = DYY

T_A = –40℃ ～ 105℃。記載された代表値は、自由空気での推奨動作温度範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件		最小値	標準値 [2]	最大値	単位
V_{IK}		V_{CC} = 3.6V、I_I = -18mA				-1.8	V
I_{IN}	制御入力	V_{CC} = 3.6V、V_{IN} = 0 ～ 5.5V				±1	μA
I_{OZ} [3]		V_{CC} = 3.6V、V_O = 0 ～ 5.5V、 V_I = 0、スイッチ OFF V_{IN} = V_{CC} または GND				±1	μA
I_{off}		V_{CC} = 0、V_O = 0 ～ 5.5V、V_I = 0				1	μA
I_{CC}		V_{CC} = 3.6V、$I_{I/O}$ = 0、 スイッチ ON または OFF、V_{IN} = V_{CC} または GND			0.5	1.5	mA
ΔI_{CC} [4]	制御入力	V_{CC} = 3.6V、1 つの入力は 3V、他の入力は V_{CC} または GND				30	μA
I_{CCD} [5]	制御入力ごと	V_{CC} = 3.6V、A および B ポートをオープン、 50% デューティ サイクルでの制御入力スイッチング			0.32	0.5	mA/MHz
C_{in}	制御入力	V_{CC} = 3.3V、V_{IN} = 5.5V、3.3V、または 0			2.5	3.5	pF
$C_{io(OFF)}$	A ポート	V_{CC} = 3.3V、スイッチ OFF、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			5.5	7	pF
	B ポート	V_{CC} = 3.3V、スイッチ OFF、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			3.5	5	pF
$C_{io(ON)}$	A ポート	V_{CC} = 3.3V、スイッチ ON、 V_{IN} = V_{CC} または GND、$V_{I/O}$ = 5.5V、3.3V、または 0			10.5	13	pF
	B ポート				10.5	13	
r_{on} [6]		V_{CC} = 2.3V、 V_{CC} = 2.5V での標準値	V_I = 0、I_O = 30mA		4	8	Ω
			V_I = 1.7V、I_O = -15mA		5.3	9	
		V_{CC} = 3V	V_I = 0、I_O = 30mA		3.5	6	
			V_I = 2.4V、I_O = -15mA		4	8	

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性、V_{CC} = 2.5V、PKG = RGY、DGV、DBQ、PW

自由空気での推奨動作温度範囲内の標準値を記載 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V			単位
			最小値	最大値 (85℃)	最大値 (105℃)	
$f_{\overline{OE}}$ または f_S (1)	$\overline{OE}$ または S	A または B		10	10	MHz
t_{pd} (2)	A または B	B または A		0.12	0.21	ns
$t_{pd(s)}$	S	A	1.5	6.5	7.5	ns
t_{en}	S	B	1.5	6.5	7.5	ns
	$\overline{OE}$	A または B	1.5	6.5	7.5	
t_{dis}	S	B	1	6	7	ns
	$\overline{OE}$	A または B	1	6	7	

(1) 制御入力の最大スイッチング周波数特性 ($V_O > V_{CC}$、V_I = 5V、$R_L \geq 1M\Omega$、C_L = 0)。
(2) 伝播遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

5.8 スイッチング特性、V_{CC} = 2.5V、PKG = DYY

自由空気での推奨動作温度範囲内の標準値を記載 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V			単位
			最小値	最大値 (85℃)	最大値 (105℃)	
$f_{\overline{OE}}$ または f_S (1)	$\overline{OE}$ または S	A または B		10	10	MHz
t_{pd} (2)	A または B	B または A		0.12	0.21	ns
$t_{pd(s)}$	S	A	1.5	6.5	8.5	ns
t_{en}	S	B	1.5	6.5	8.5	ns
	$\overline{OE}$	A または B	1.5	6.5	8.5	
t_{dis}	S	B	1	6	8	ns
	$\overline{OE}$	A または B	1	6	8	

5.9 スイッチング特性、V_{CC} = 3.3V、PKG = RGY、PW、DGV、DBQ

自由空気での動作温度範囲内の標準値を記載 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 3.3V ± 0.3V				単位
			最小値	標準値 (1)	最大値 (85℃)	最大値 (105℃)	
$f_{\overline{OE}}$ または f_S (1)	$\overline{OE}$ または S	A または B			20	20	MHz
t_{pd} (2)	A または B	B または A			0.2	0.32	ns
$t_{pd(s)}$	S	A	1.5	4.1	5.5	6.5	ns
t_{en}	S	B	1.5	4.6	5.5	6.5	ns
	$\overline{OE}$	A または B	1.5	4.7	5.5	6.5	
t_{dis}	S	B	1	3.3	6	7	ns
	$\overline{OE}$	A または B	1	3.1	6	7	

(1) 105℃ の平均から取得した標準値

5.10 スイッチング特性、V_{CC} = 3.3V、PKG = DYY

自由空気での動作温度範囲内の標準値を記載 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 3.3V ± 0.3V				単位
			最小値	標準値 (1)	最大値 (85℃)	最大値 (105℃)	
$f_{\overline{OE}}$ または f_S (1)	$\overline{OE}$ または S	A または B			20	20	MHz
t_{pd} (2)	A または B	B または A			0.2	0.32	ns
$t_{pd(s)}$	S	A	1.5	4.1	5.5	7.5	ns
t_{en}	S	B	1.5	4.6	5.5	7.5	ns
	$\overline{OE}$	A または B	1.5	4.7	5.5	7.5	
t_{dis}	S	B	1	3.3	6	8	ns
	$\overline{OE}$	A または B	1	3.1	6	8	

5.11 代表的特性

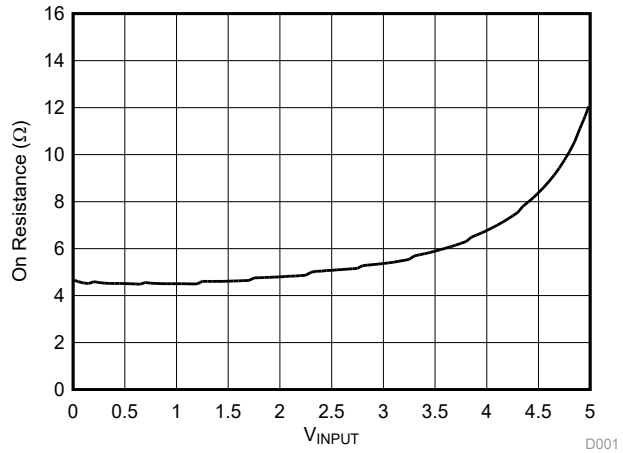


図 5-1. R_{on} (オン抵抗) 標準値と V_{INPUT}、V_{CC} = 3.3V、T_A = 25℃、I_O = 15mA との関係

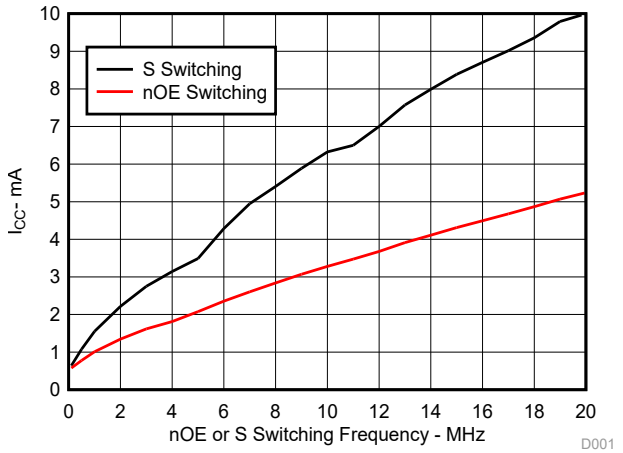
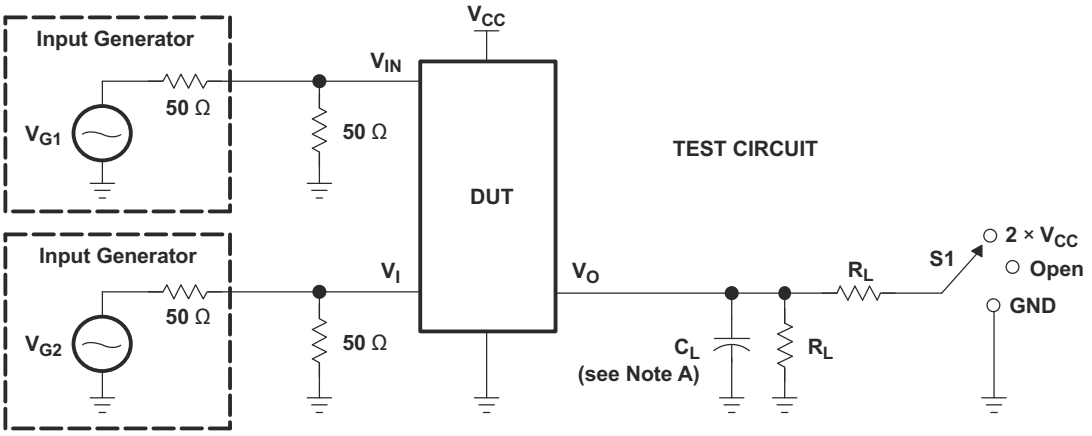


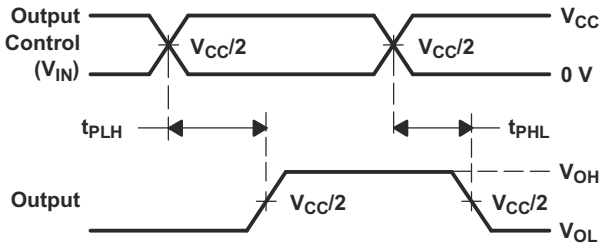
図 5-2. I_{CC} と $\overline{OE}$ または S スイッチング周波数 (標準値) との関係、V_{CC} = 3.3V、T_A = 25℃、A および B ポートはオープン

Copyright © 2026 Texas Instruments Incorporated

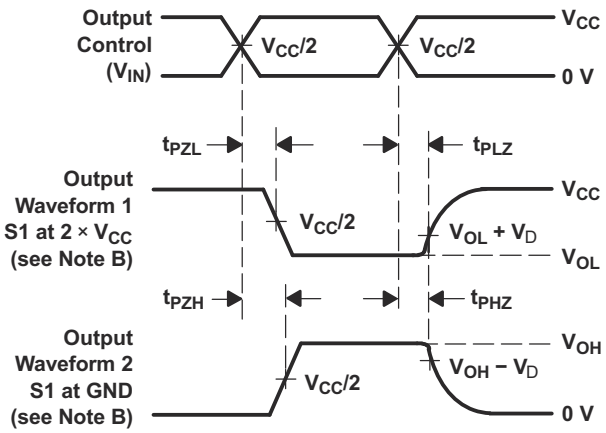
6 パラメータ測定情報



TEST	V_{CC}	S1	R_L	V_I	C_L	V_Δ
$t_{pd(s)}$	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	V_{CC} or GND V_{CC} or GND	30 pF 50 pF	
t_{PLZ}/t_{PZL}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	2 × V_{CC} 2 × V_{CC}	500 Ω 500 Ω	GND GND	30 pF 50 pF	0.15 V 0.3 V
t_{PHZ}/t_{PZH}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	GND GND	500 Ω 500 Ω	V_{CC} V_{CC}	30 pF 50 pF	0.15 V 0.3 V



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 W, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as $t_{pd(s)}$. The t_{pd} propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

7 詳細説明

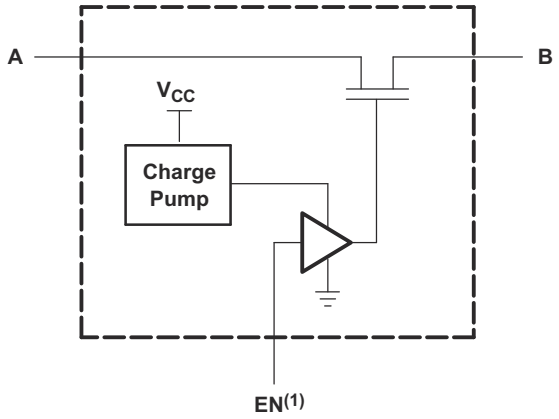
7.1 概要

SN74CB3Q3257 デバイスは高帯域の FET バス スイッチで、チャージ ポンプを使用してパストランジスタのゲート電圧を上昇させ、低い平坦なオン抵抗 (r_{on}) を実現します。オン抵抗が低く平坦であるため、伝搬遅延を最小限に抑えることができ、データ入出力 (I/O) ポートでのレール ツー レール スイッチングをサポートします。本デバイスはデータ I/O の静電容量が小さいため、データ バスの容量性負荷と信号歪みも最小限に抑えることができます。高帯域幅アプリケーションに対応するために特別に設計された SN74CB3Q3257 デバイスは、ブロードバンド通信、ネットワーク、データ集約型コンピューティング システム用に最適化されたインターフェイスを提供します。

SN74CB3Q3257 デバイスは、個別の出力イネーブル入力(1 $\overline{OE}$、2 $\overline{OE}$) を備えた、2 回路の 1 対 4 マルチプレクサ/デマルチプレクサとして構成されています。セレクト (S0、S1) 入力は、マルチプレクサ/デマルチプレクサのデータ パスを制御します。$\overline{OE}$ が Low のとき、関連するマルチプレクサ/デマルチプレクサは有効で、A ポートは B ポートに接続され、ポート間で双方向のデータ フローが可能になります。$\overline{OE}$ を High にすると、関連するマルチプレクサ/デマルチプレクサは無効になり、A と B のポート間は高インピーダンス状態になります。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。デバイスの電源切断時にデバイスに電流が逆流することによる損傷を I_{off} 回路が防止します。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時にハイ インピーダンス状態を提供するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

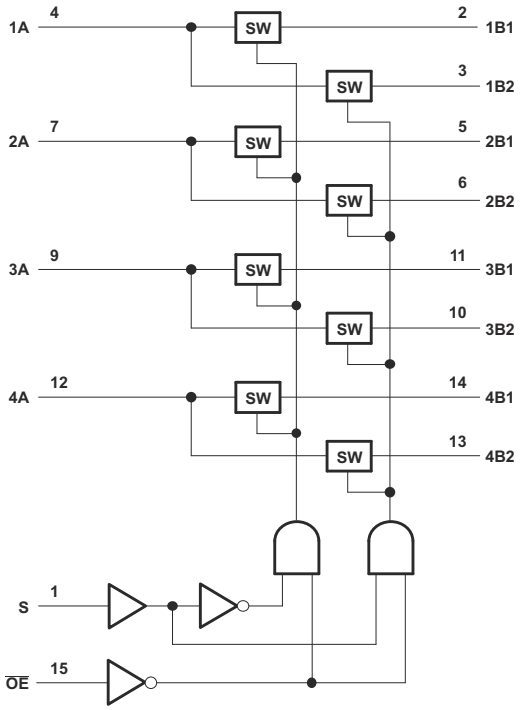


(1) EN はスイッチに印加される内部イネーブル信号。

図 7-1. 概略回路図、各 FET スイッチ (SW)

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



7.3 機能説明

SN74CB3Q3257 デバイスは最大 500MHz まで対応する高帯域幅のデータ パスを備えており、デバイスの電源がオンの状態でもオフの状態でも 5V を許容する I/O を備えています。動作範囲全体にわたって小さく平坦なオン抵抗もあります (r_{on}) 特性 (標準値:r_{on} = 4Ω)。

また、このデバイスは、データ I/O ポートにおいてレール ツー レールのスイッチングを実現しており、3.3V V_{CC} 時には 0V ～ 5V、2.5V V_{CC} 時には 0V ～ 3.3V のスイッチングに対応します。さらに、ほぼゼロの伝搬遅延による双方向データフローを備え、低い入出力容量により負荷や信号の歪みを最小限に抑えます (標準値:$C_{io(OFF)}$ = 3.5pF)。

SN74CB3Q3257 デバイスは、高速なスイッチング周波数 (最大値:$f_{\overline{OE}}$ = 20MHz) にも対応しており、データ入力および制御入力にはアンダーシュート クランプ ダイオードが備えられています。また、低消費電力 (標準値:I_{CC} = 0.6mA) を実現しています。

V_{CC} の動作範囲は 2.3V ～ 3.6V で、データ I/O は 0 ～ 5V の信号レベル (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V) をサポートしています。

制御入力は、TTL、または 5V / 3.3V CMOS 出力で駆動でき、I_{off} は部分的なパワーダウン モード動作をサポートします。

7.4 デバイスの機能モード

表 7-1 に、SN74CB3Q3257 の機能モードを示します。

表 7-1. 機能表

入力		入出力 A	FUNCTION
$\overline{OE}$	S		
L	L	B1	A ポート = B1 ポート
L	H	B2	A ポート = B2 ポート
H	X	Z	切断

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74CB3Q3257 は、2:1 構成で最大 4 チャンネルを同時に多重化および逆多重化する用途に使用できます。ここに示すアプリケーションは、4 つのデバイス間で多重化された 2 ビット バスです。$\overline{OE}$ および S ピンは、バス コントローラからチップを制御するために使用されます。これは、さまざまな状況に適用できる非常に一般的な例です。アプリケーションで必要なビットが 4 ビット未満の場合、必ず A 側を未使用のチャネルの High または Low に接続してください。

8.2 代表的なアプリケーション

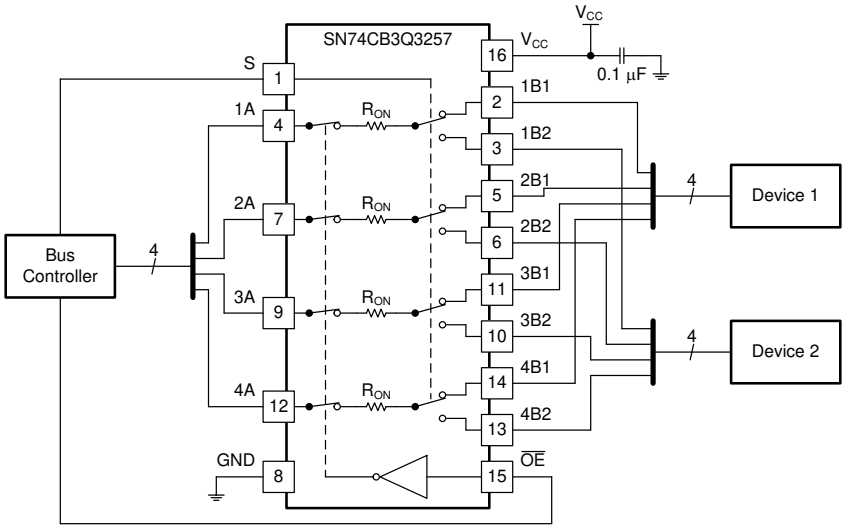


図 8-1. SN74CB3Q3257 の代表的なアプリケーション

8.2.1 設計要件

1. 推奨入力条件:
   - 規定された High および Low レベルについては、「」の V_{IH} および V_{IL} を参照してください。
   - 入力および出力は過電圧に対して耐性があり、任意の有効な V_{CC} において最大 4.6V に対応できます。
2. 推奨出力条件:
   - 負荷電流は、チャネルごとに ±128mA を超えてはなりません。
3. 周波数選択の基準:
   - テストした最大周波数は 500MHz です。
   - パターンの抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。セクション 8.4 に示すレイアウト手法を使用してください。

8.2.2 詳細な設計手順

0.1µF コンデンサは、デバイスのできるだけ近くに配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

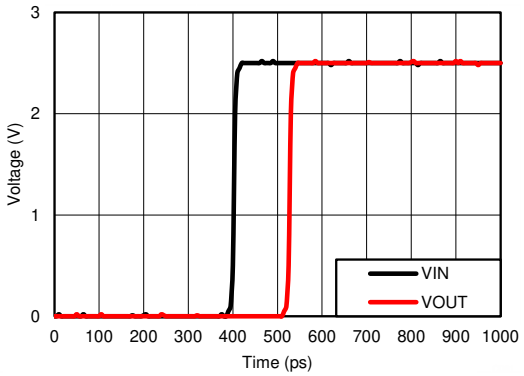


図 8-2. 伝搬遅延 (t_{pd})、V_{CC} = 2.5V でのシミュレーション結果。

8.3 電源に関する推奨事項

電源には、セクション 5.1 の表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1μF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01μF または 0.022μF のコンデンサを推奨します 。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1μF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1μF と 1μF の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

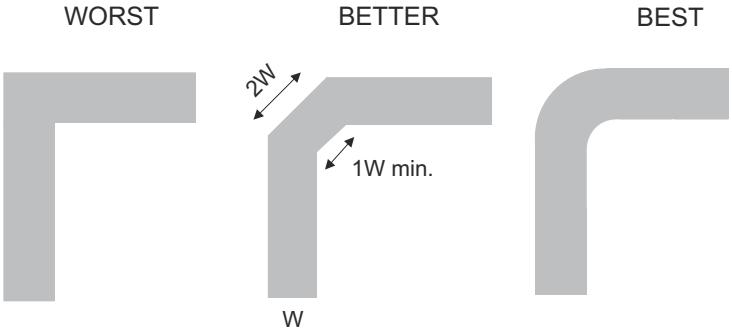


図 8-3. パターン例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス インスツルメンツ、『*適切なテキサス インスツルメンツ信号スイッチの選択*』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (December 2024) to Revision F (August 2026) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。 1
- 「熱に関する情報」表の値を更新 5
- 「電気的特性 - PKG = RGY、PW、DBQ、DGV」表の入力制御パラメータごとの最大値を 0.35 から 0.45 に更新 ... 5
- 「スイッチング特性」表で新しいパッケージ情報を更新 7
- 「代表的特性」セクションを更新 8

Changes from Revision D (July 2018) to Revision E (December 2024) **Page**

- 「製品情報」表を「パッケージ情報」表に変更 1
- 「推奨動作条件」で T_A の最大値を 85℃ から 105℃ に変更 4

Changes from Revision C (April 2017) to Revision D (July 2018) **Page**

- ピン配置画像の外観を変更 3
- 「熱に関する情報」表に値を追加 5

Changes from Revision B (June 2015) to Revision C (April 2017) **Page**

- 「電気的特性」表に T_A =–40℃ ～ 105℃ の最大値を追加 5
- 「スイッチング特性、V_{CC} = 2.5V」の表に T_A =–40℃ ～ 105℃ の最大値を追加。 5
- 「スイッチング特性 (V_{CC} = 3.3V ± 0.3V、V_{CC} = 3.3V±0.3V の場合)」を個別に追加。T_A =–40℃ ～ 105℃ の標準値と最大値を追加 7

Changes from Revision A (November 2003) to Revision B (June 2015) **Page**

- 「注文情報」表を削除。 1
- 「製品情報」表、「ピン構成および機能」セクション、「ESD レーティング」表、「機能説明」セクション、「デバイスの機能モード」、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3Q3257DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DBQR.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DBQR.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257DGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257DGVR.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257RGYR.B	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

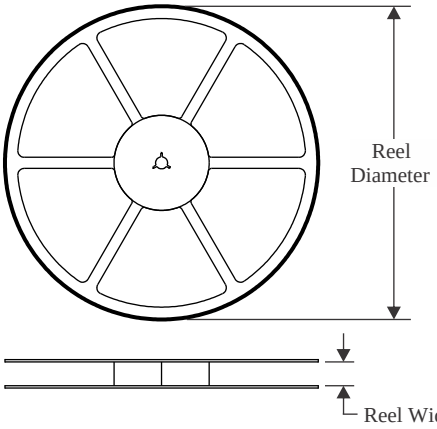
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

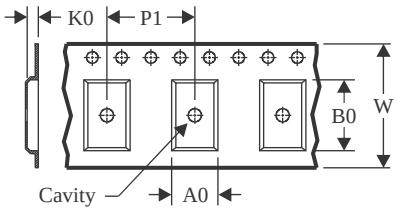
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

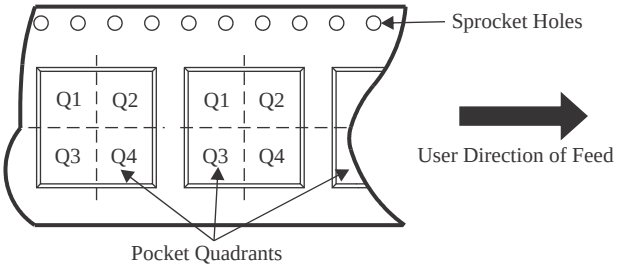


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

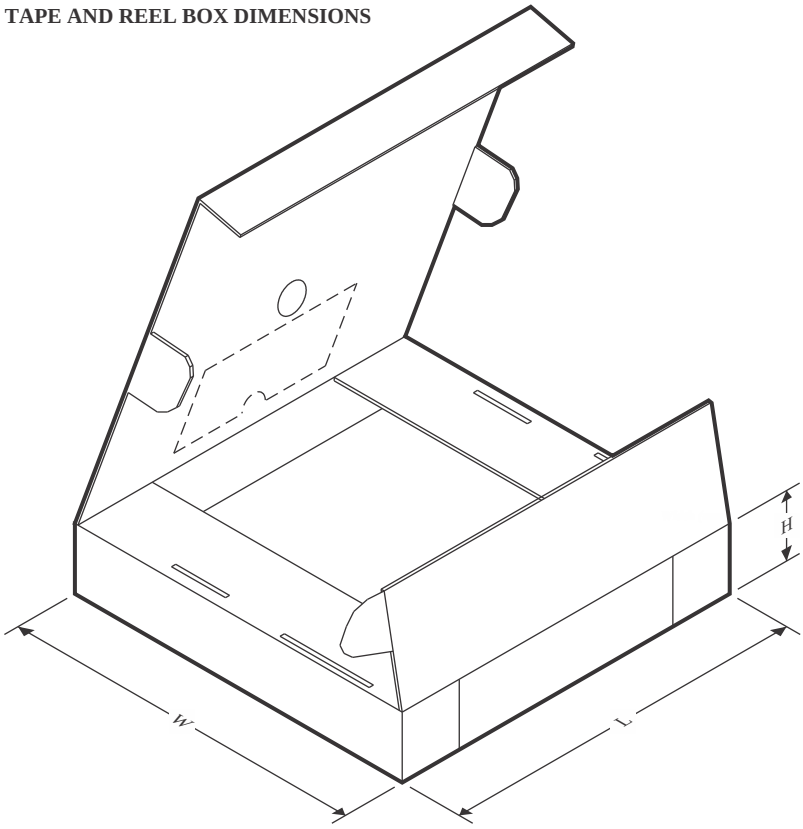
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3Q3257DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CB3Q3257DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

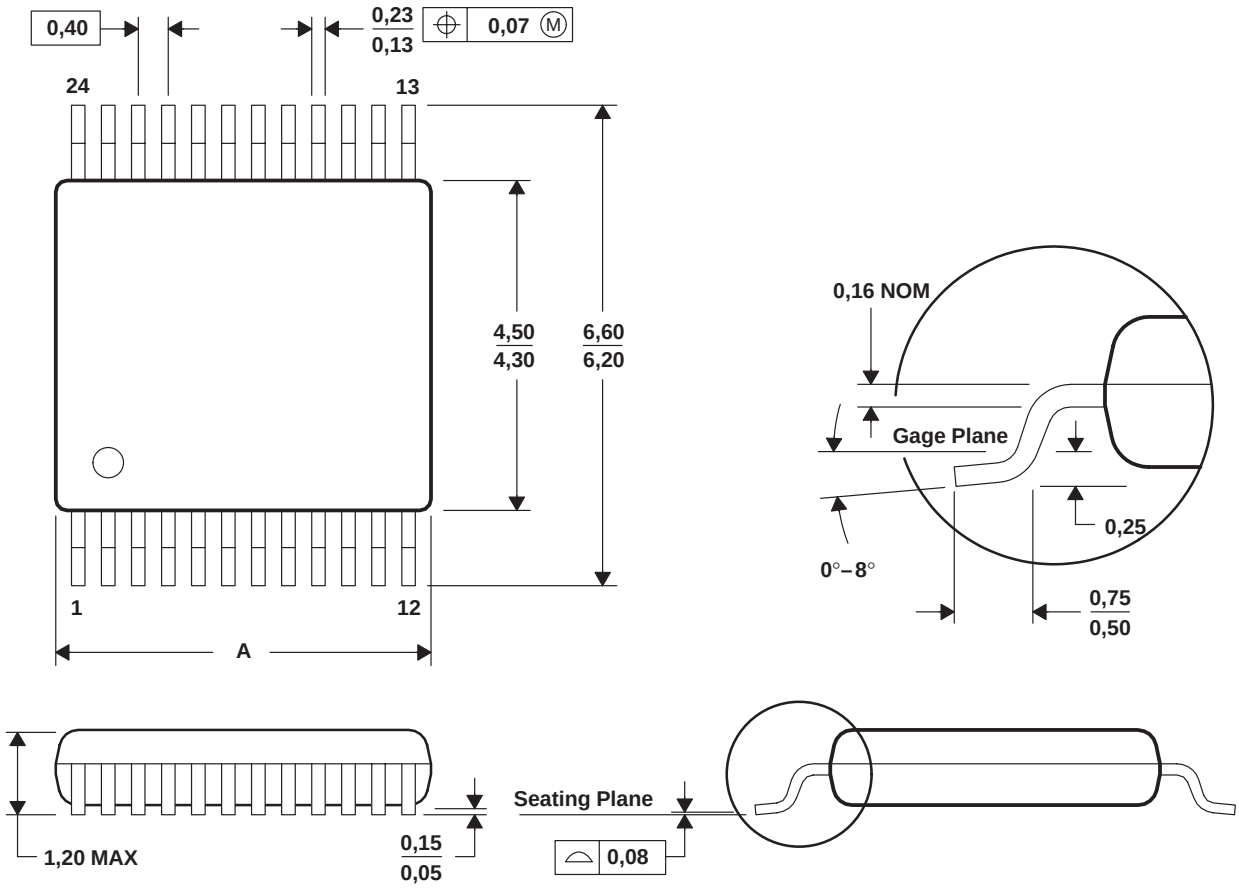


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3Q3257DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CB3Q3257DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	364.0	364.0	27.0
SN74CB3Q3257PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	353.0	353.0	32.0

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

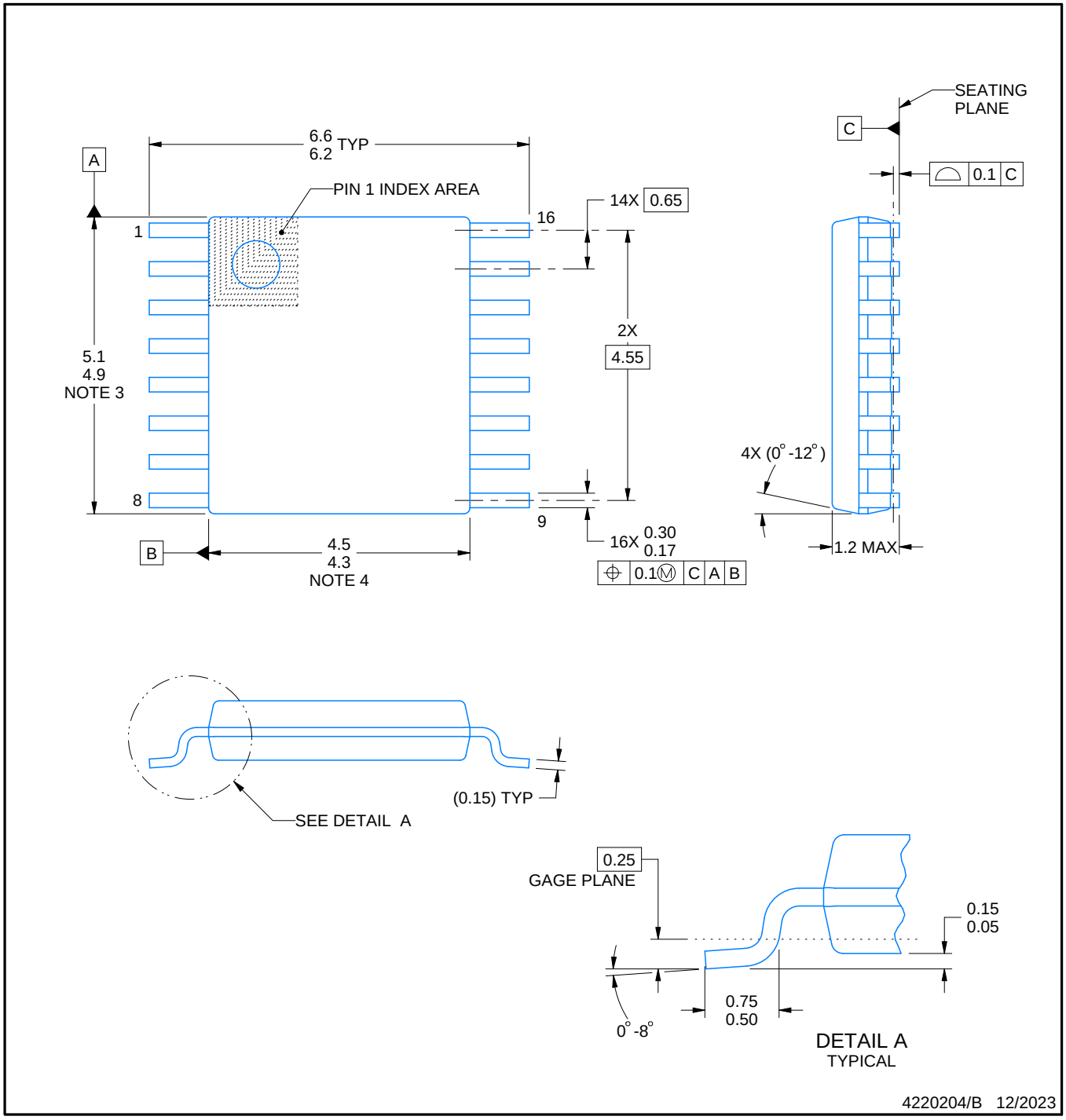
24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

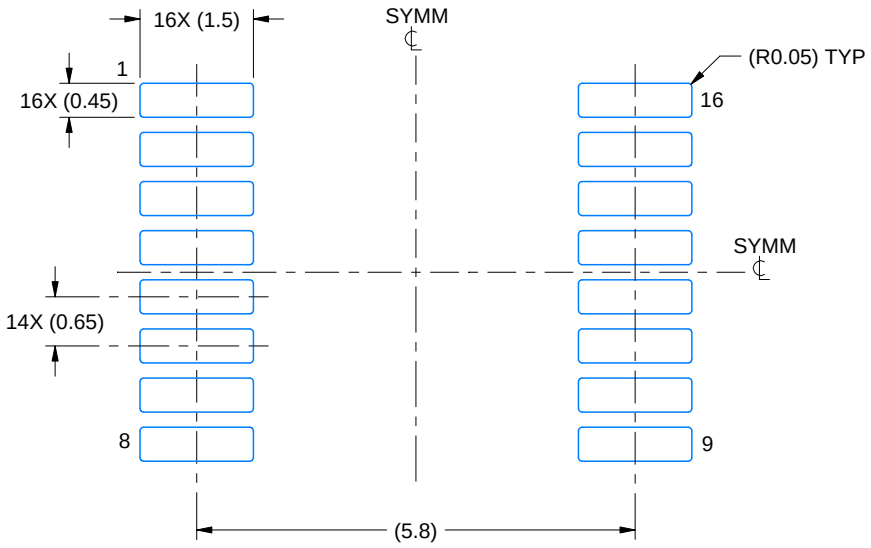
4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

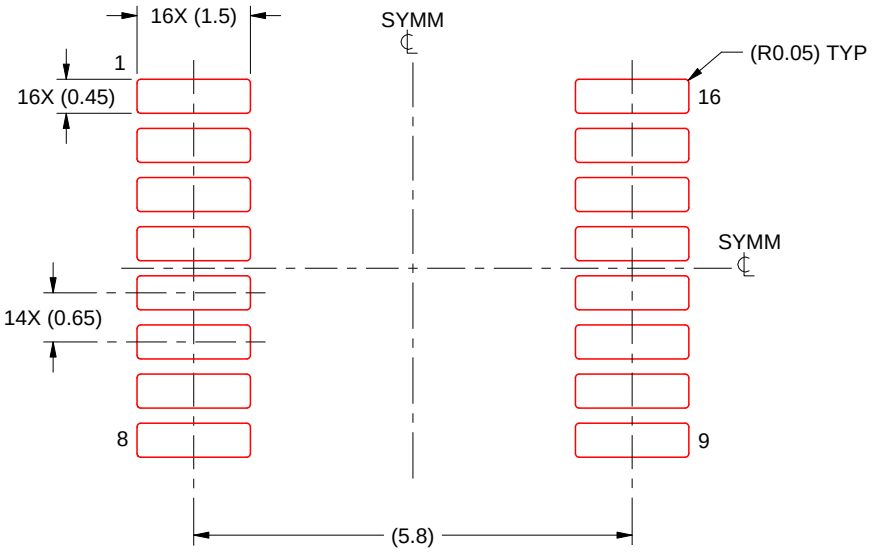
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

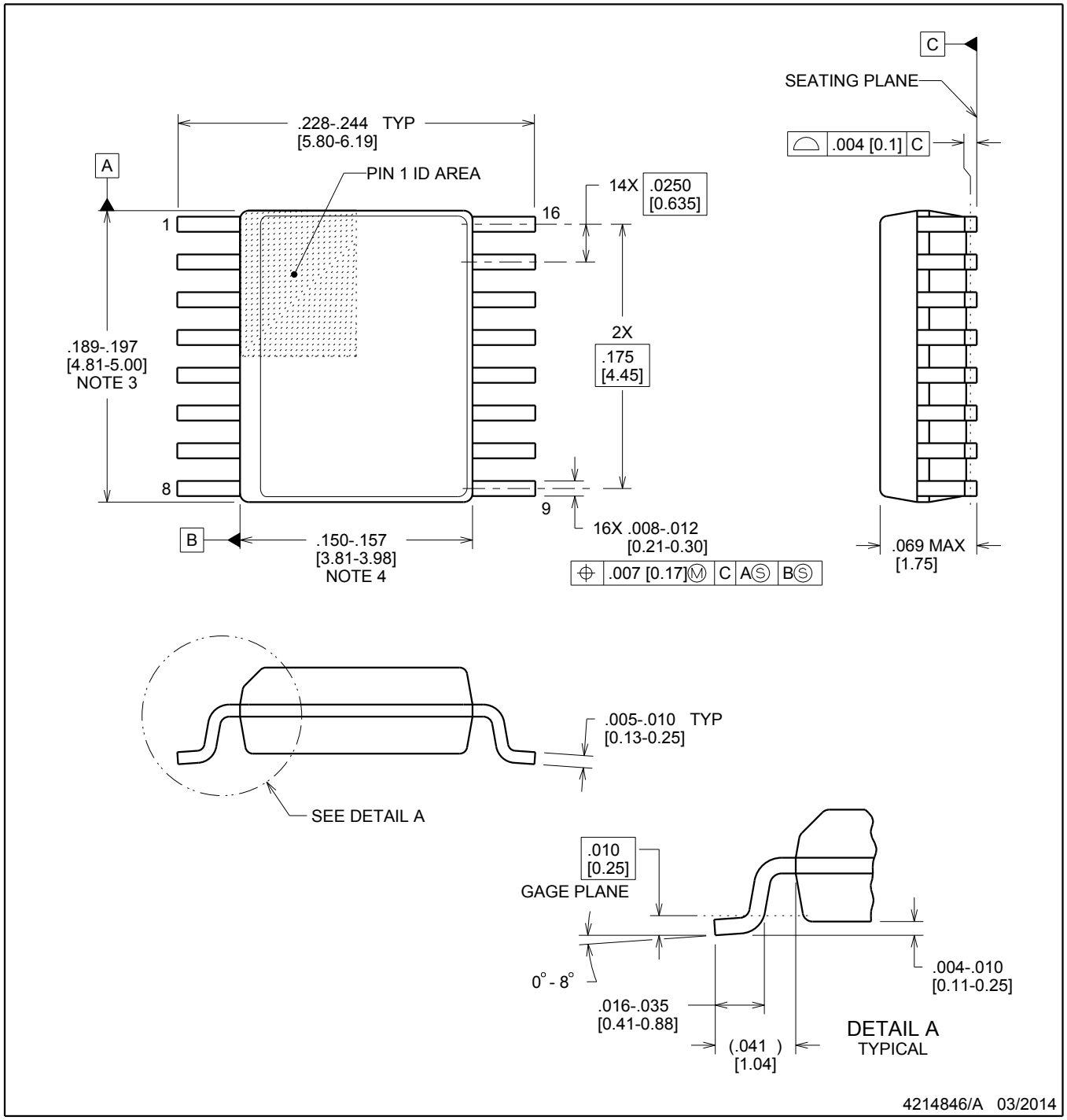


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

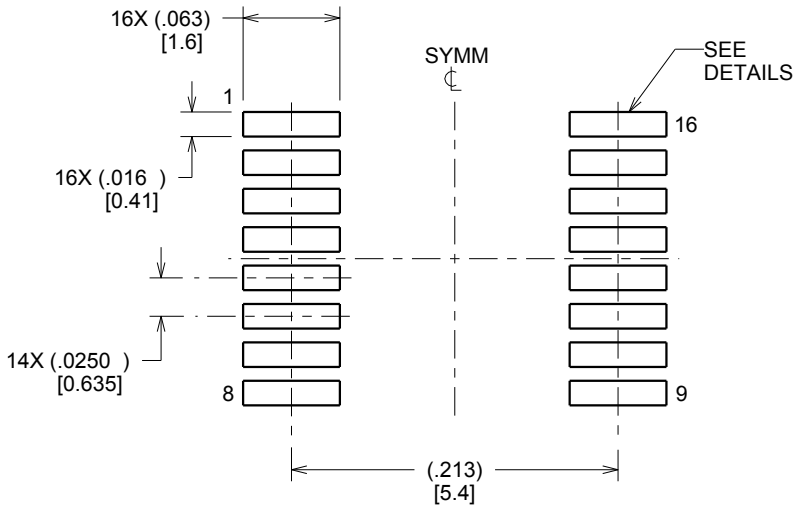
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

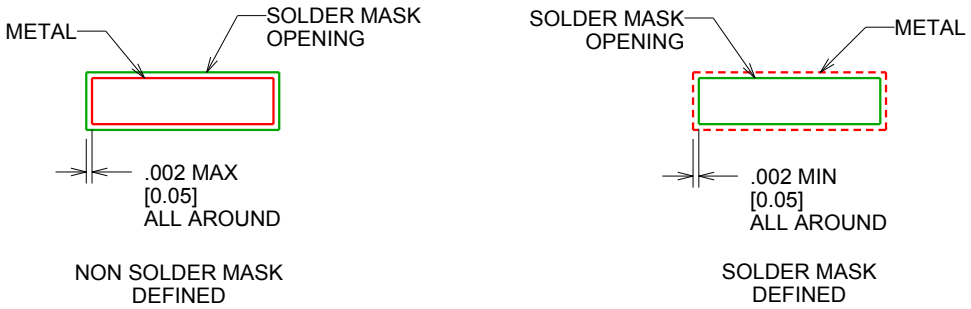


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

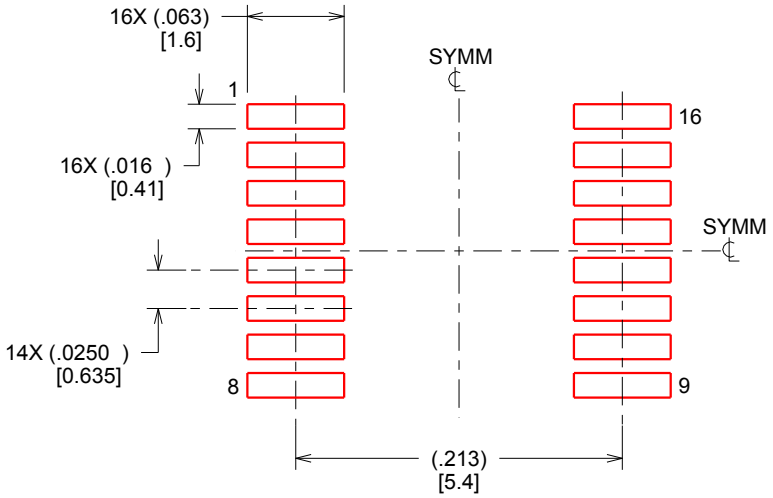


SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



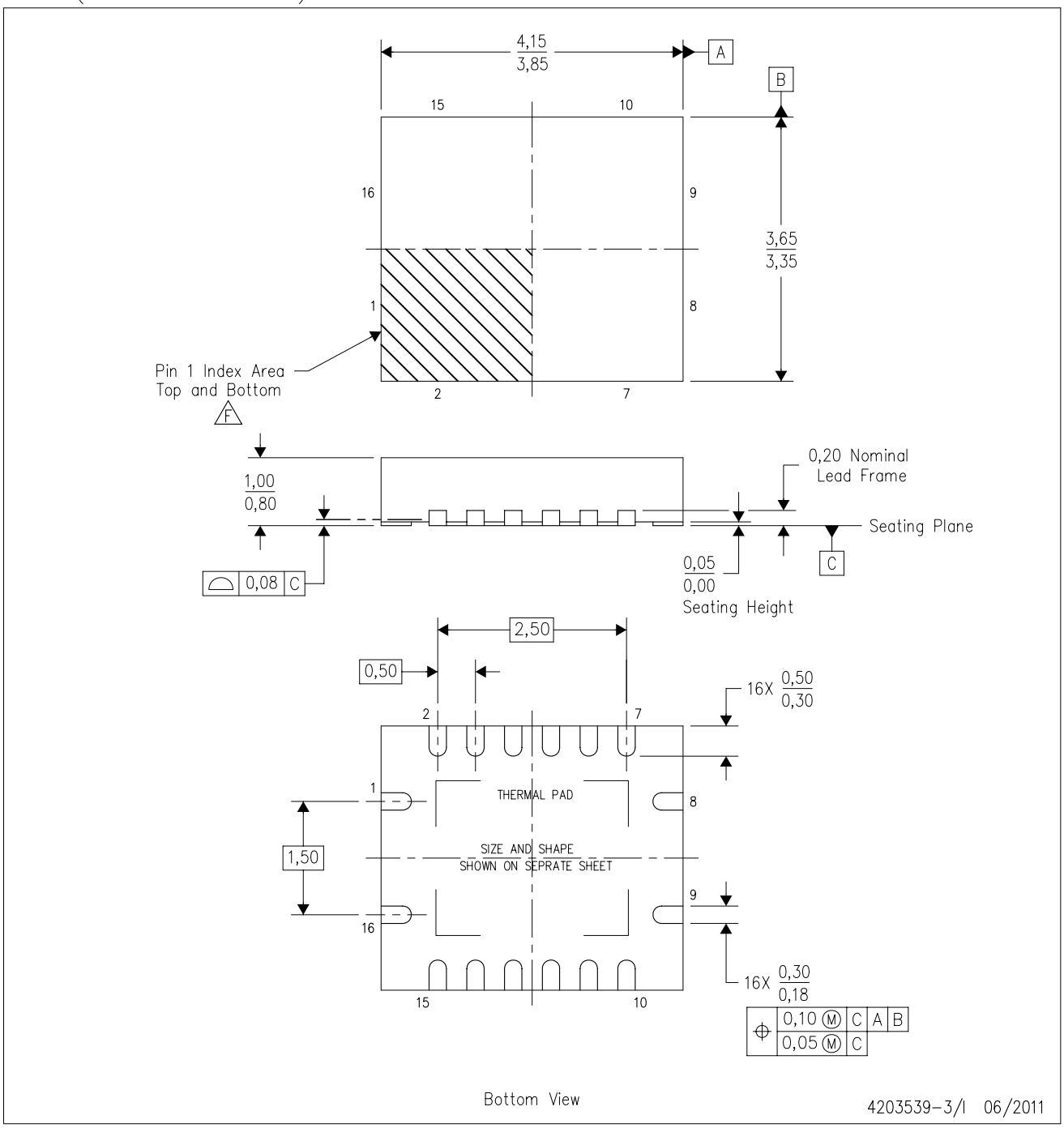
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RGY (R-PVQFN-N16) PLASTIC QUAD FLATPACK NO-LEAD



NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
- B. This drawing is subject to change without notice.
- C. QFN (Quad Flatpack No-Lead) package configuration.
- D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
- E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
- F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
- G. Package complies to JEDEC MO-241 variation BA.

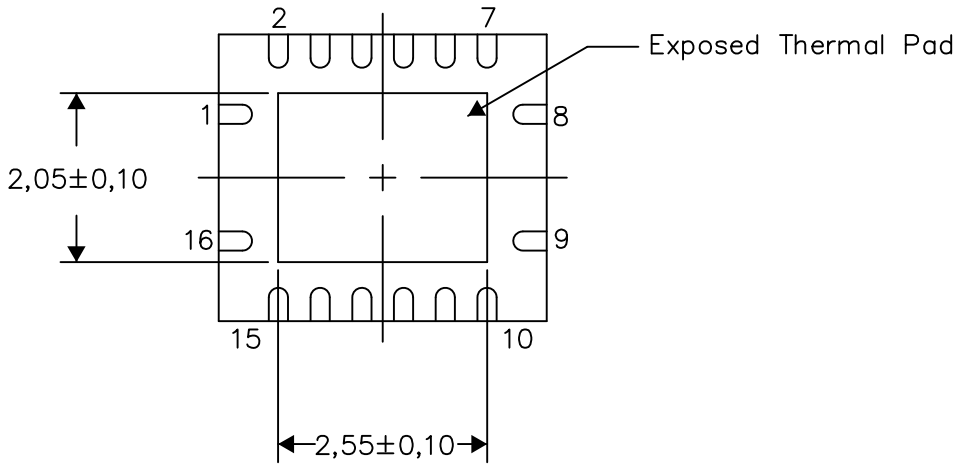
RGY (R–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



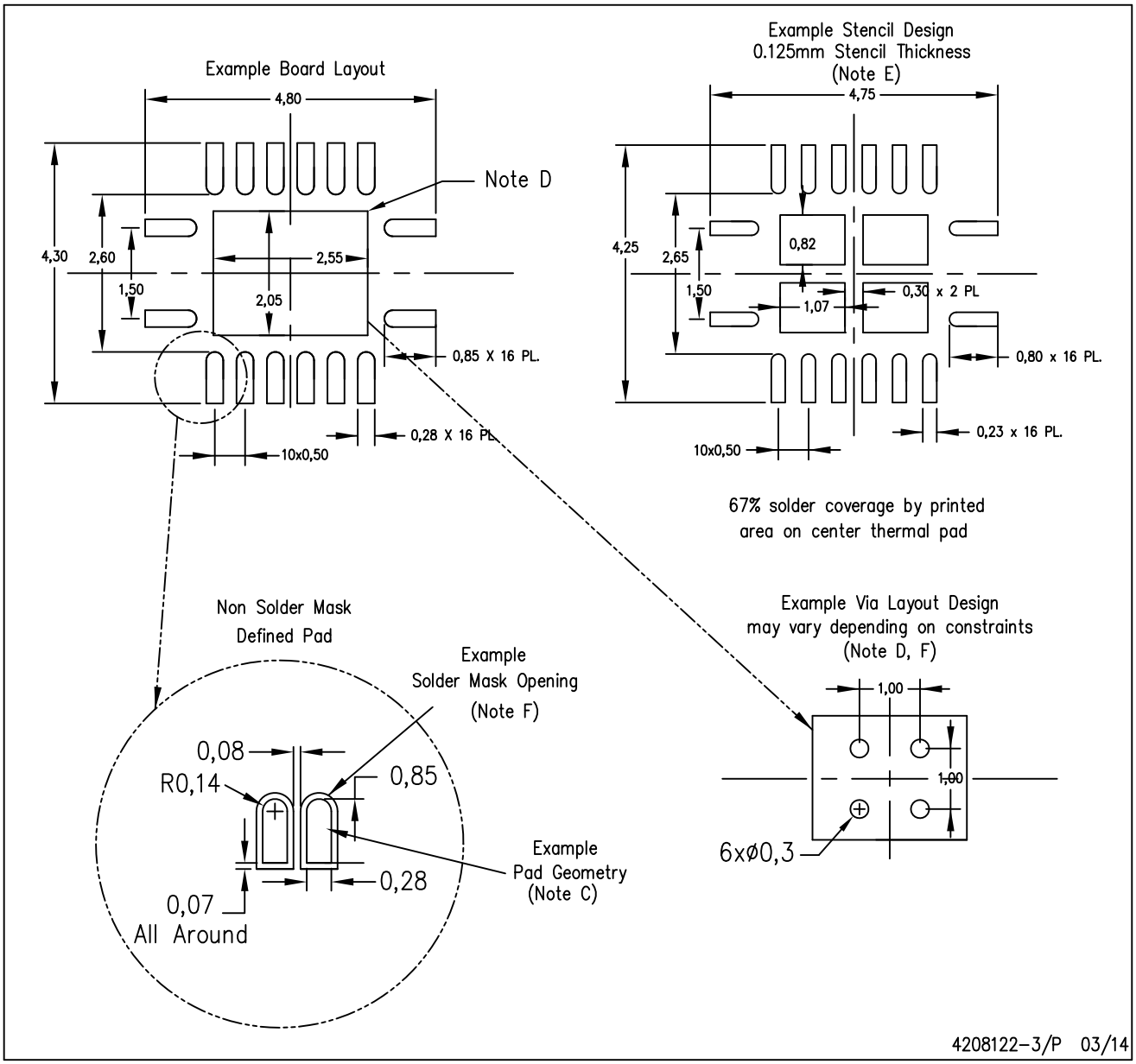
Bottom View

Exposed Thermal Pad Dimensions

4206353–3/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (R–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月