SN74CB3T3245 2.5V および 3.3V、低電圧、8 ビット FET バススイッチ、5V 許容のレベルシフタ搭載

1 特長

- 標準の 245 タイプのピン配置
- 出力電圧変換は V_{CC} に追従
- すべてのデータ I/O ポートで混合モード信号動作をサポート
  - 3.3V の V_{CC} で、5V 入力を 3.3V 出力にレベル シフト
  - 2.5V の V_{CC} で、5V / 3.3V の入力を 2.5V 出力にレベル シフト
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 伝播遅延がゼロに近い双方向データ フロー
- 低いオン抵抗 (r_{on}) 特性 (r_{on} = 5Ω、標準値)
- 低い入力および出力容量により負荷が最小化 ($C_{io(OFF)}$ = 5pF、標準値)
- データおよび制御入力にアンダーシュート クランプ ダイオードを搭載
- 低消費電力 (I_{CC} = 40µA、最大値)
- 2.3V～3.6V の範囲の V_{CC} で動作
- データ I/O は 0～5V の信号レベルに対応 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 制御入力は、TTL または 5V / 3.3V CMOS 出力で駆動可能
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 2000V (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)
- 低消費電力の携帯機器向けに設計

2 アプリケーション

- デジタル アプリケーションをサポート:
  - レベル変換
  - PCI インターフェイス
  - USB インターフェイス
  - メモリインターリーブ
  - バス絶縁

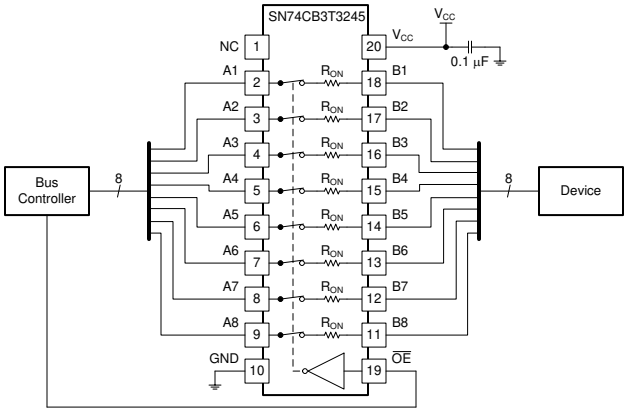
3 説明

SN74CB3T3245 デバイスは高速の TTL 互換 8 ビット FET バス スイッチで、オン抵抗(r_{on})が低く、伝播遅延が最小限です。このデバイスは、V_{CC} に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74CB3T3245DBQ	DBQ (SSOP、20)	8.65mm × 6mm
SN74CB3T3245DGV	DGV (TVSOP、20)	5.00mm × 6.4mm
SN74CB3T3245DW	DW (SOIC、20)	12.8mm × 10.3mm
SN74CB3T3245PW	PW (TSSOP、20)	6.5mm × 6.4mm
SN74CB3T3245DGS	DGS (VSSOP、20)	5.10mm × 4.9mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション機能図

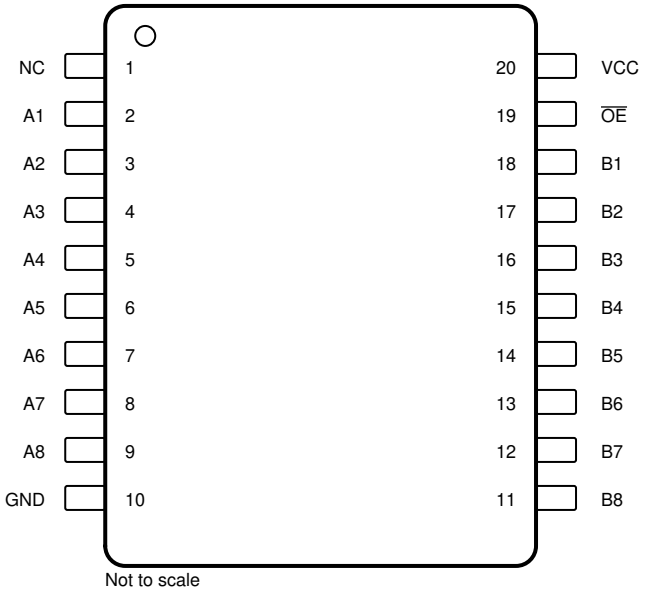
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 電気的特性 5
5.6 スイッチング特性、85°C 5
5.7 代表的特性 6
6 パラメータ測定情報 7
7 詳細説明 8
7.1 概要 8
7.2 機能ブロック図 8
7.3 機能説明 9
7.4 デバイスの機能モード 9
8 アプリケーションと実装 10
8.1 使用上の注意 10
8.2 代表的なアプリケーション 10
8.3 電源に関する推奨事項 11
8.4 レイアウト 11
9 デバイスおよびドキュメントのサポート 12
9.1 ドキュメントのサポート 12
9.2 ドキュメントの更新通知を受け取る方法 12
9.3 サポート・リソース 12
9.4 商標 12
9.5 静電気放電に関する注意事項 12
9.6 用語集 12
10 改訂履歴 13
11 メカニカル、パッケージ、および注文情報 13

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



NC — 内部接続なし

図 4-1. DGS、DBQ、DGV、DW、PW パッケージ 20 ピン VSSOP、SSOP、TVSOP、SOIC、TSSOP (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
番号	名称		
1	NC	—	内部接続なし
2	A1	I/O	スイッチ 1A 端子
3	A2	I/O	スイッチ 2A 端子
4	A3	I/O	スイッチ 3A 端子
5	A4	I/O	スイッチ 4A 端子
6	A5	I/O	スイッチ 5A 端子
7	A6	I/O	スイッチ 6A 端子
8	A7	I/O	スイッチ 7A 端子
9	A8	I/O	スイッチ 8A 端子
10	GND	—	グランド
11	B8	I/O	スイッチ 8 B 端子
12	B7	I/O	スイッチ 7 B 端子
13	B6	I/O	スイッチ 6 B 端子
14	B5	I/O	スイッチ 5 B 端子
15	B4	I/O	スイッチ 4 B 端子
16	B3	I/O	スイッチ 3 B 端子
17	B2	I/O	スイッチ 2 B 端子
18	B1	I/O	スイッチ 1 B 端子
19	$\overline{OE}$	I	出力イネーブル、アクティブ Low
20	V_{CC}	—	電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧 (2)		-0.5	7	V
V_{IN}	制御入力電圧(2) (3)		-0.5	7	V
$V_{I/O}$	スイッチ I/O 電圧(2) (3) (4)		-0.5	7	V
I_{IK}	制御入力クランプ電流	V_{IN} < 0		-50	mA
$I_{I/OK}$	I/O ポート クランプ電流	$V_{I/O}$ < 0		-50	mA
$I_{I/O}$	オン状態スイッチ電流(5)			±128	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。
(3) 入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。
(4) V_I および V_O は、$V_{I/O}$ の特定の条件を示すために使用されます。
(5) I_I および I_O は、$I_{I/O}$ の特定の条件を示すために使用されます。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7	5.5	V
		V_{CC} = 2.7V～3.6V	2	5.5	
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V	0	0.7	V
		V_{CC} = 2.7V～3.6V	0	0.8	
$V_{I/O}$	データ入出力電圧		0	5.5	V
T_A	外気温度での動作時		-40	85	°C

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーションノート『低速またはフローティング CMOS 入力の影響』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		SN74CB3T3245					単位
		DGS(VSSOP)	DBQ (SSOP)	DGV (TVSOP)	DW (SOIC)	PW (TSSOP)	
		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	127	102.4	123.7	58	112.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。SPRA953

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件		最小値	標準値 (2)	最大値	単位
V_{IK}		V_{CC} = 3V、I_I = -18mA				-1.2	V
V_{OH}		図 5-1 を参照					
I_{IN}	制御入力	V_{CC} = 3.6V、V_{IN} = 3.6V ～ 5.5V、または GND				±10	µA
I_I		V_{CC} = 3.6V、スイッチ ON、V_{IN} = V_{CC} または GND	V_I = V_{CC} – 0.7V ～ 5.5V			±20	µA
			V_I = 0.7V ～ V_{CC} – 0.7V			-40	
			V_I =0 ～ 0.7V			±5	
I_{OZ} (3)		V_{CC} = 3.6V、V_O = 0 ～ 5.5V、V_I = 0、スイッチ OFF、V_{IN} = V_{CC} または GND				±10	µA
I_{off}		V_{CC} = 0、V_O = 0 ～ 5.5V、V_I = 0、				10	µA
I_{CC}		V_{CC} = 3.6V、$I_{I/O}$ = 0、スイッチ ON または OFF、V_{IN} = V_{CC} または GND	V_I = V_{CC} または GND			40	µA
			V_I = 5.5V			40	
ΔI_{CC} (4)	制御入力	V_{CC} = 3V ～ 3.6V、1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND				300	µA
C_{in}	制御入力	V_{CC} = 3.3V、V_{IN} = V_{CC} または GND			4		pF
$C_{io(OFF)}$		V_{CC} = 3.3V、$V_{I/O}$ = 5.5V、3.3V、または GND、スイッチ OFF、V_{IN} = V_{CC} または GND			5		pF
$C_{io(ON)}$		V_{CC} = 3.3V、スイッチ ON、V_{IN} = V_{CC} または GND	$V_{I/O}$ = 5.5 V または 3.3V		5		pF
			$V_{I/O}$ = GND		13		
r_{on} (5)		V_{CC} = 2.3V、V_{CC} = 2.5V、V_I = 0 での標準値	I_O = 24mA		5	8.5	Ω
			I_O = 16mA		5	8.5	
		V_{CC} = 3V、V_I = 0	I_O = 64mA		5	7	
			I_O = 32mA		5	7	

(1) V_{IN} と I_{IN} は、制御入力を指します。V_I、V_O、I_I、および I_O はデータ ピンを指します。
(2) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(3) I/O ポートの場合、パラメータ I_{OZ} には入力リーク電流が含まれます。
(4) これは、V_{CC} または GND ではなく、規定の TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。
(5) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、2 つの端子 (A または B) のうち、電圧が低い方によって決まります。

5.6 スイッチング特性、85°C

自由気流での動作温度範囲内 (特に記述のない限り)

試験条件付きパラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 1GΩ、C_L = 30pF、V_{load} = 0V。スイッチ抵抗* CL による Tpd の計算値	A または B	B または A	2.5V ± 0.2V			0.15	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性、85°C (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

試験条件付きパラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 1GΩ、C_L = 50pF、V_{load} = 0V。スイッチ抵抗* CL による Tpd の計算値	A または B	B または A	3.3V ± 0.3V			0.25	ns
t_{en}	ZL:R_L = 250Ω、C_L = 30pF、V_{load} = VCC、ZH:RL = 500Ω、CL = 30pF、Vload = GND、入力には 50Ω 終端あり	$\overline{OE}$	A または B	2.5V ± 0.2V			11.7	ns
t_{en}	ZL:R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC} ZH:RL = 500Ω、CL = 50pF、Vload = GND、入力には 50Ω 終端あり	$\overline{OE}$	A または B	3.3V ± 0.3V			8	ns
t_{dis}	LZ:R_L = 250Ω、C_L = 30pF、V_{load} = V_{CC}、Vt = 0.15V; HZ:RL = 500Ω、CL = 30pF、Vload = GND、Vt = 0.15V、入力には 50Ω 終端あり	$\overline{OE}$	A または B	2.5V ± 0.2V	1		8	ns
t_{dis}	LZ:R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}、Vt = 0.3V; HZ:RL = 500Ω、CL = 50pF、Vload = GND、Vt = 0.3V、入力には 50Ω 終端あり	$\overline{OE}$	A または B	3.3V ± 0.3V	1		8.8	ns

5.7 代表的特性

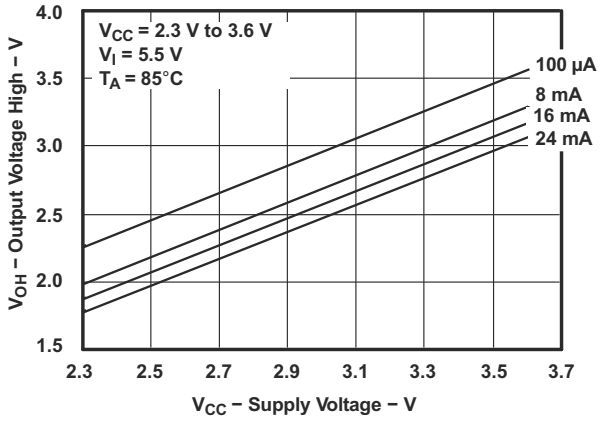


図 5-1. V_{OH} と V_{CC} との関係

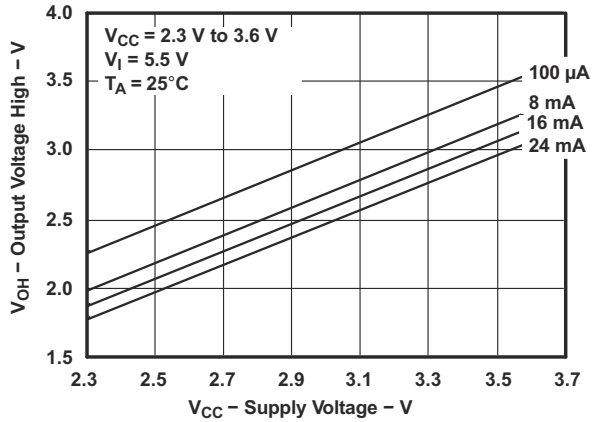


図 5-2. V_{OH} と V_{CC} との関係

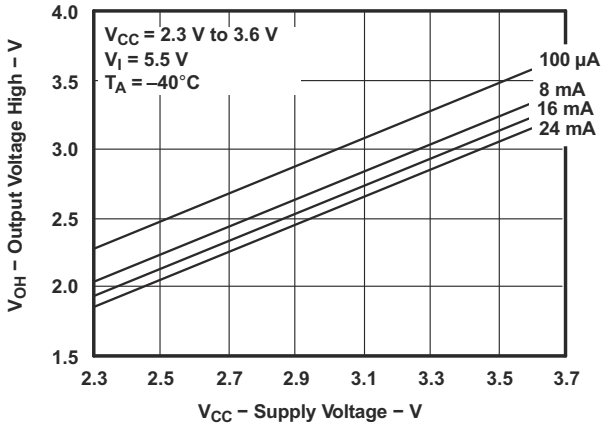
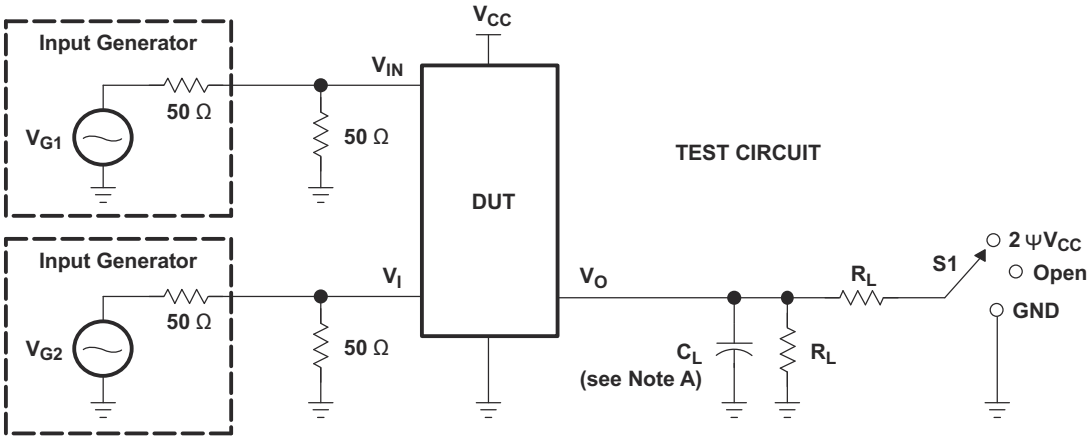


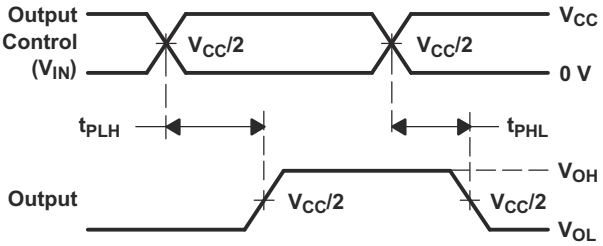
図 5-3. V_{OH} と V_{CC} との関係

Copyright © 2026 Texas Instruments Incorporated

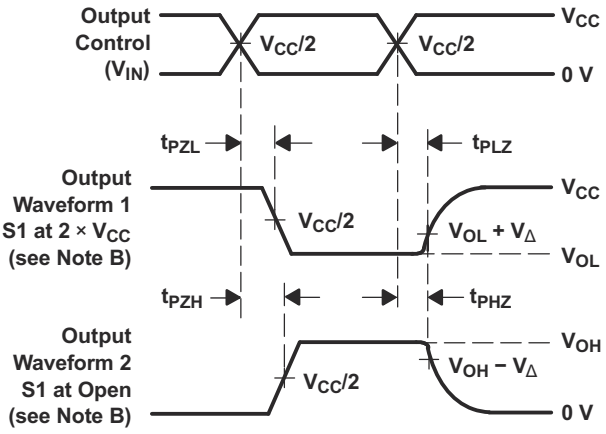
6 パラメータ測定情報



TEST	V_{CC}	S1	R_L	V_I	C_L	V_Δ
$t_{pd(s)}$	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V or GND 5.5 V or GND	30 pF 50 pF	
t_{PLZ}/t_{PZL}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	2 × V_{CC} 2 × V_{CC}	500 Ω 500 Ω	GND GND	30 pF 50 pF	0.15 V 0.3 V
t_{PHZ}/t_{PZH}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V 5.5 V	30 pF 50 pF	0.15 V 0.3 V



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES ($t_{pd(s)}$)



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as $t_{pd(s)}$. The tpd propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
H. All parameters and waveforms are not applicable to all devices.

図 6-1. テスト回路と電圧波形

7 詳細説明

7.1 概要

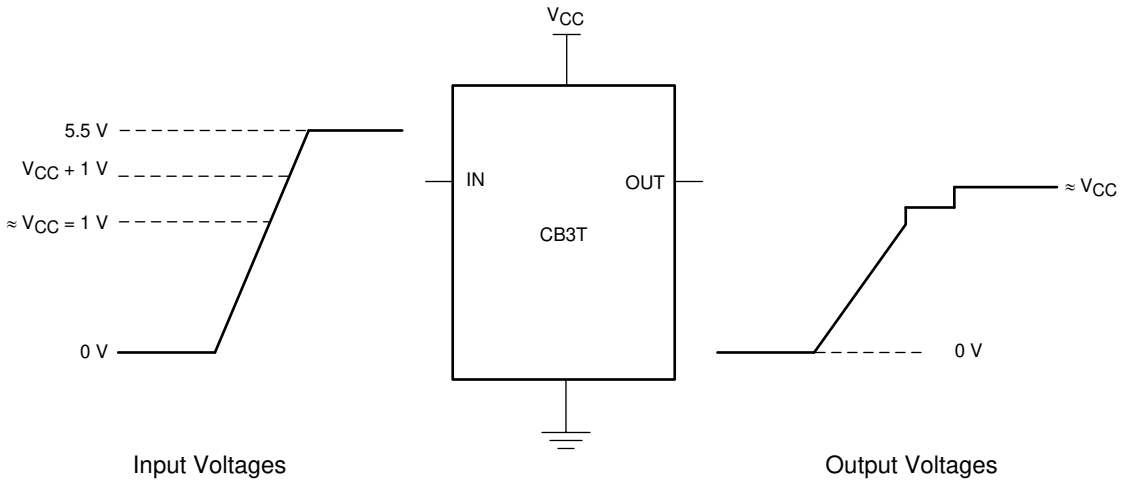
SN74CB3T3245 デバイスは高速の TTL 互換 FET バス スイッチで、オン抵抗 (r_{on}) が低く、伝播遅延が最小限です。このデバイスは、V_{CC} に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3245 デバイスは、5V TTL、3.3V LVTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチング レベルを使用するシステムに対応します (図 7-1 を参照)。

SN74CB3T3245 デバイスは、単一の出力イネーブル ($\overline{OE}$) 入力と標準的な '245 ピン配置を備えた 8 ビット バス スイッチです。$\overline{OE}$ が LOW のとき、8 ビット バス スイッチはオンで、A ポートは B ポートに接続され、ポート間で双方向のデータ フローが可能になります。$\overline{OE}$ を HIGH にすると、8 ビット バス スイッチはオフになり、A と B のポート間は高インピーダンス状態になります。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図



高入力電圧 (V_{IH}) レベルが V_{CC} + 1V 以上、5.5V 以下の場合、高出力電圧 (V_{OH}) レベルは V_{CC} 電圧レベルとほぼ同じ値になります。

図 7-1. 標準的な DC 電圧変換特性

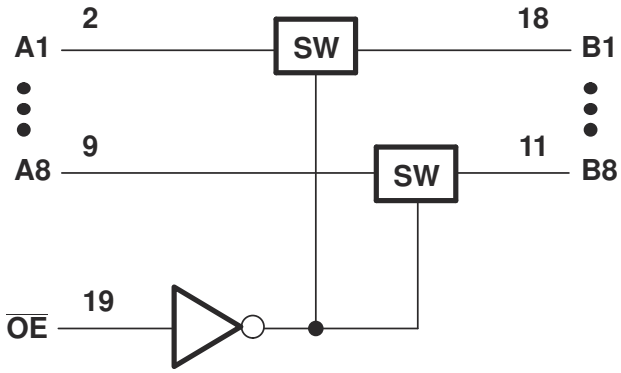
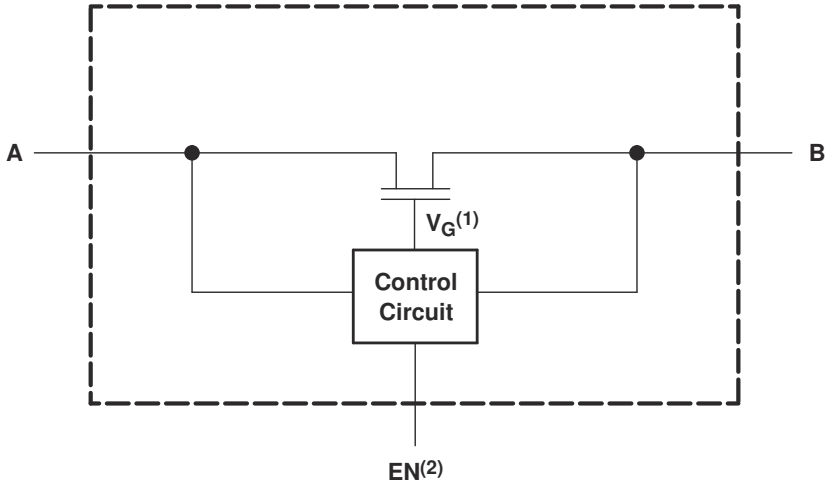


図 7-2. 論理図 (正論理)

Copyright © 2026 Texas Instruments Incorporated



1) Gate Voltage (V_G) is approximately equal to V_{CC} + V_T when the switch is ON and V_I > (V_{CC} + V_T).
2) EN is the internal enable signal applied to the switch.

図 7-3. 概略回路図、各 FET スイッチ (SW)

7.3 機能説明

SN74CB3T3245 デバイスは、標準の '245 タイプのピン配置を使用しています。出力電圧は V_{CC} に追従するため、降圧変換が簡単です。このデバイスは、低消費電力の携帯機器に最適です。

すべてのデータ I/O ポートで混合モード信号動作がサポートされています。過電圧耐性入力のため、3.3V V_{CC} での 5V 入力から 3.3V 出力への降圧シフトおよび 2.5V V_{CC} での 5V/3.3V 入力から 2.5V 出力への降圧シフトが可能です。

本部品は部分的なパワー ダウン システムに適しています。I/O は、デバイスの電源オンまたはオフ時に 5V 許容で、I_{off} により部分的なパワー ダウン モードでの動作がサポートされます。

- SN74CB3T3245 は、伝播遅延がほぼゼロの双方向データ フローを備えています。
- SN74CB3T3245 は、低いオン抵抗 (r_{on}) 特性 (r_{on} = 5Ω、標準値) を備えています。
- SN74CB3T3245 は、入力および出力キャパシタンスが小さく、負荷が最小化されています ($C_{io\ (OFF)}$ = 5pF、標準値)。
- データおよび制御入力にアンダーシュート クランプ ダイオードを搭載しています。
- SN74CB3T3245 は低消費電力 (I_{CC} = 40µA、最大値) です。
- SN74CB3T3245 の V_{CC} 動作範囲は 2.3V ～ 3.6V です。
- データ I/O は 0 ～ 5V の信号レベル (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V) に対応しています。
- 制御入力は、TTL または 5V / 3.3V CMOS 出力で駆動可能です。

7.4 デバイスの機能モード

表 7-1 に、SN74CB3T3245 の機能モードを示します。

表 7-1. 機能表

入力 $\overline{OE}$	入出力 A	機能
L	B	A ポート = B ポート
H	Z	切断

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このアプリケーションは、特に 5V バスを 3.3V デバイスに接続するためのものです。この特定のアプリケーションの通信が単方向 (バス コントローラからデバイス) であると仮定します。

8.2 代表的なアプリケーション

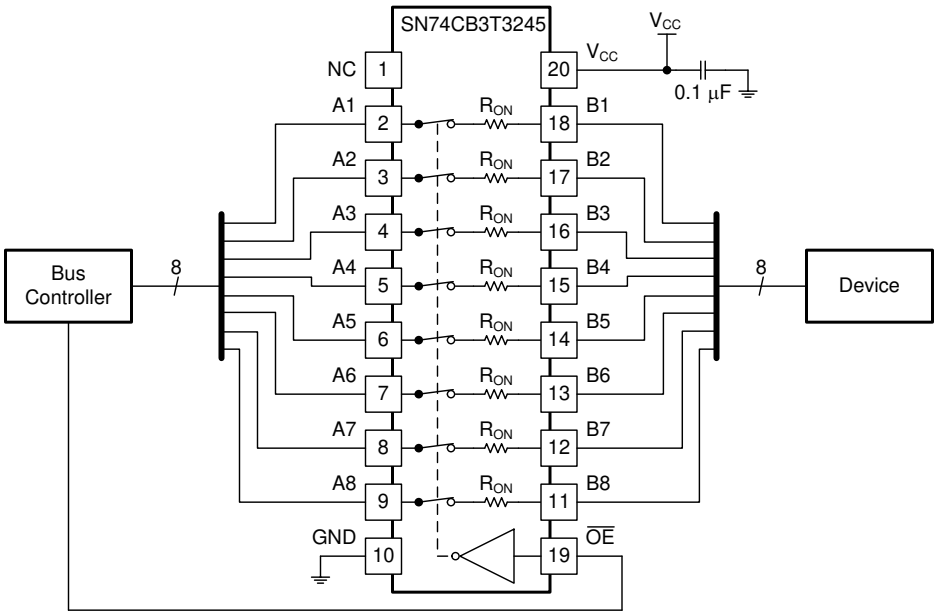


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れることがあるため、バスが競合しないように注意します。

この設計は降圧変換電圧用であるため、プルアップ抵抗は不要です。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - High レベルと Low レベルを規定。「推奨動作条件」の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、任意の有効な V_{CC} において最大 7V に対応できます。
2. 推奨出力条件
   - 負荷電流は、チャネルごとに 128mA を超えてはなりません。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

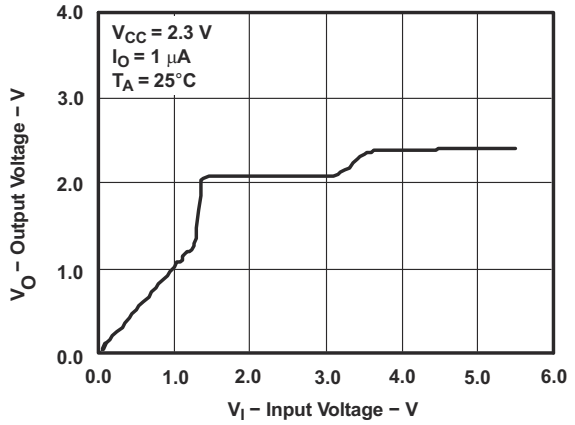


図 8-2. データ出力電圧とデータ入力電圧との関係

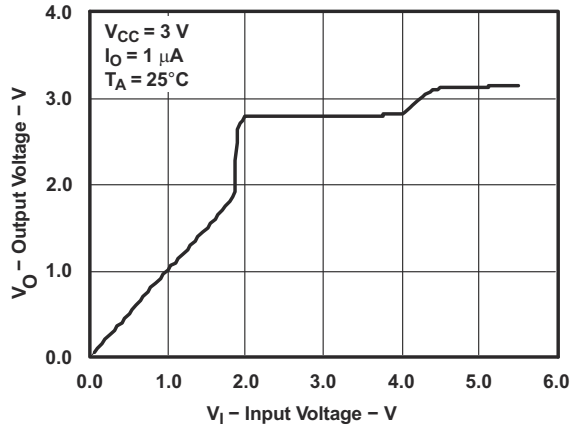


図 8-3. データ出力電圧とデータ入力電圧との関係

8.3 電源に関する推奨事項

電源には、「*推奨動作条件*」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。セクション 5.3

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。TI では、単電源のデバイスには、0.1µF のバイパス コンデンサを推奨しています。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されるため、TI では各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るために、バイパス コンデンサは電源端子の近くに取り付けます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-4 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

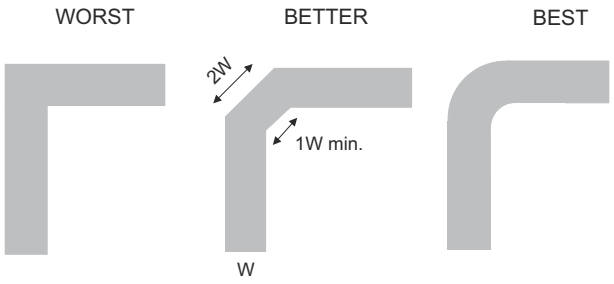


図 8-4. パターン例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2025) to Revision E (May 2026) **Page**

- OE を $\overline{OE}$ に更新 3
- OE を $\overline{OE}$ に更新 5

Changes from Revision C (May 2018) to Revision D (May 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- ドキュメント全体を通して DGS パッケージを追加 1
- 「*スイッチング特性*」表の仕様を更新 4
- 「熱に関する情報」表に最新情報と新しいパッケージを追加 4

Changes from Revision B (June 2015) to Revision C (May 2018) **Page**

- ピン出力の画像の外観を変更 3
- I_O = 1mA を次のように変更：I_O = 1µA (図 8-2 および 図 8-3) 11

Changes from Revision A (August 2012) to Revision B (June 2015) **Page**

- *「アプリケーション」セクション、「製品情報」表、「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加* 1
- 「*注文情報*」表を削除。 1

Changes from Revision * (March 2005) to Revision A (August 2012) **Page**

- 図 1 のグラフィック ノートと画像を更新。 8

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3T3245DBQR	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQR.A	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQR.B	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4.A	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4.B	Active	Production	SSOP (DBQ) | 20	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	3OJS
SN74CB3T3245DGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVR.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVR.B	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4.B	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DW	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DW.B	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWG4	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWR.B	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	KS245
SN74CB3T3245PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

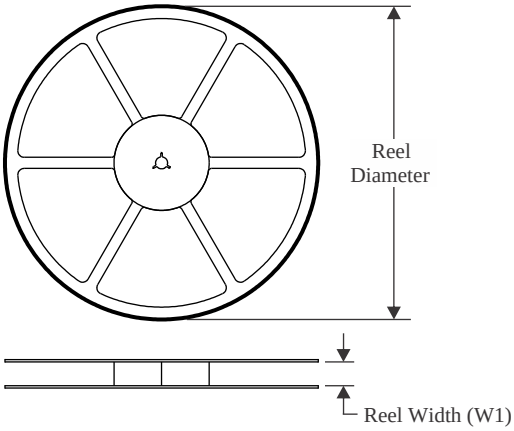
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

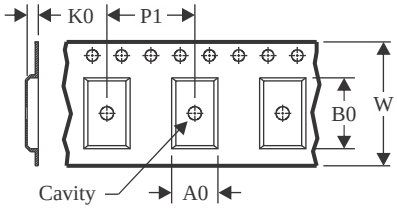
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

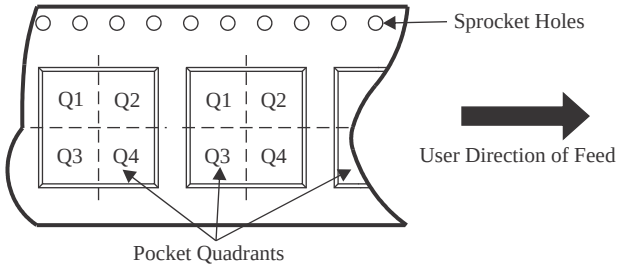


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

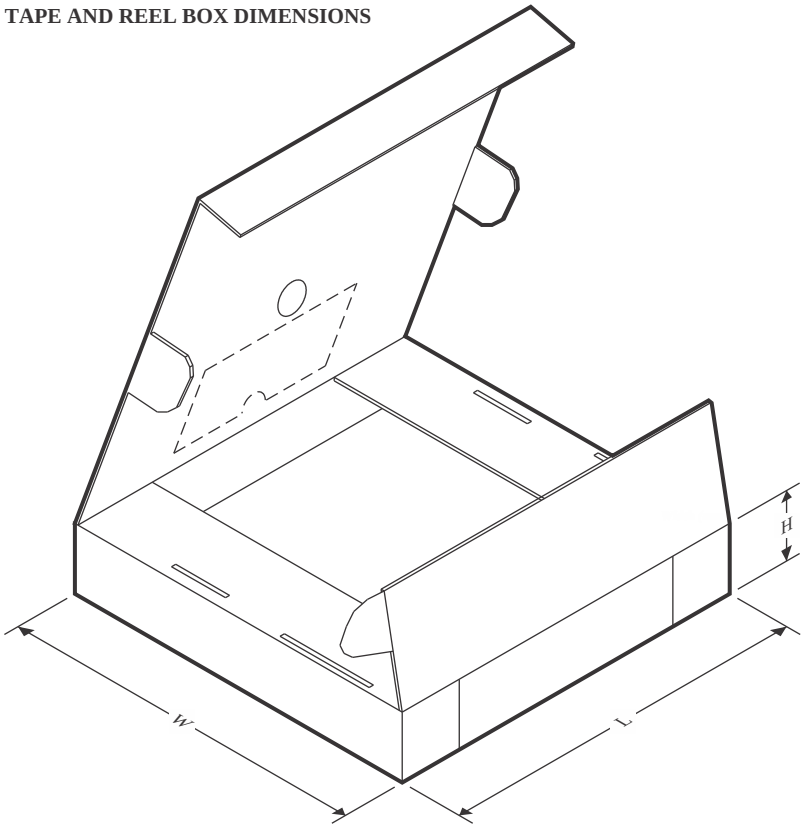
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3245DBQR	SSOP	DBQ	20	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CB3T3245DBQRG4	SSOP	DBQ	20	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CB3T3245DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74CB3T3245DGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3T3245DGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3T3245DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74CB3T3245PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74CB3T3245PWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

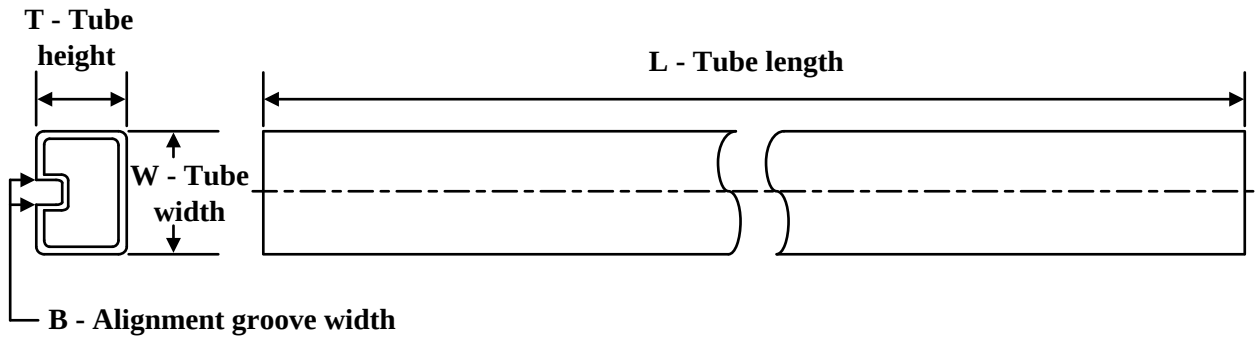
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3245DBQR	SSOP	DBQ	20	2500	353.0	353.0	32.0
SN74CB3T3245DBQRG4	SSOP	DBQ	20	2500	353.0	353.0	32.0
SN74CB3T3245DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74CB3T3245DGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74CB3T3245DGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74CB3T3245DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74CB3T3245PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74CB3T3245PWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

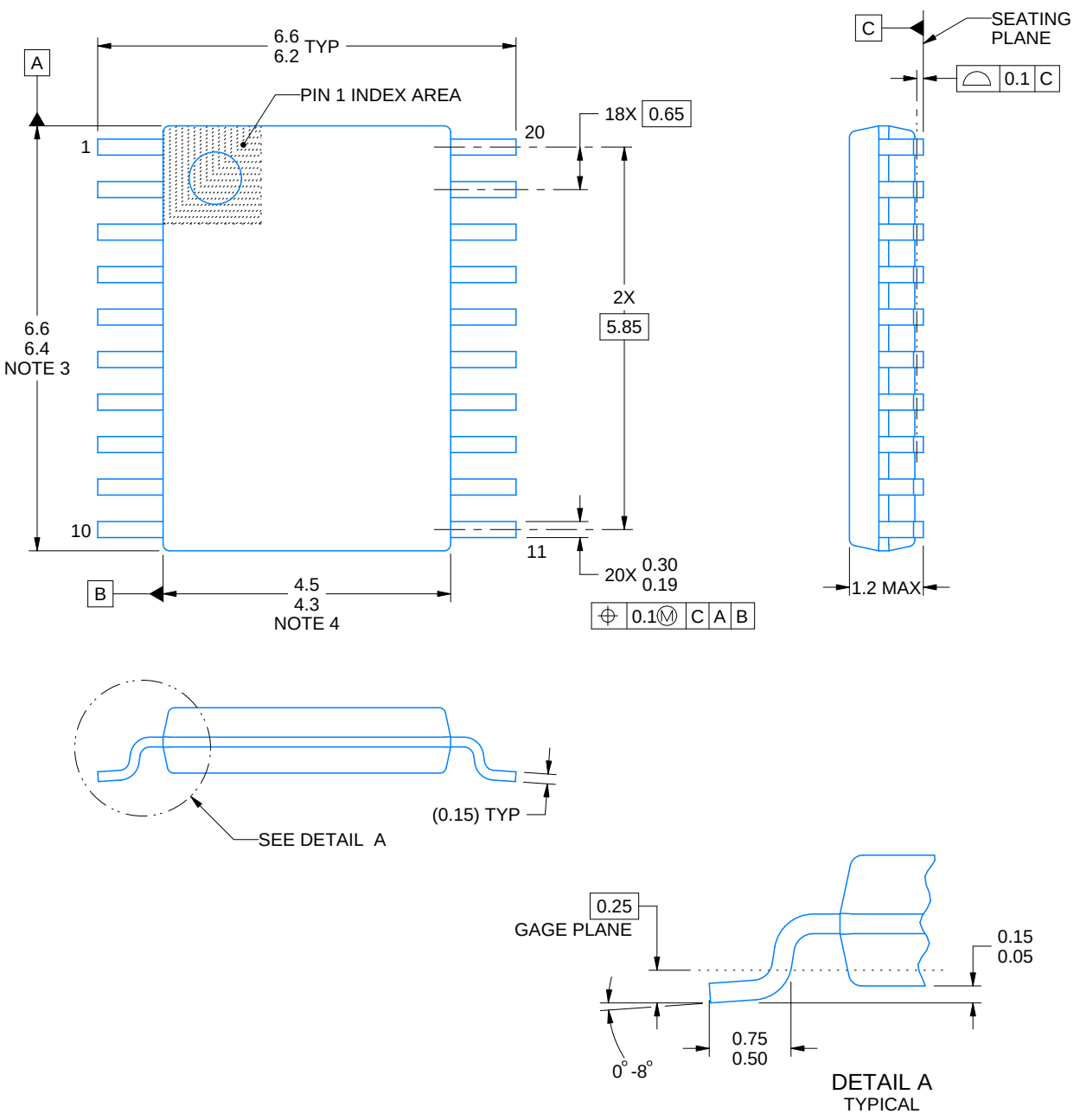
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74CB3T3245DW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CB3T3245DW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CB3T3245DWG4	DW	SOIC	20	25	507	12.83	5080	6.6

PACKAGE OUTLINE

PW0020A

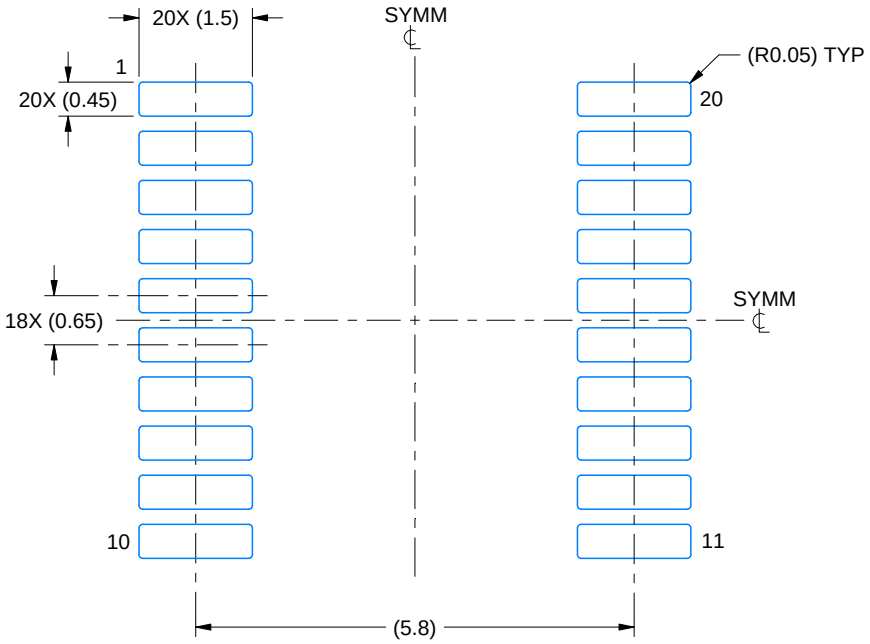
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

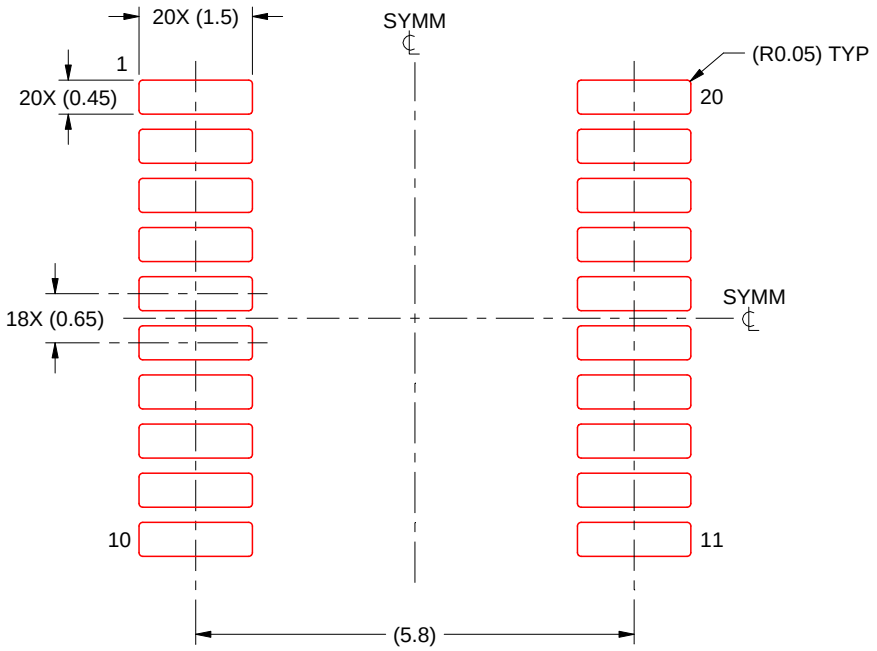


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

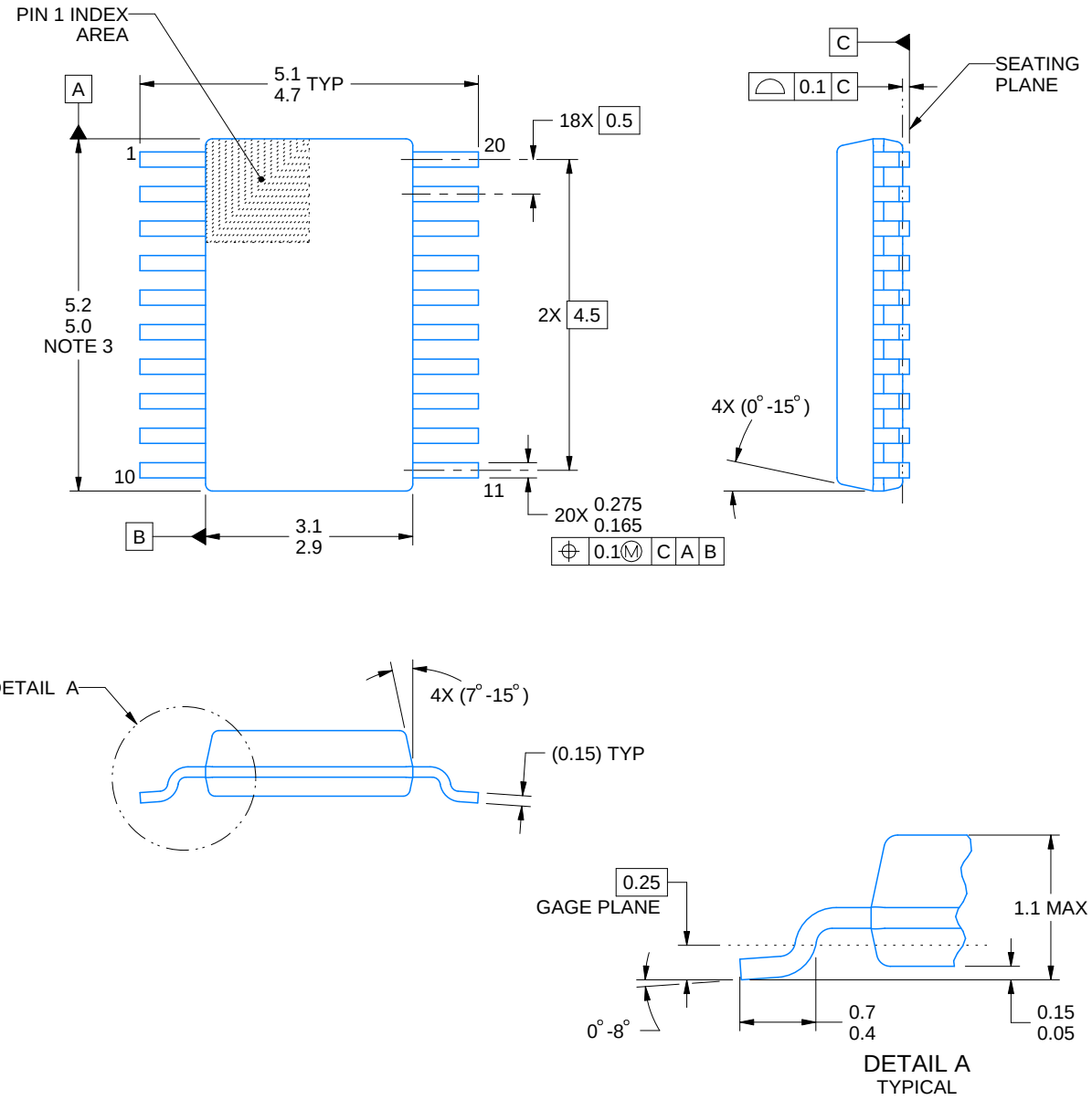
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

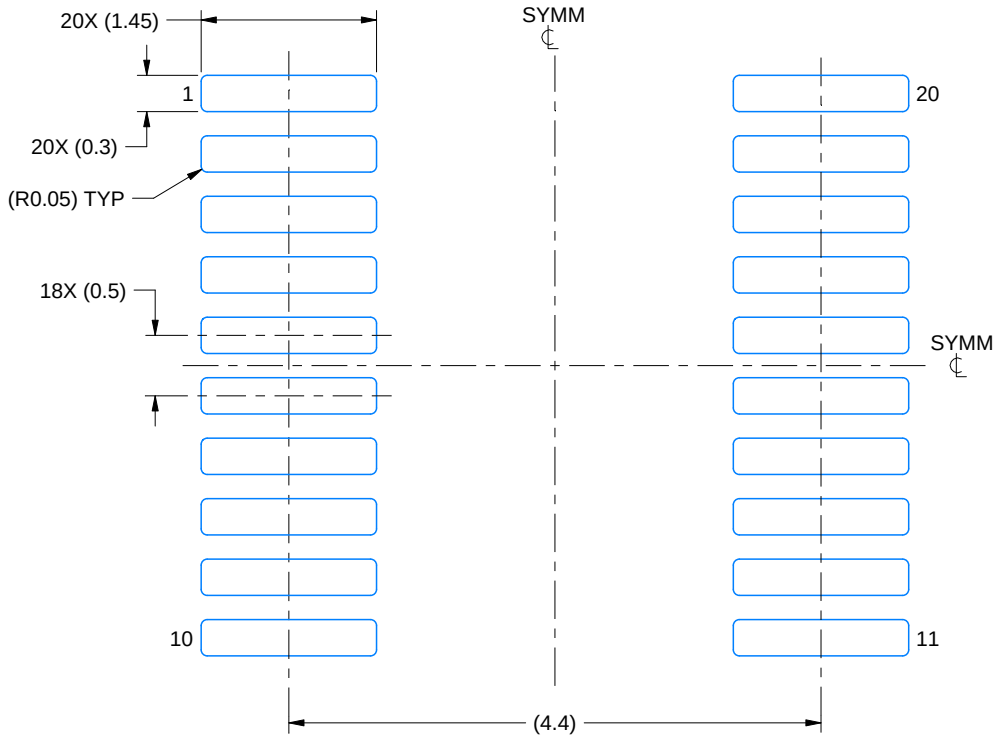
SMALL OUTLINE PACKAGE



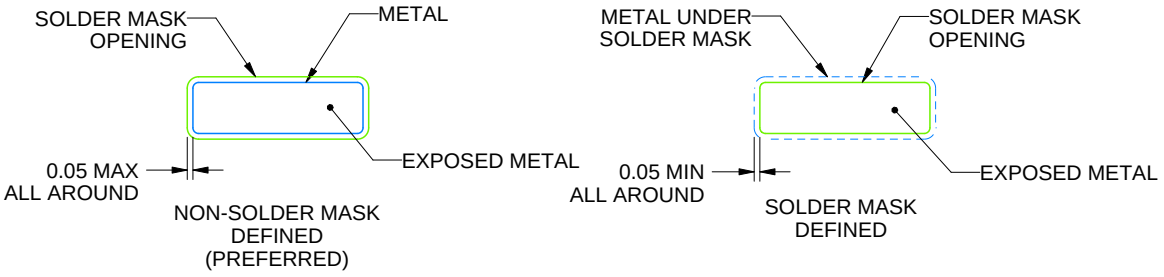
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

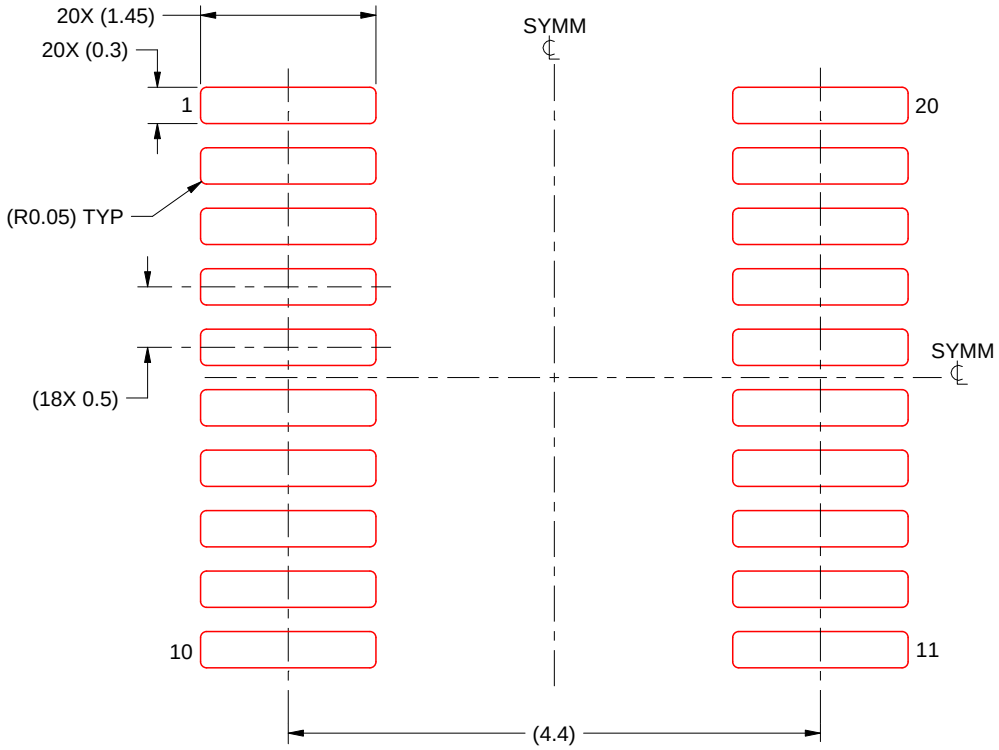


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



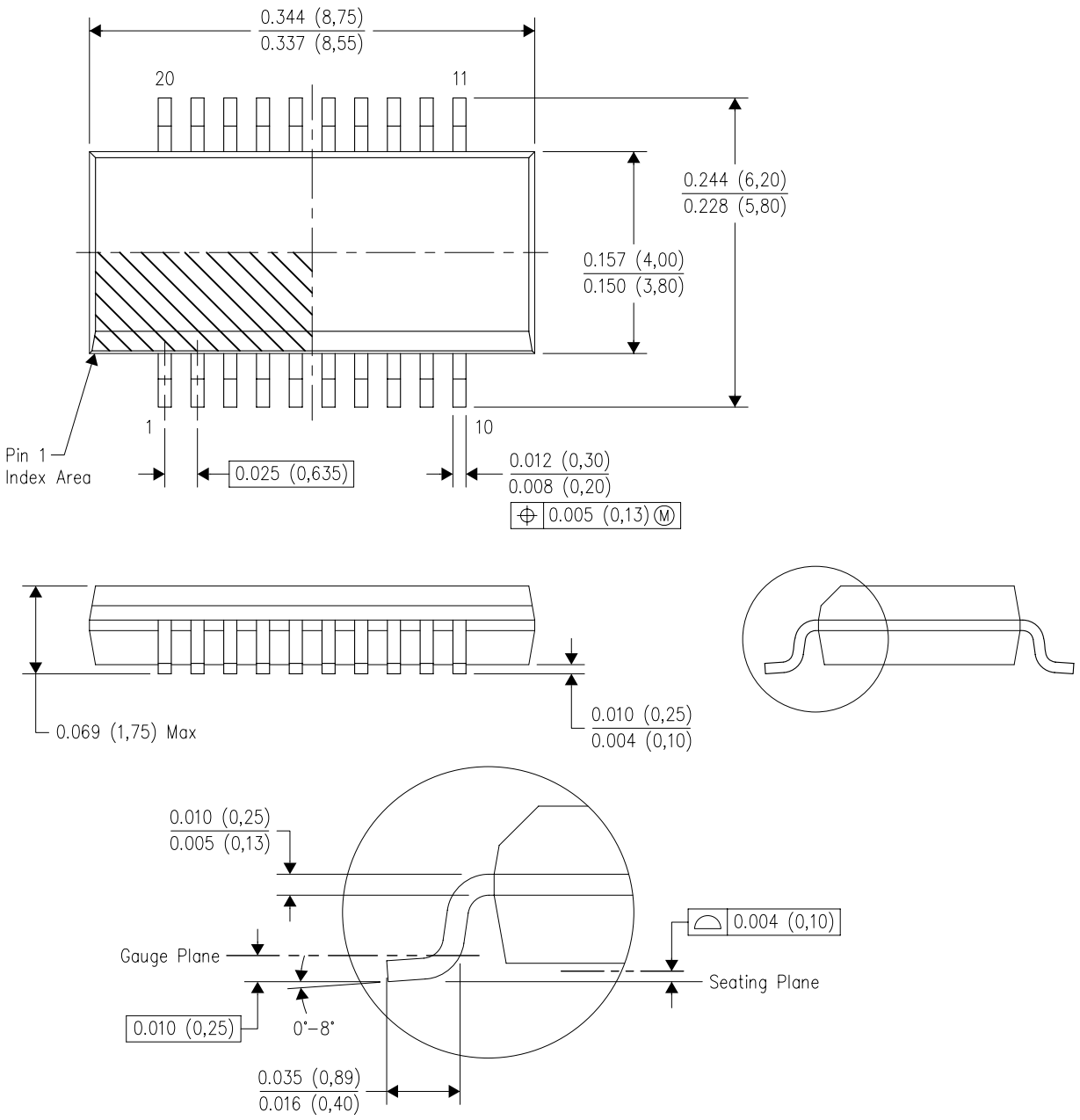
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

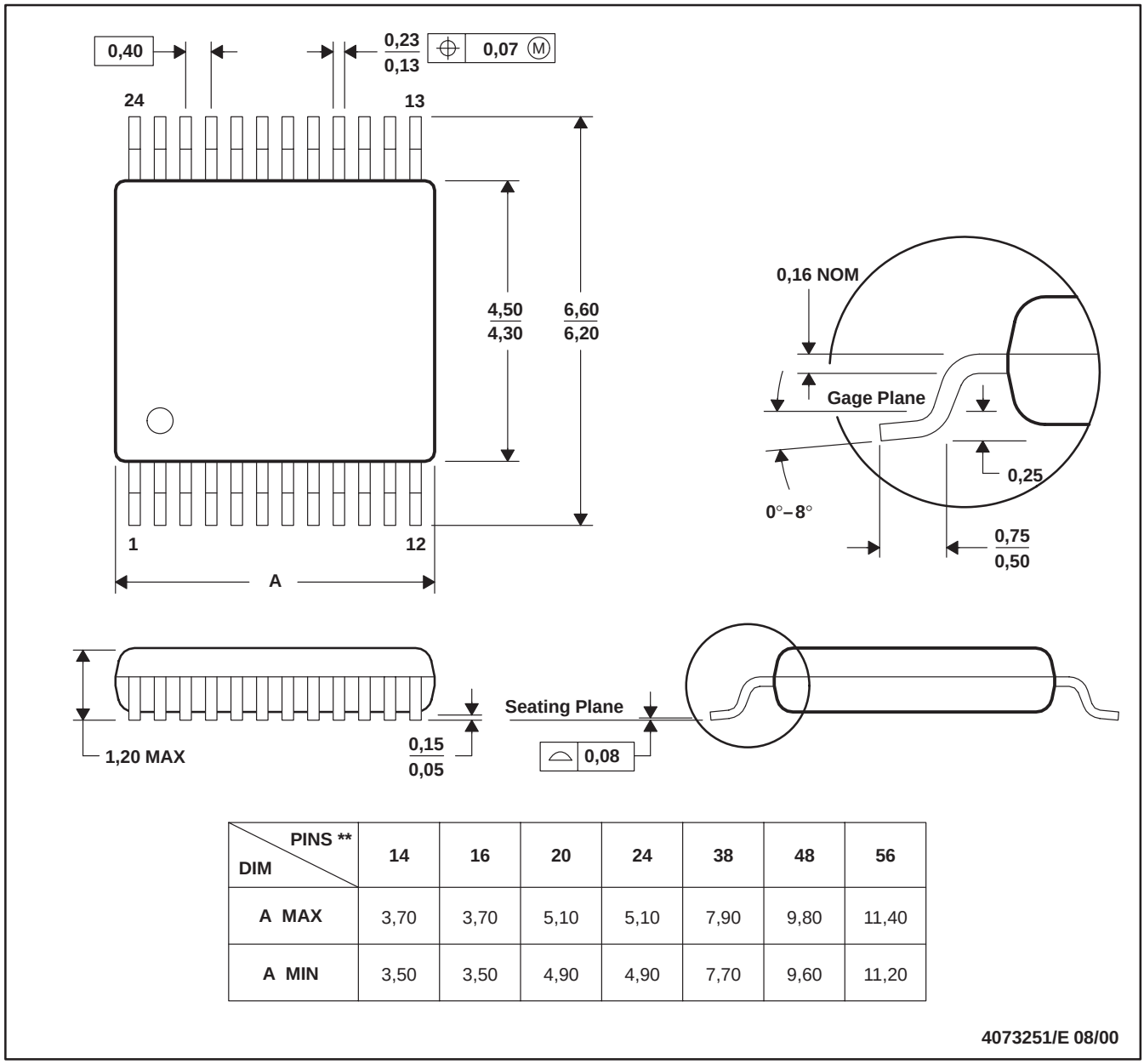
DBQ (R–PDSO–G20) PLASTIC SMALL–OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
D. Falls within JEDEC MO–137 variation AD.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

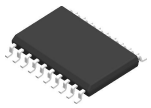
24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

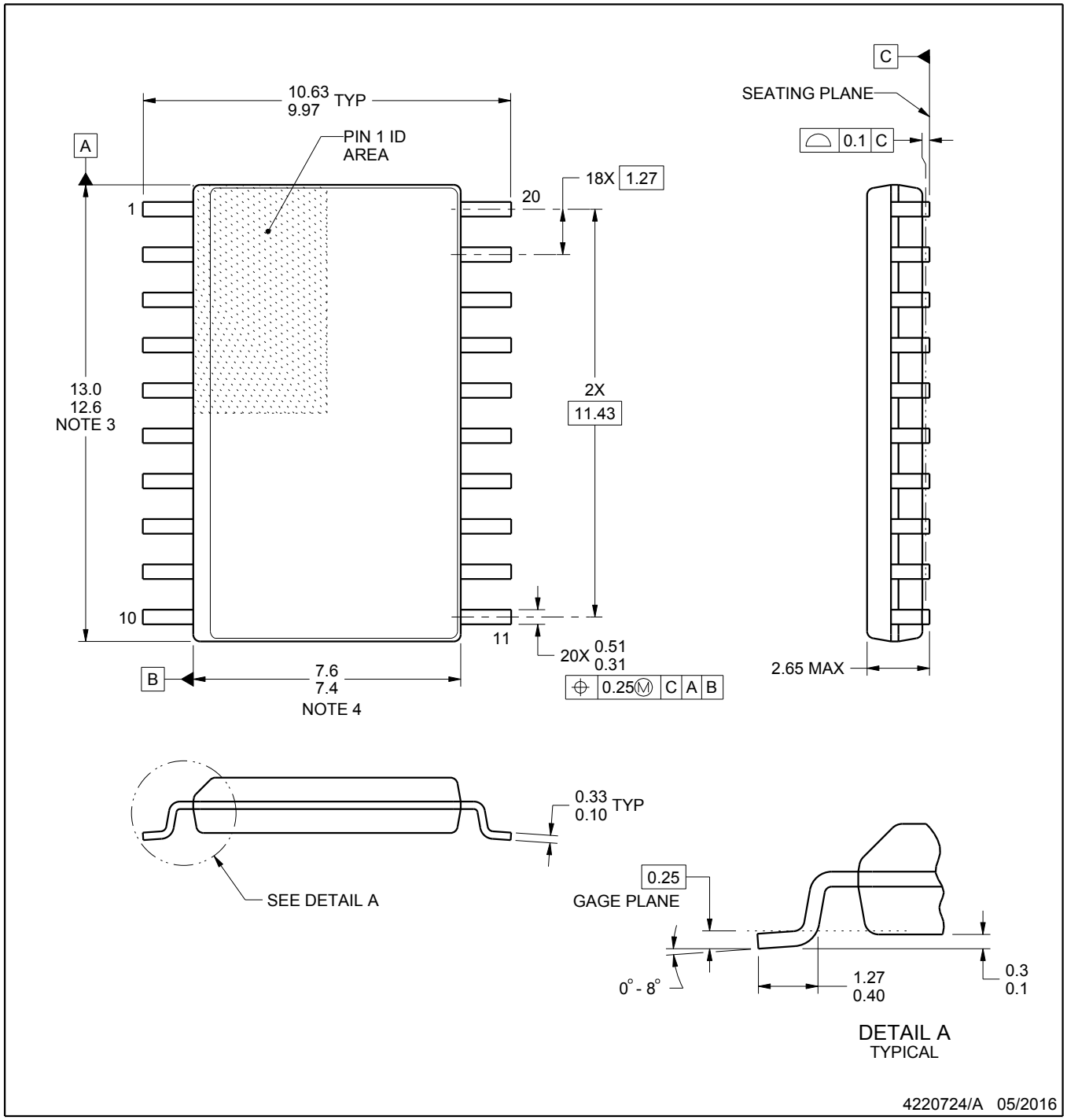


PACKAGE OUTLINE

DW0020A

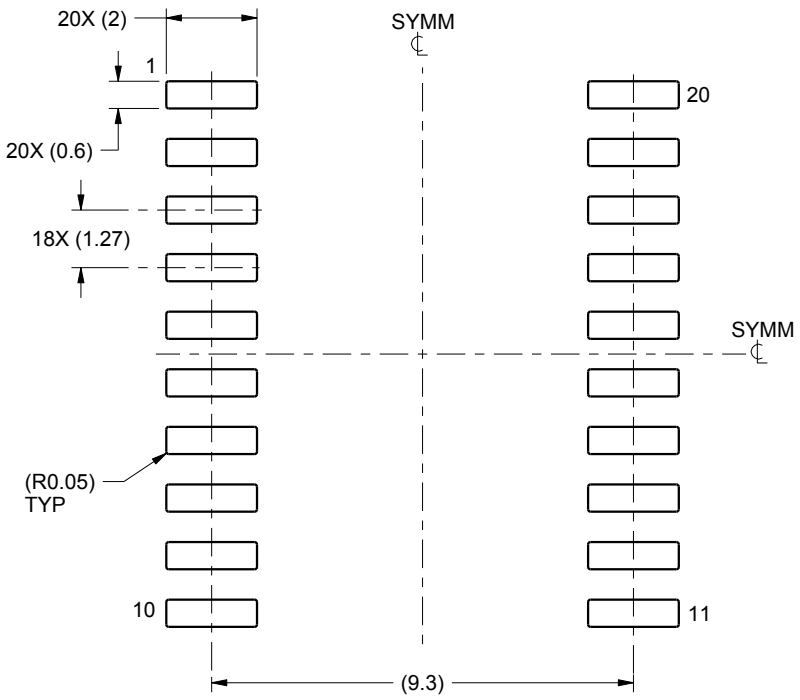
SOIC - 2.65 mm max height

SOIC

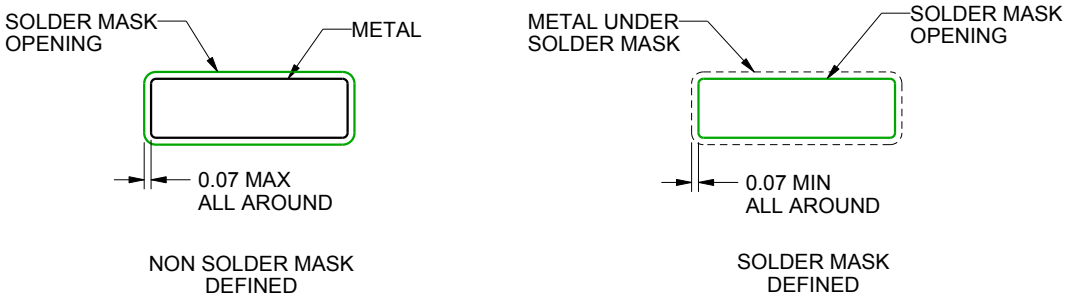


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

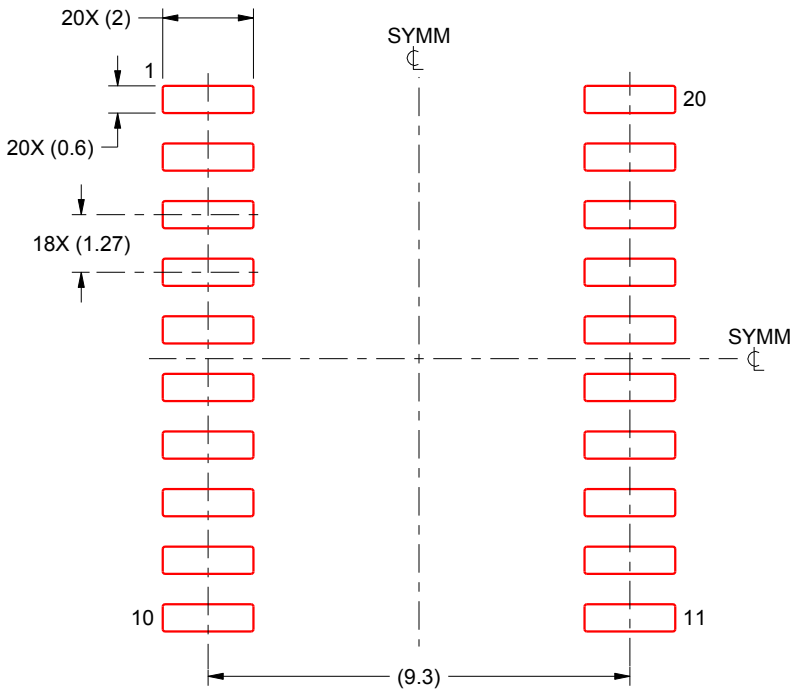


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月