SN74CBTLV1G125 低電圧シングル FET バス スイッチ

1 特長

- 2 つのポート間を 5Ω スイッチで接続
- データ I/O ポートのレール ツー レール スイッチング
- I_{off} により部分的パワーダウン モードでの動作をサポート

2 アプリケーション

- データセンターおよびエンタープライズ コンピューティング
- ブロードバンド固定回線アクセス
- ビル オートメーション
- 有線ネットワーク
- モーター ドライブ

3 説明

SN74CBTLV1G125 デバイスは、シングル高速ライン スイッチです。出力イネーブル ($\overline{OE}$) 入力が High になると、スイッチは無効化されます。

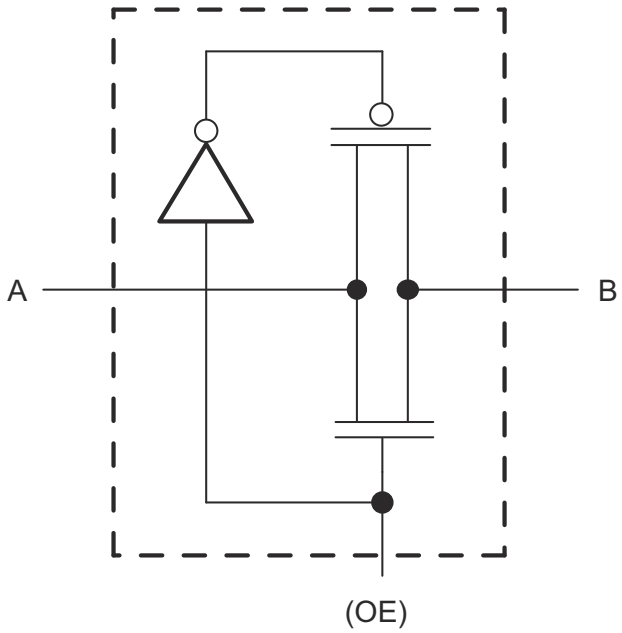
このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、電源オフ時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ
SN74CBTLV1G125	SC70 (5)	2.00mm × 1.25mm
	SOT-23 (5)	2.90mm × 1.60mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。



概略回路図、各 FET スイッチ

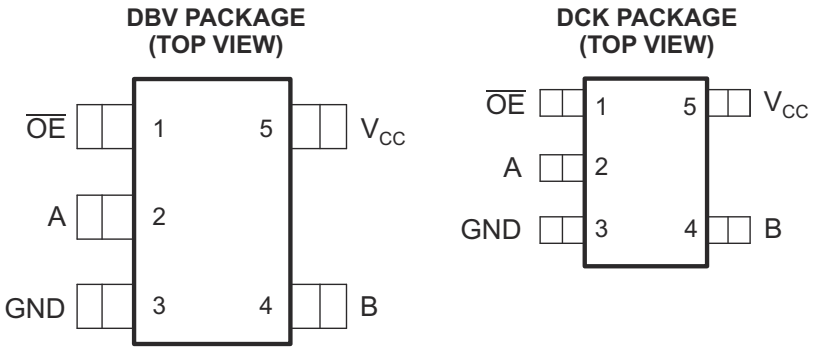
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....6
5.6 スイッチング特性.....6
5.7 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....9
7.1 概要.....9
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....10
8.1 使用上の注意.....10
8.2 代表的なアプリケーション.....10
8.3 電源に関する推奨事項.....10
8.4 レイアウト.....11
9 デバイスおよびドキュメントのサポート.....12
9.1 デバイス サポート.....12
9.2 サポート・リソース.....12
9.3 静電気放電に関する注意事項.....12
9.4 商標.....12
9.5 静電気放電に関する注意事項.....12
9.6 用語集.....12
10 改訂履歴.....12
11 メカニカル、パッケージ、および注文情報.....12

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



See mechanical drawings for dimensions.

図 4-1. DBV (5 ピン SOT-23) および DCK (5 ピン SC70) パッケージ (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
$\overline{OE}$	1	I	アクティブ Low イネーブル
A	2	I/O	スイッチ I/O
GND	3	-	グランド
B	4	I/O	スイッチ I/O
V_{CC}	5	-	電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	4.6	V
V_I	入力電圧範囲(2)		-0.5	4.6	V
	連続チャネル電流			128	mA
I_{IK}	入力クランプ電流	$V_{I/O}$ < 0		-50	mA
T_{stg}	保管温度範囲		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7		V
		V_{CC} = 2.7V～3.6V	2		
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V		0.7	V
		V_{CC} = 2.7V～3.6V		0.8	
T_A	自由空気での動作温度		-40	85	°C

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーションノート、『低速またはフローティング CMOS 入力の影響』を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74CBTLV1G125		単位
		SC70 (DCK)	SOT-23 (DBV)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	276.9	249.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	179.1	174.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	183.6	83.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	114.7	67.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	182.7	83.5	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		SN74CBTLV1G125		単位
		SC70 (DCK)	SOT-23 (DBV)	
		5 ピン	5 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。spra953

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{IK}		V_{CC} = 3V、I_I = -18mA					-1.2	V
I_I		V_{CC} = 3.6V、V_I = V_{CC} または GND					±1	µA
I_{off}		V_{CC} = 0、V_I または V_O = 0 ～ 3.6V					10	µA
I_{CC}		V_{CC} = 3.6V、I_O = 0、V_I = V_{CC} または GND					10	µA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、1 つの入力は 3V、他の入力は V_{CC} または GND					300	µA
C_i	制御入力	V_I = 3V または 0				2.5		pF
$C_{io(OFF)}$		V_O = 3V または 0、$\overline{OE}$ = V_{CC}				7		pF
r_{on} (3)		V_{CC} = 2.3V、 V_{CC} = 2.5V での標準値	V_I = 0	I_I = 64mA		7	10	Ω
				I_I = 24mA		7	10	
			V_I = 1.7V、	I_I = 15mA		15	25	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	7	
				I_I = 24mA		5	7	
			V_I = 2.4V、	I_I = 15mA		10	15	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} または GND ではなく、規定の TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

5.6 スイッチング特性

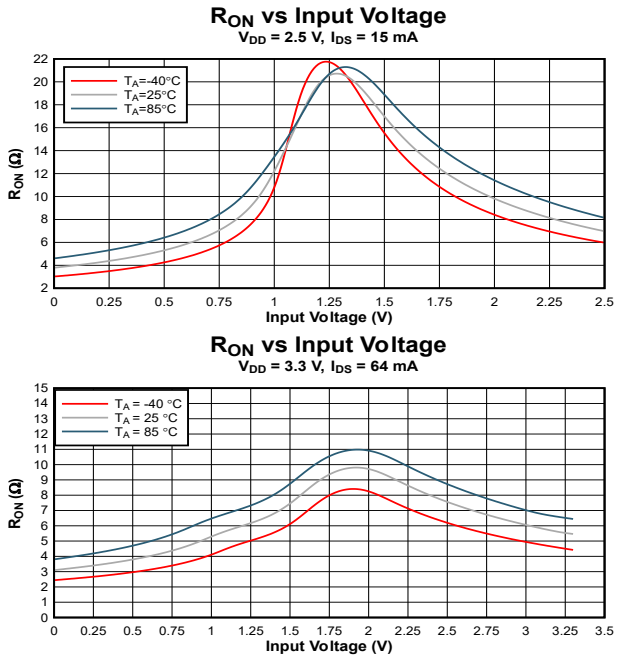
自由気流での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd} (1)	A または B	B または A		0.15		0.25	ns
t_{en}	$\overline{OE}$	A または B	1	4	1	4	ns
t_{dis}	$\overline{OE}$	A または B	1	5	1	4.1	ns

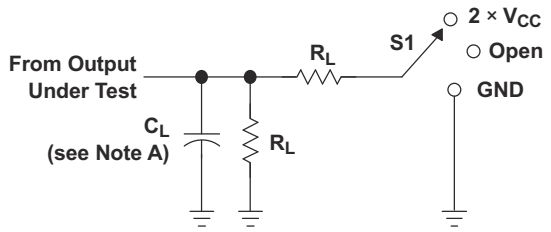
(1) 伝播遅延は、適切な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された 50pF の負荷容量の RC 時定数から算出されます。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性


RON vs Input Voltage
VDD = 2.5 V, IDS = 15 mA
TA=-40°C
TA=25°C
TA=85°C
RON (Ω)
Input Voltage (V)
RON vs Input Voltage
VDD = 3.3 V, IDS = 64 mA
TA = -40 °C
TA = 25 °C
TA = 85 °C
RON (Ω)
Input Voltage (V)

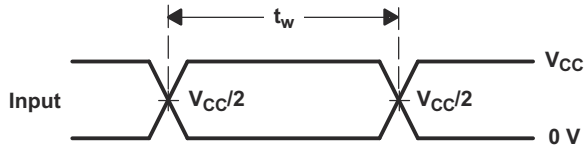
6 パラメータ測定情報



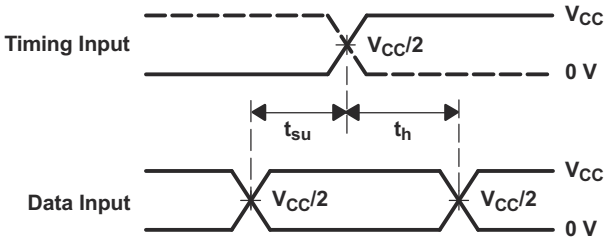
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

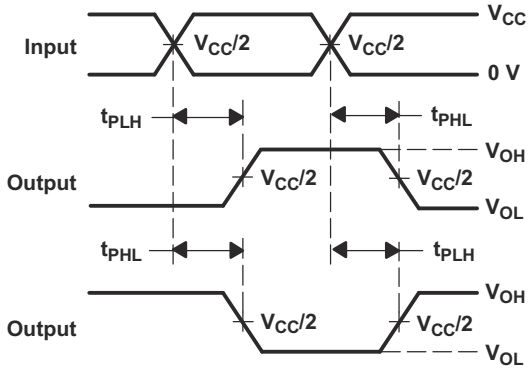
V_{CC}	C_L	R_L	V_D
2.5 V ±0.2 V	30 pF	500 Ω	0.15 V
3.3 V ±0.3 V	50 pF	500 Ω	0.3 V



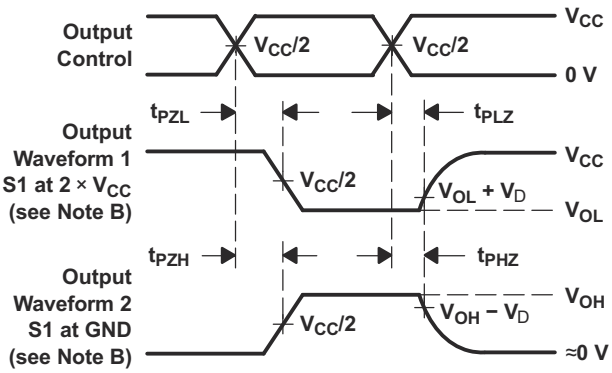
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、PRR ≤ 10MHz、Z_O = 50Ω、t_t ≤ 2ns、t_f ≤ 2ns の特性を持つジェネレータによって供給されます。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PLH} と t_{PHL} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

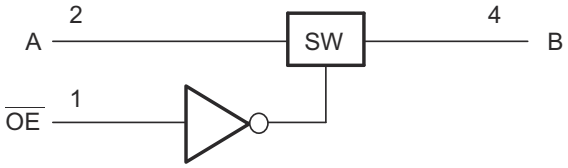
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74CBTLV1G125 デバイスは、1 チャネルの 1:1 高速 FET スイッチです。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。($\overline{OE}$) ピンは、データ フローを制御するアクティブ Low ロジック制御ピンです。出力イネーブル ($\overline{OE}$) 入力が High になると、FET は無効化されます。このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、電源オフ時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。電源投入または電源切断時に高インピーダンス状態を確保するため、OE はプルアップ抵抗経由で VCC に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図



7.3 機能説明

SN74CBTLV1G125 は、ポート間に 5Ω のスイッチ接続があり、スイッチ両端における信号損失を小さくできます。データ I/O でのレール ツー レール スイッチングにより、完全な電圧スイング出力が可能です。I_{off} では部分的パワーダウン モード動作をサポートしているため、チップの電源がオンになっていないときの出力ポート電圧からチップを保護します。

7.4 デバイスの機能モード

表 7-1. 機能表

入力 $\overline{OE}$	FUNCTION
L	A ポート = B ポート
H	切断

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74CBTLV1G125 は、信号パスを切り替えために使用できます。このスイッチは双方向であるため、A ピンと B ピンは入力または出力として使用できます。通常このスイッチは、特定の時間に絶縁を必要とする信号パスが 1 つ存在する場合に使用します。

8.2 代表的なアプリケーション

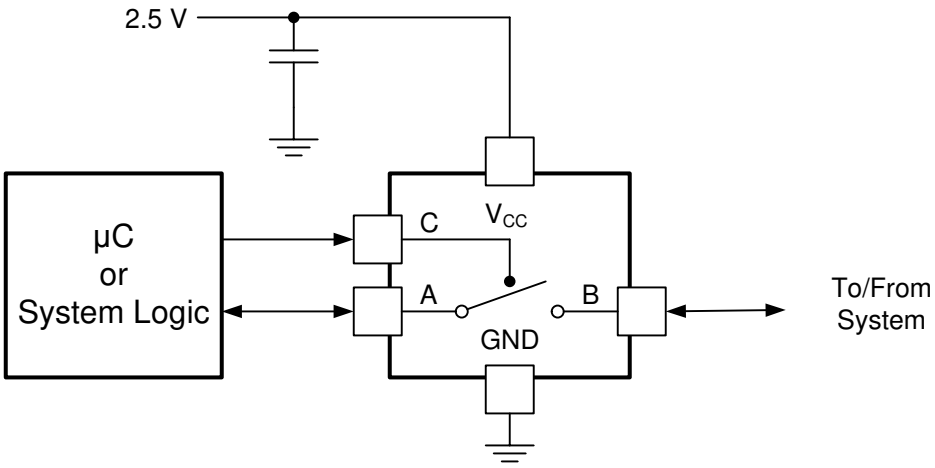


図 8-1. 代表的なアプリケーション

8.2.1 設計要件

SN74CBTLV1G125 デバイスは、外付け部品なしで適切に動作できます。TI では、デジタル制御ピン (OE) を VCC にプル アップするか、GND にプル ダウンして、フローティング ピンが原因で発生する可能性のある不要なスイッチ位置を回避することを推奨しています。フローティング デジタル ピンが原因で、過剰な消費電流が発生する可能性があります(「」を参照)。

8.2.2 詳細な設計手順

$\overline{OE}$ が HIGH の場合、アクティブ バスです。これは、A ピンと B ピンの間に低インピーダンスのパスが存在することを意味します。VCC の 0.1µF コンデンサは、デカップリング コンデンサであるため、できる限りデバイスの近くに配置してください。

8.3 電源に関する推奨事項

電源には、推奨動作条件表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 VCC 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに VCC というラベルが付いている場合、VCC ピンは内部で互いに接続されているため、各 VCC には 0.01µF または 0.022µF のコンデンサを推奨します。VCC と VDD など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-2 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

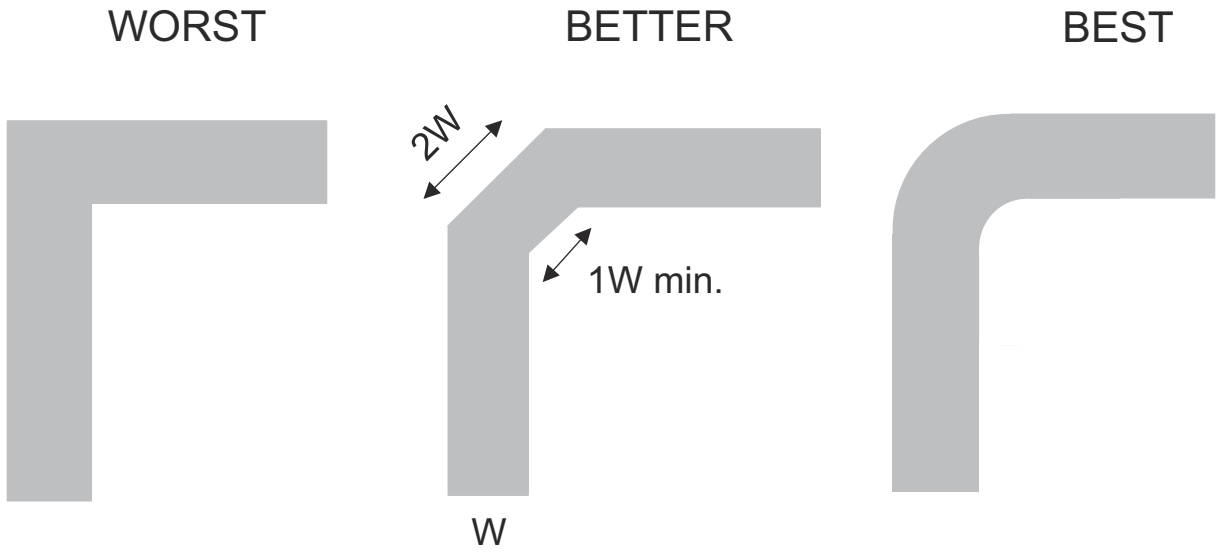


図 8-2. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (June 2006) to Revision I (November 2026)	Page
• 「アプリケーション」、「ピン構成および機能」、「デバイスの機能モード」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、注文情報」セクションを追加	1
• 「注文情報」表を削除	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「絶対最大定格」の連続チャネル電流を *128V* から *128mA* に更新	4
• 「絶対最大定格」からパッケージの熱インピーダンスを削除	4
• 熱に関する情報を更新	4
• 「代表的特性」を追加	7

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV1G125DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(V25K, V25R)
74CBTLV1G125DBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(V25K, V25R)
SN74CBTLV1G125DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(V25J, V25K, V25R)
SN74CBTLV1G125DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(V25J, V25K, V25R)
SN74CBTLV1G125DBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(V25J, V25K, V25R)
SN74CBTLV1G125DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(VM5, VMJ, VMO, VMR)
SN74CBTLV1G125DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(VM5, VMJ, VMO, VMR)
SN74CBTLV1G125DCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(VM5, VMJ, VMO, VMR)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV1G125 :

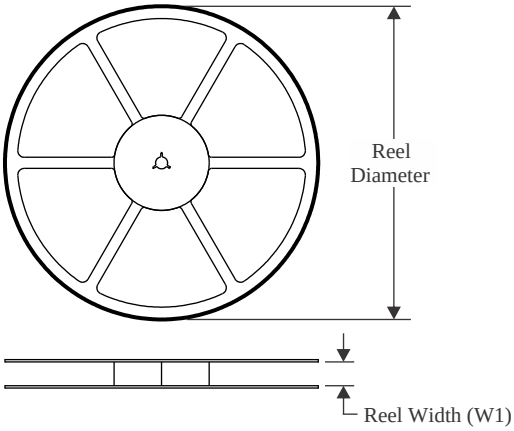
- Automotive : SN74CBTLV1G125-Q1

NOTE: Qualified Version Definitions:

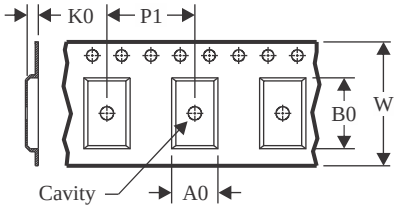
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

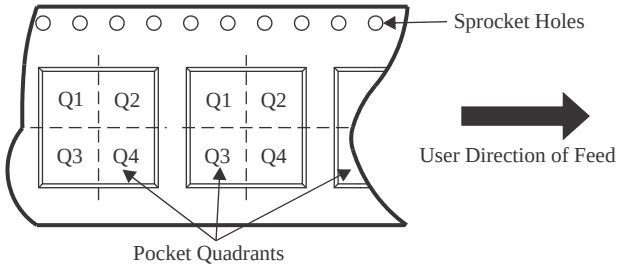


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

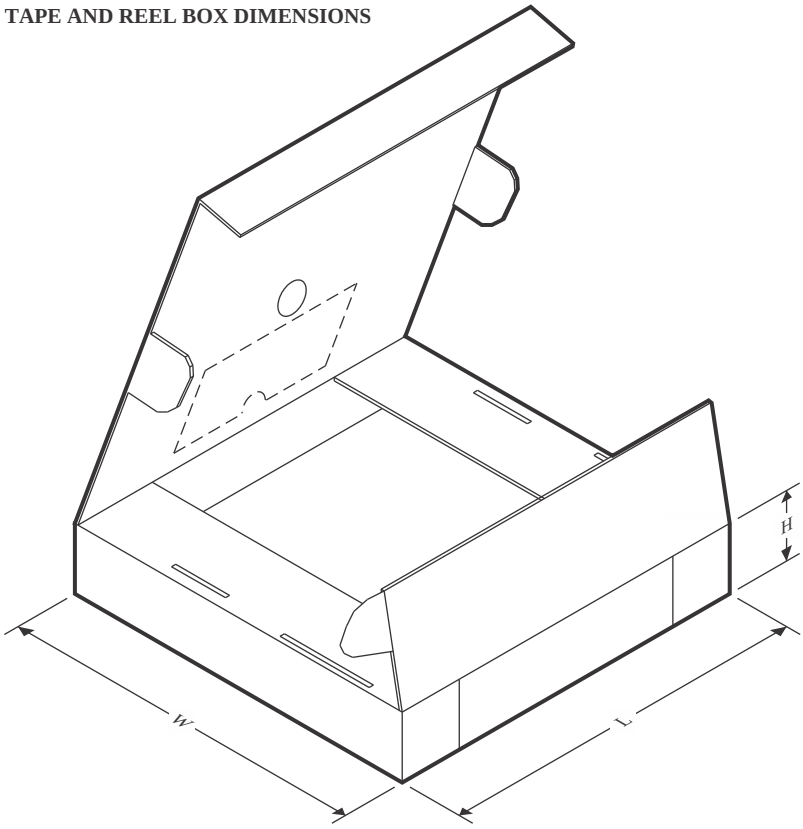
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74CBTLV1G125DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

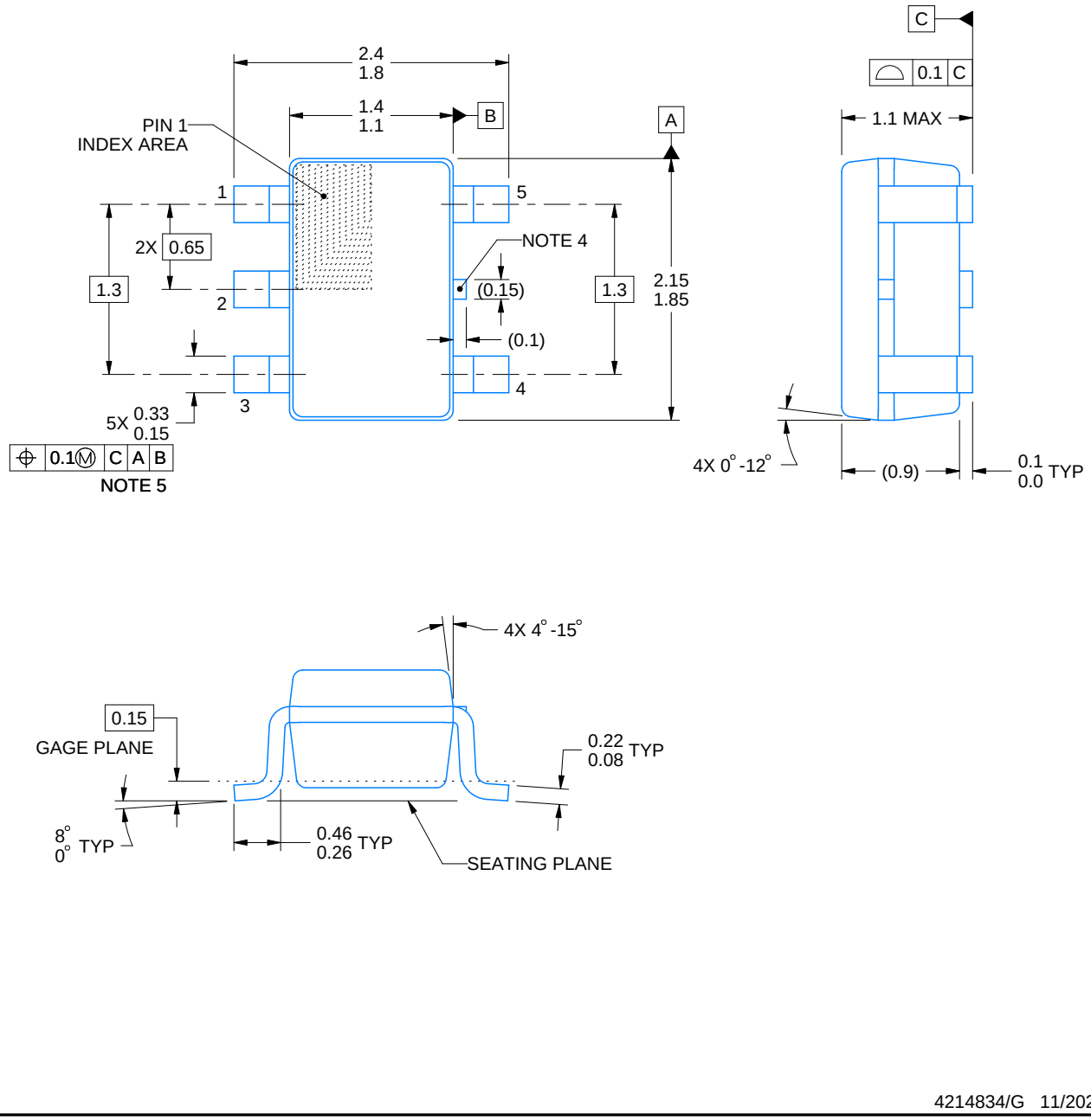
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74CBTLV1G125DBVRG4	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74CBTLV1G125DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	203.0	203.0	35.0
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74CBTLV1G125DCKR	SC70	DCK	5	3000	180.0	180.0	18.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

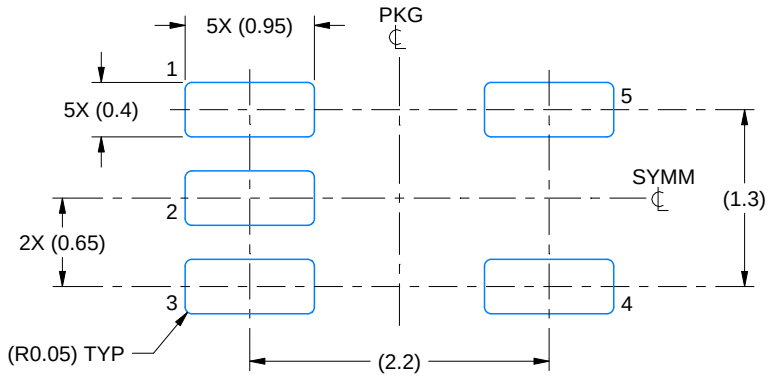
SMALL OUTLINE TRANSISTOR



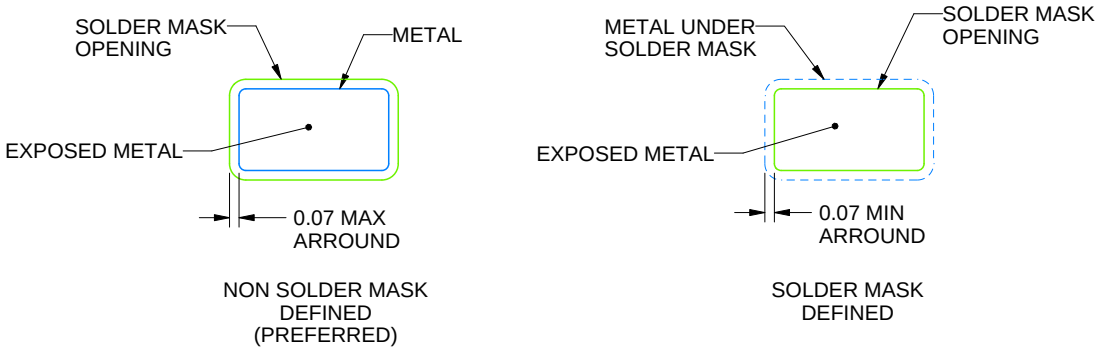
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

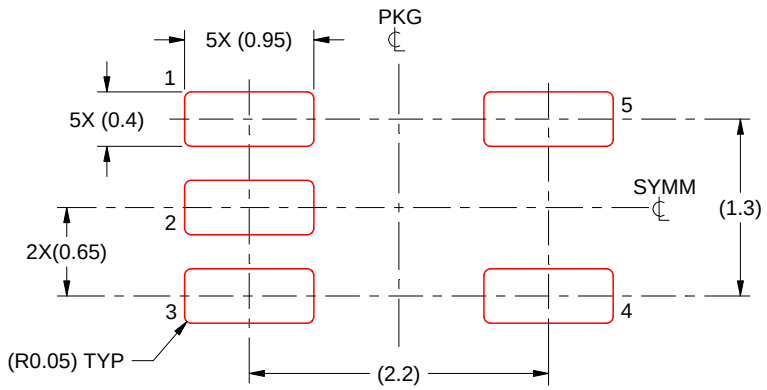


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

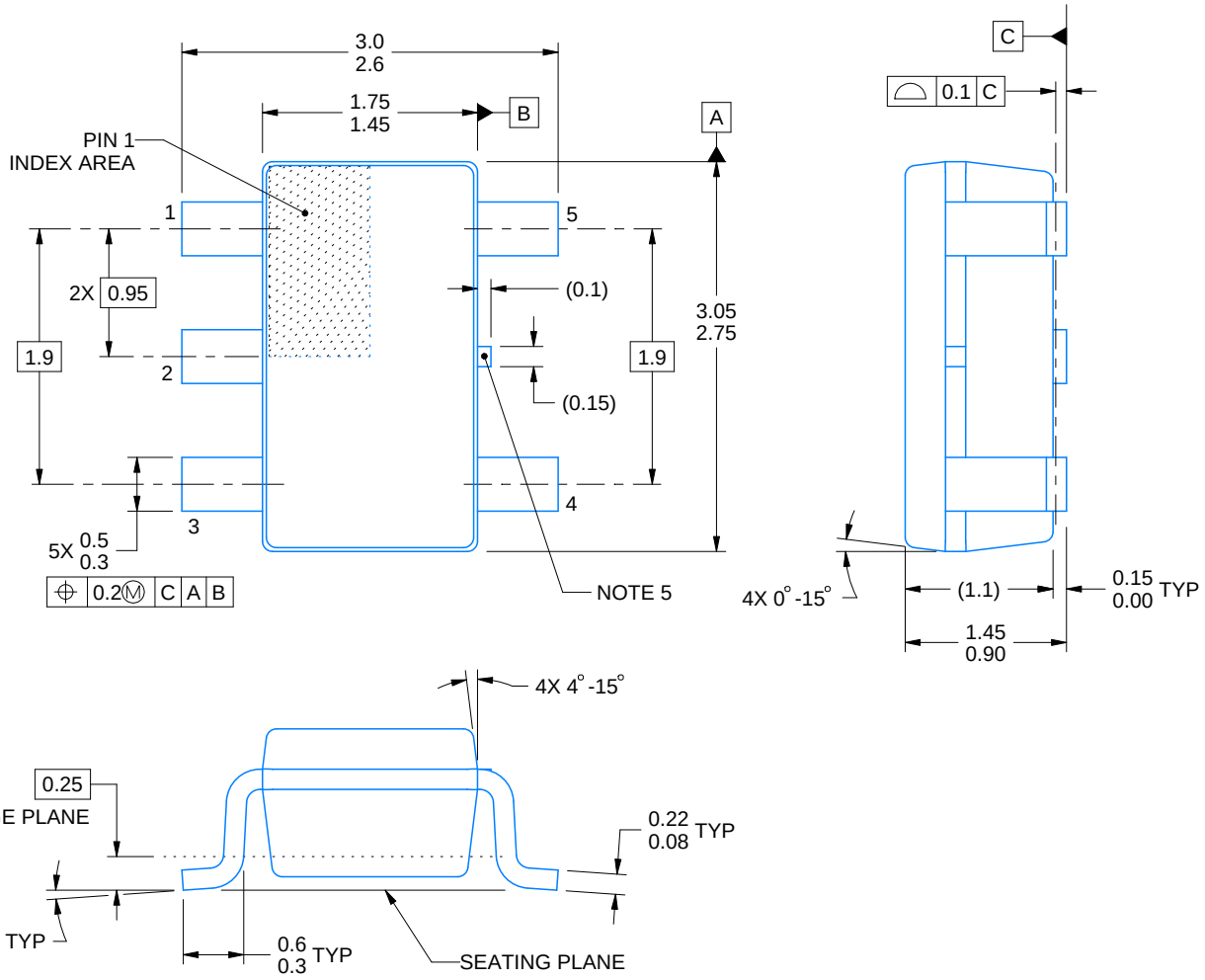
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

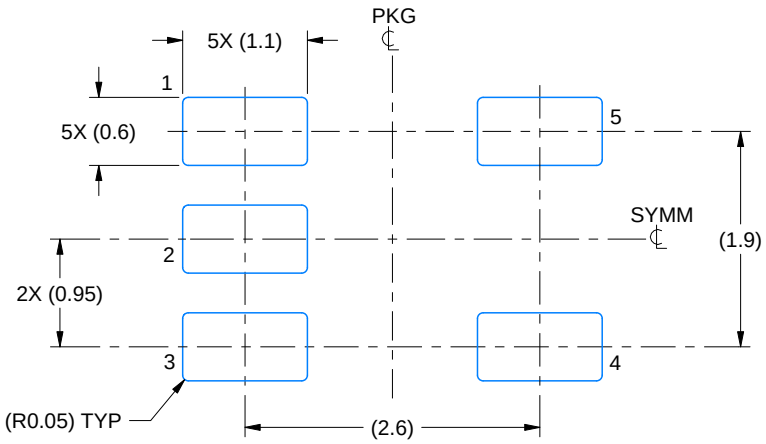
SMALL OUTLINE TRANSISTOR



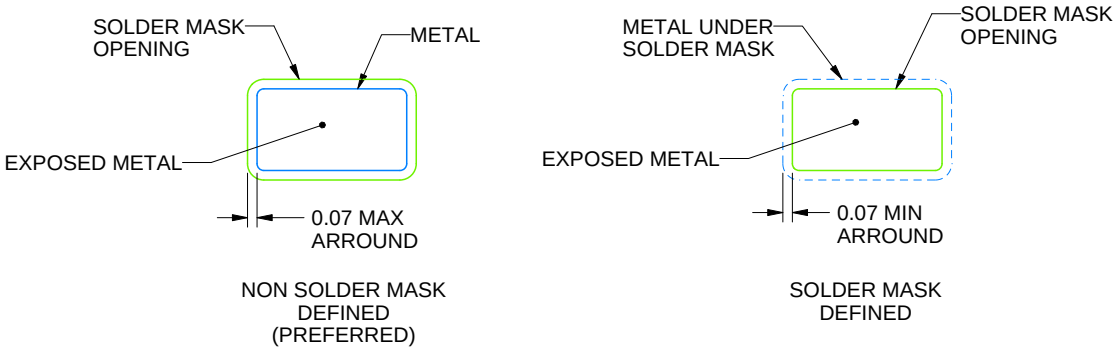
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

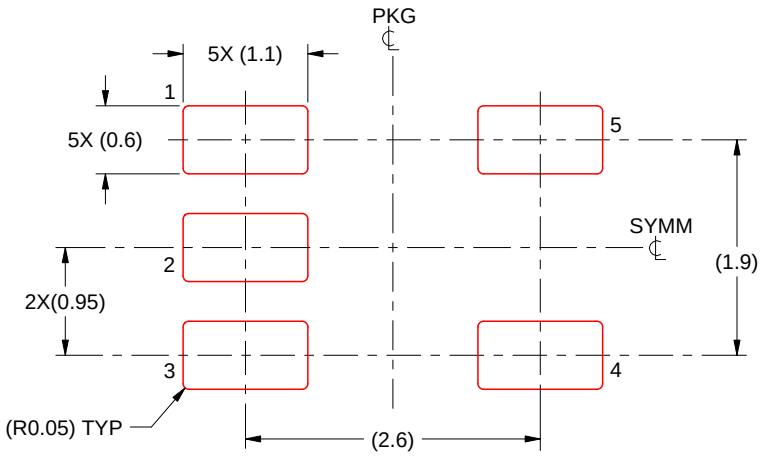


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月