SN74CBTLV3126 低電圧クワッド FET バス・スイッチ

1 特長

- 標準の 126 タイプのピン配置
- 2 つのポート間を 5Ω スイッチで接続
- データ I/O ポートのレール ツー レール スイッチング
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- データセンターおよびエンタープライズ コンピューティング
- ブロードバンド固定回線アクセス
- ビル オートメーション
- 有線ネットワーク
- モータードライブ

3 説明

SN74CBTLV3126 クワッド FET バス スイッチには、独立のライン スイッチが搭載されています。各スイッチは、対応する出力イネーブル (OE) 入力が low のときディスエーブルになります。

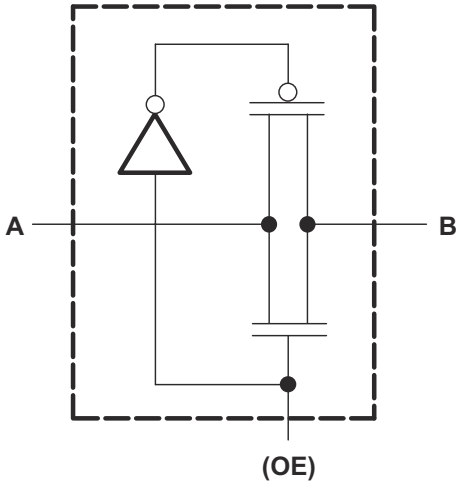
このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが検証保証されます。SN74CBTLV3126 デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を検証するため、OE をプルダウン抵抗経由で GND に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74CBTLV3126	SOIC (D) (14)	8.65mm × 3.91mm
	TVSOP (DGV) (14)	3.60mm × 4.40mm
	TSSOP (PW、14)	5.00mm × 4.40mm
	VQFN (RGY) (14)	4.00mm × 3.50mm
	SSOP (DBQ) (16)	4.90mm × 3.90mm
	SOT (DYY、,14)	4.20mm × 2.00mm
	WQFN (BQA、14)	3.00mm × 2.50mm

(1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図、各 FET スイッチ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性 - D、DGV、DBQ、PW、RGY.....6
5.6 電気的特性 - DYY および BQA.....7
5.7 スイッチング特性 - D、DGV、DBQ、PW、RGY.....7
5.8 スイッチング特性 - DYY および BQA.....7
5.9 代表的特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 使用上の注意.....12
8.2 代表的なアプリケーション.....12
8.3 電源に関する推奨事項.....13
8.4 レイアウト.....13
9 デバイスおよびドキュメントのサポート.....15
9.1 ドキュメントの更新通知を受け取る方法.....15
9.2 サポート・リソース.....15
9.3 商標.....15
9.4 静電気放電に関する注意事項.....15
9.5 用語集.....15
10 改訂履歴.....15
11 メカニカル、パッケージ、および注文情報.....15

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

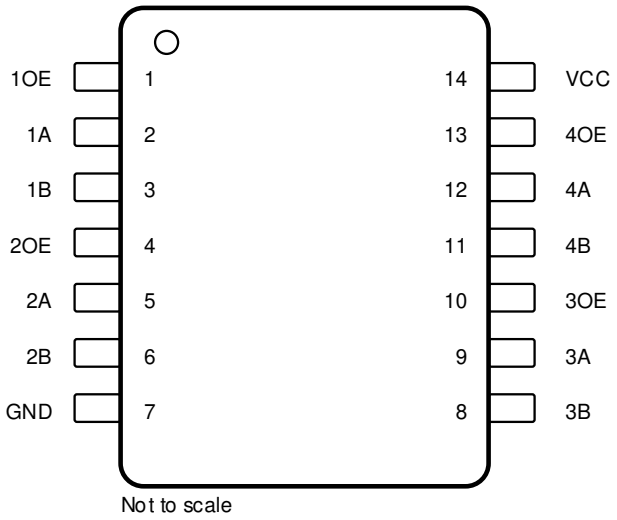


図 4-1. D、DGV、PW および DYY パッケージ、 14 ピン SOIC、TVSOP、TSSOP および SOT (上面図)

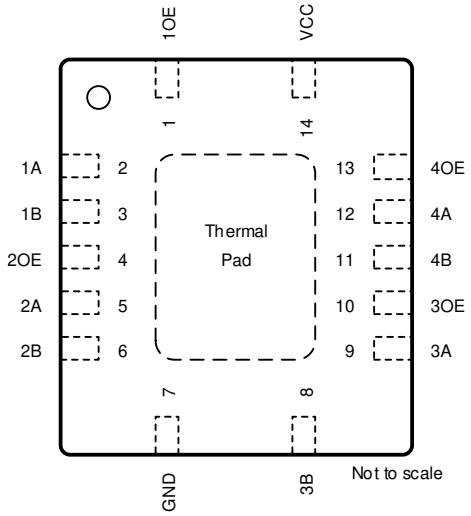


図 4-2. RGY および BQA パッケージ、14 ピン VQFN および WQFN (上面図)

表 4-1. ピンの機能、D、DGV、PW、RGY

ピン		タイプ(1)	説明
名称	番号		
1A	2	I/O	チャネル 1 入力または出力
1B	3	I/O	チャネル 1 入力または出力
1OE	1	I	出力イネーブル、アクティブ high
2A	5	I/O	チャネル 2 入力または出力
2B	6	I/O	チャネル 2 入力または出力
2OE	4	I	出力イネーブル、アクティブ high
3A	9	I/O	チャネル 3 入力または出力
3B	8	I/O	チャネル 3 入力または出力
3OE	10	I	出力イネーブル、アクティブ high
4A	12	I/O	チャネル 4 入力または出力
4B	11	I/O	チャネル 4 入力または出力
4OE	13	I	出力イネーブル、アクティブ high
GND	7	—	グランド
V_{CC}	14	P	電源
サーマル パッド		—	露出したサーマル パッド。このパッドをはんだ付けする必要はありません。接続する場合は、フローティングのままにするか、GND に接続する必要があります。

(1) I = 入力、O = 出力、I/O = 入力および出力、P = 電源

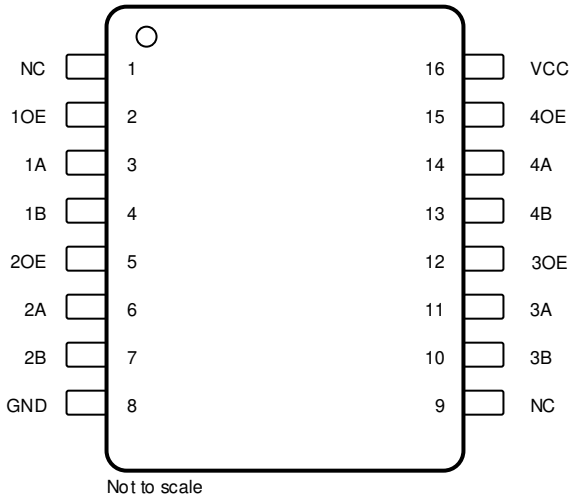


図 4-3. DBQ パッケージ、 16 ピン SSOP (上面図)

表 4-2. ピンの機能、DBQ

ピン		タイプ(1)	説明
名称	番号		
1A	3	I/O	チャネル 1 入力または出力
1B	4	I/O	チャネル 1 入力または出力
1OE	2	I	出力イネーブル、アクティブ high
2A	6	I/O	チャネル 2 入力または出力
2B	7	I/O	チャネル 2 入力または出力
2OE	5	I	出力イネーブル、アクティブ high
3A	11	I/O	チャネル 3 入力または出力
3B	10	I/O	チャネル 3 入力または出力
3OE	12	I	出力イネーブル、アクティブ high
4A	14	I/O	チャネル 4 入力または出力
4B	13	I/O	チャネル 4 入力または出力
4OE	15	I	出力イネーブル、アクティブ high
GND	8	—	グランド
NC	9	—	内部接続なし
V_{CC}	16	P	電源

(1) I = 入力、O = 出力、I/O = 入力および出力、P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	4.6	V
V_I	入力電圧範囲(2)		-0.5	4.6	V
$I_{I/O}$	連続チャネル電流			128	mA
I_{IK}	入力クランプ電流	$V_{I/O}$ < 0		-50	mA
T_{stg}	保管温度範囲		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7	V_{CC}	V
		V_{CC} = 2.7V～3.6V	2	V_{CC}	
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V		0.7	V
		V_{CC} = 2.7V～3.6V		0.8	
T_A	自由空気での動作温度	PKG = DYY および BQA	-40	125	°C
T_A	自由空気での動作温度	PKG = D、DGV、PW、RGY、DBQ	-40	85	°C

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーションノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

5.4 熱に関する情報

熱評価基準(1)		SN74CBTLV3126							単位
		D (SOIC)	DGV (TVSOP)	PW (TSSOP)	RGY (VQFN)	DBQ (SSOP)	DYY (SOT)	BQA (WQFN)	
		14 ピン	14 ピン	14 ピン	14 ピン	16 ピン	16 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	123.0	154.8	148.9	101.8	118.7	157.0	122.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	83.5	64.5	81.0	75.6	66.4	99.1	87.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	81.1	88.4	105.1	41.6	62.2	95.8	32.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	39.7	11.1	23.0	74.9	20.9	30.6	87.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	80.5	87.4	103.8	103	61.7	95.5	110.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	58.9	該当なし	該当なし	54.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性 - D、DGV、DBQ、PW、RGY

自由空気での推奨動作温度範囲内、-40 ～ 85°C (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値(1)	最大値	単位
V_{IK}		V_{CC} = 3V、	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V、	V_I = V_{CC} または GND				±1	μA
I_{off}		V_{CC} = 0、	V_I または V_O = 0～3.6V				10	μA
I_{CC}		V_{CC} = 3.6V、	I_O = 0、	V_I = V_{CC} または GND			10	μA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、	3V の単一入力、	他の入力は V_{CC} または GND			300	μA
C_i	制御入力	V_I = 3V または 0				2.5		pF
$C_{io(OFF)}$		V_O = 3V または 0、	OE = GND			7		pF
r_{on} (3)		V_{CC} = 2.3V、V_{CC} = 2.5V での標準値	V_I = 0	I_I = 64mA		5	8	Ω
				I_I = 24mA		5	8	
			V_I = 1.7V、	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	7	
				I_I = 24mA		5	7	
			V_I = 2.4V、	I_I = 15mA		10	15	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性 - DYY および BQA

自由空気での推奨動作温度範囲内、-40 ～ 125℃ (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{IK}		V_{CC} = 3V、	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V、	V_I = V_{CC} または GND				±1	μA
I_{off}		V_{CC} = 0、	V_I または V_O = 0～3.6V				20	μA
I_{CC}		V_{CC} = 3.6V、	I_O = 0、	V_I = V_{CC} または GND			10	μA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、	3V の単一入力、	他の入力は V_{CC} または GND			300	μA
C_i	制御入力	V_I = 3V または 0				2.5		pF
$C_{io(OFF)}$		V_O = 3V または 0、	OE = GND			7		pF
r_{on} (3)		V_{CC} = 2.3V、V_{CC} = 2.5V での標準値	V_I = 0	I_I = 64mA		5	10	Ω
				I_I = 24mA		5	10	
			V_I = 1.7V、	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	9	
				I_I = 24mA		5	9	
			V_I = 2.4V、	I_I = 15mA		10	20	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

5.7 スイッチング特性 - D、DGV、DBQ、PW、RGY

自由空気での推奨動作温度範囲内、-40 ～ 85℃ (特に記述のない限り) (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd} (1)	A または B	B または A		0.15		0.25	ns
t_{en}	OE	A または B	1.6	4.5	1.9	4.2	ns
t_{dis}	OE	A または B	1.3	4.7	1	4.8	ns

(1) 伝播遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

5.8 スイッチング特性 - DYY および BQA

自由空気での推奨動作温度範囲内、-40 ～ 125℃ (特に記述のない限り) (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd} (1)	A または B	B または A		3		3	ns
t_{en}	OE	A または B	1.6	10	1.9	9	ns
t_{dis}	OE	A または B	1.3	9	1	9	ns

(1) 伝播遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性

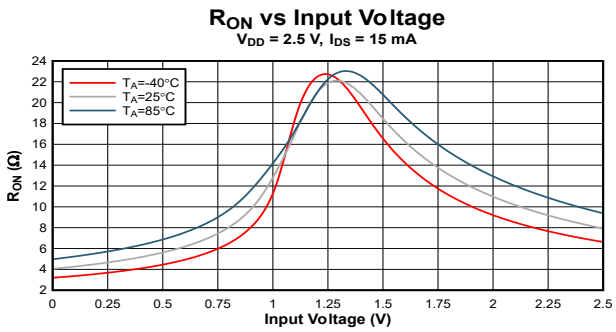


図 5-1. R_{ON} と入力電圧との関係、V_{DD} = 2.5V、I_{DS} = 15mA

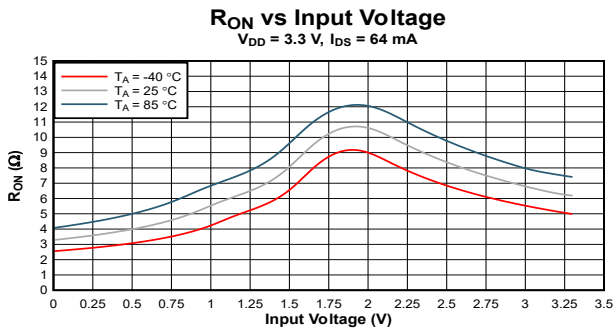
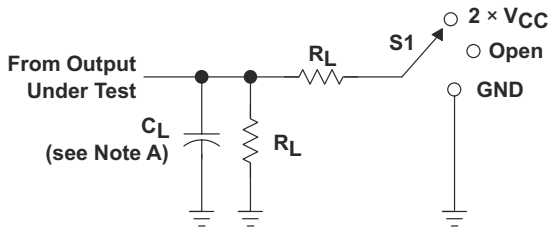


図 5-2. R_{ON} と入力電圧との関係、V_{DD} = 3.3V、I_{DS} = 64mA

Copyright © 2026 Texas Instruments Incorporated

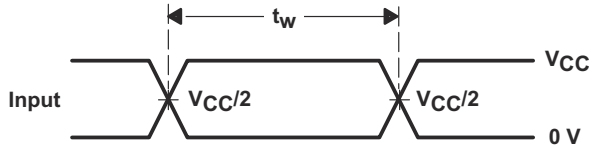
6 パラメータ測定情報



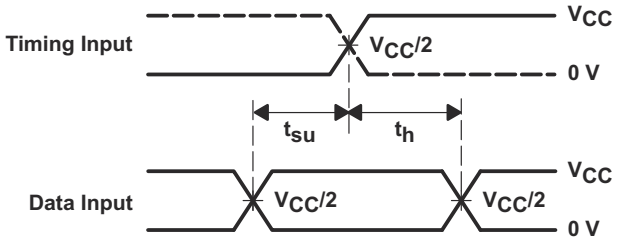
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

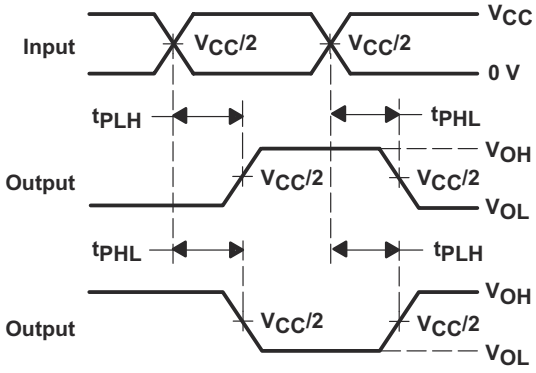
V_{CC}	C_L	R_L	V_Δ
2.5 V ±0.2 V	30 pF	500 Ω	0.15 V
3.3 V ±0.3 V	50 pF	500 Ω	0.3 V



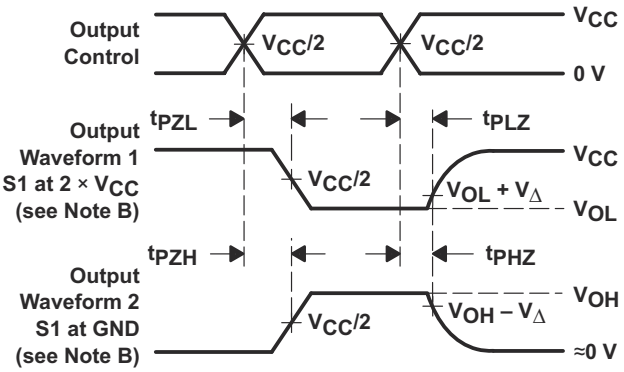
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50Ω、t_r ≦ 2 ns、t_f ≦ 2 ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PLH} と t_{PHL} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

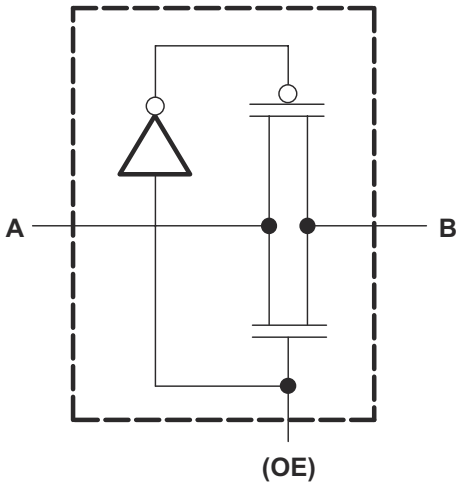
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74CBTLV3126 クワッド FET バス スイッチには、独立のライン スイッチが搭載されています。各スイッチは、対応する出力イネーブル (OE) 入力が low のときディスエーブルになります。このデバイスは、Ioff を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。Ioff 機能により、電源オフ時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。SN74CBTLV3126 デバイスは、電源オフ時は絶縁されています。パワーアップまたはパワーダウン時にハイ インピーダンス状態を確保するため、OE はプルダウン抵抗経由で GND に接続する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図



7.3 機能説明

SN74CBTLV3126 は、ポート間に 5Ω のスイッチ接続があり、スイッチ両端における信号損失を小さくできます。データ I/O でのレール ツー レール スイッチングにより、完全な電圧スイング出力が可能です。I_{off} では部分的パワーダウン モード動作をサポートしているため、チップの電源がオンになっていないときの出力ポート電圧からチップを保護します。JESD 78、Class II 準拠で 100 mA 超のラッチアップ性能。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 機能表 (各 バス スイッチ)

SN74CBTLV3126 の真理値表を 表 7-1 に示します。

表 7-1. 真理値表

入力 OE	機能
L	切断
H	A ポート = B ポート

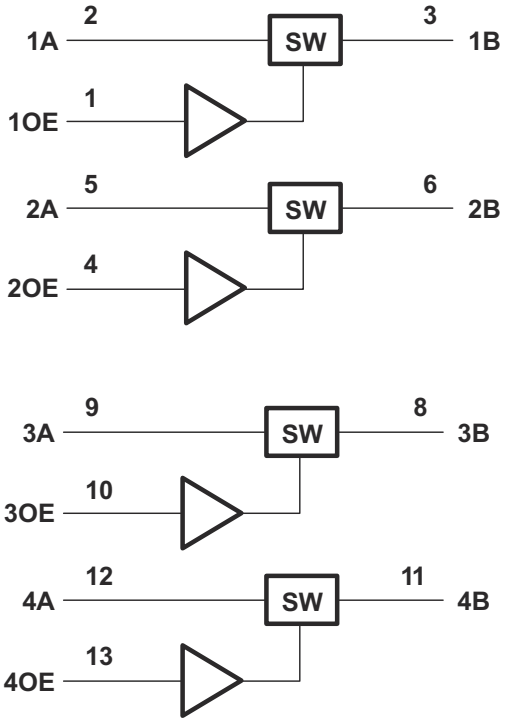


図 7-1. 論理図 (正論理)

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74CBTLV3126 機能を利用することが有用なアプリケーションの 1 つは、JTAG、SPI、標準的な GPIO 信号など、既存のプロセッサまたはマイコンから各種プロトコルを絶縁することです。本デバイスは電源供給時に非常に優れた絶縁性能を発揮します。電源オフ保護のもう 1 つの利点は、ホットスワップや活線挿入アプリケーションで電源シーケンスを不要にして、システムの複雑さを最小化できることです。

8.2 代表的なアプリケーション

8.2.1 プロトコルと信号の絶縁

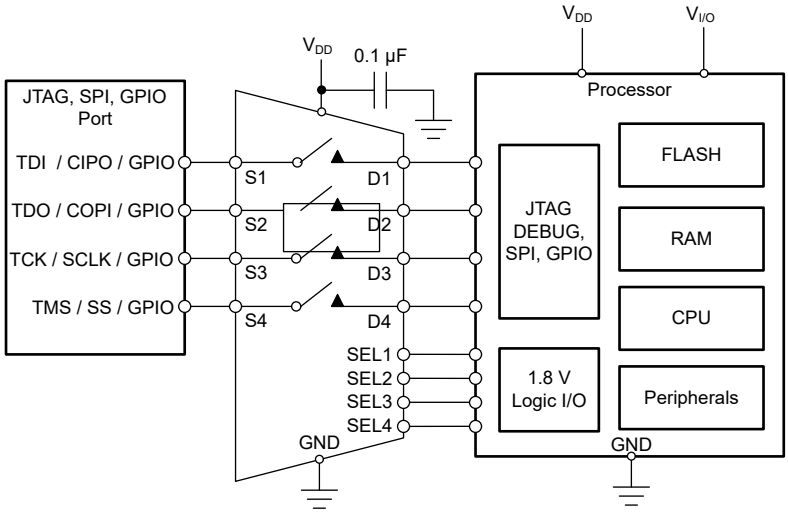


図 8-1. 典型的なアプリケーション

8.2.1.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧 (V_{DD})	3.3V
入力 / 出力信号範囲	0V ～ 3.3V
制御入力のロジック スレッショルド	1.8V 互換

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 詳細な設計手順

SN74CBTLV3126 は、電源デカップリング コンデンサを除き、外部コンポーネントなしで動作します。TI では、フローティング状態のピンによって意図しないスイッチ状態が発生するのを防ぐため、デジタル制御ピン (OE) を V_{CC} にプルアップするか、GND にプルダウンすることを推奨しています。スイッチをパス スルーするすべての入力信号は、信号範囲や連続電流を含め、SN74CBTLV3126 の推奨動作条件内に収まっている必要があります。この設計例では、電源が 3.3V の場合、デバイスに電力が供給されると信号範囲は 0V ～ 3.3V になります。この例では、パワー オフ保護機能を活用することもでき、V_{DD} = 0V のとき、入力範囲は 0V ～ 3.3V です。

8.3 電源に関する推奨事項

電源には、「*推奨動作条件*」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。セクション 5.3 電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します 。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-2 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

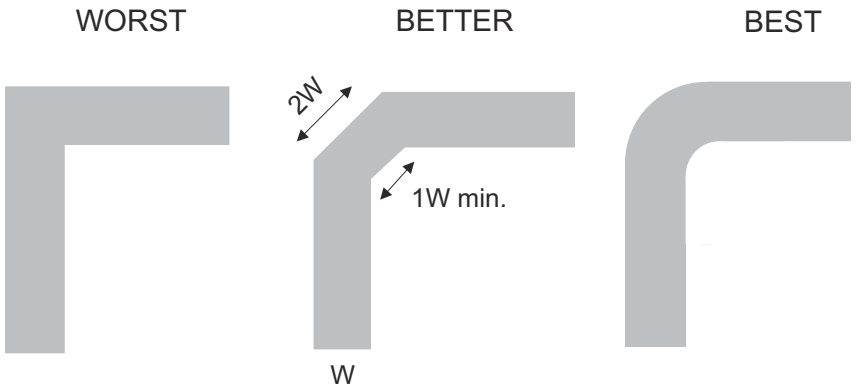


図 8-2. パターン例

高速信号は、ビア数とコーナー数を最小にして配線し、信号の反射とインピーダンスの変化を低減します。ビアを使用する必要がある場合は、周囲の空間距離を大きく確保することで、そこでの静電容量を最小化します。各ビアは、信号の伝送ラインにおいて連続性を損ない、また、ボードの他の層からの干渉を拾う可能性を高くしています。高周波信号向けのテスト ポイントを設計する際、スルーホール ピンの使用は推奨されません。

水晶振動子、発振器、クロック信号ジェネレータ、スイッチング レギュレータ、マウント ホール、磁気デバイス、クロック信号を使用または複製する IC の下または近くに高速信号トレースを配線しないでください。

- 高速信号トレースでは、スタブが信号の反射を引き起こすため、スタブは使用しないでください。
- すべての高速信号トレースは、中断なしに連続的な GND プレーン上に配線します。
- 通常、平面分割で見られるアンチエッチング上で交差しないようにします。

Copyright © 2026 Texas Instruments Incorporated

- 高周波で動作する場合は、4 層以上のプリント基板をお勧めします。図 8-3 に示すように、グランドと電源層で 2 つの信号層を分離しています。

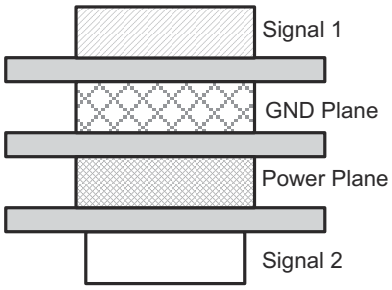


図 8-3. レイアウト例

信号トレースの大部分は、単一の層、できれば信号 1 上に配線する必要があります。この層のすぐ隣には、切れ目がないソリッド GND プレーンを配置する必要があります。グランドまたは電源プレーンの分割をまたいで信号トレースを配線することは避けてください。分割されたプレーンをまたぐ配線が避けられない場合は、十分なデカップリングを使用する必要があります。信号ビアの数を最小化すると、高周波でのインダクタンスを小さくし、EMI を低減できます。

図 8-4 に、SN74CBTLV3126 向けの PCB レイアウト例を示します。主な検討事項は次のとおりです。

- V_{DD} ピンは、可能な限りそのピンの近くで 0.1µF のコンデンサによるデカップリングを行います。電源電圧 V_{DD} に対してコンデンサの電圧定格が十分であることを確認します。
- 高速スイッチには、最適性能を得るため、適切なレイアウトと設計手順が必要です。
- 入力への配線は可能な限り短くします。
- 平面状のグランド プレーンを使用し、電磁干渉 (EMI) ノイズのピックアップを低減します。
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。可能な限り、デジタル パターンとアナログ パターンの交差は避け、どうしても必要な場合には、必ず直角に交差させてください。

8.4.2 レイアウト例

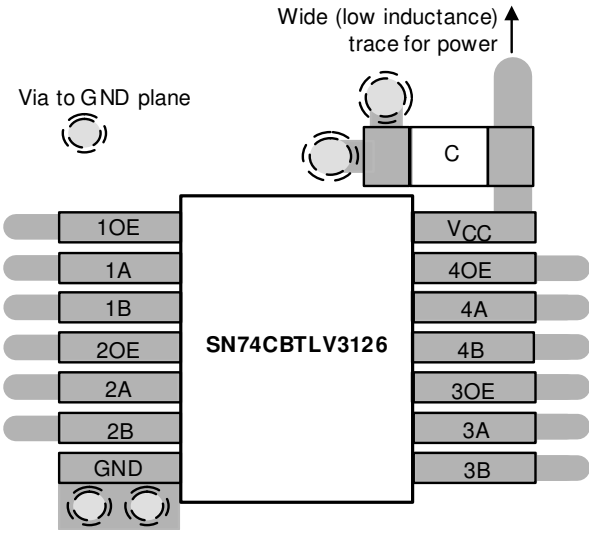


図 8-4. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (January 2026) to Revision N (July 2026)	Page
• 125°C 対応のパッケージを追加	1
• DYY および BQB パッケージの仕様を追加	5
• すべてのパッケージの熱に関する情報を更新	6
• 「代表的特性」を追加	8

Changes from Revision L (August 2022) to Revision M (January 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• SN74CBTLV3126BQAR を追加	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3126DBQRG4	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
74CBTLV3126DBQRG4.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
74CBTLV3126DBQRG4.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
74CBTLV3126DGVRG4	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
74CBTLV3126DGVRG4.B	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	CBTLV3126
SN74CBTLV3126DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
SN74CBTLV3126DBQR.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
SN74CBTLV3126DBQR.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
SN74CBTLV3126DGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126DGVR.B	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3126
SN74CBTLV3126DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3126
SN74CBTLV3126DR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3126
SN74CBTLV3126DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	CL126
SN74CBTLV3126PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126PWRG4.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL126
SN74CBTLV3126RGYR	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
SN74CBTLV3126RGYR.A	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126
SN74CBTLV3126RGYR.B	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL126

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV3126 :

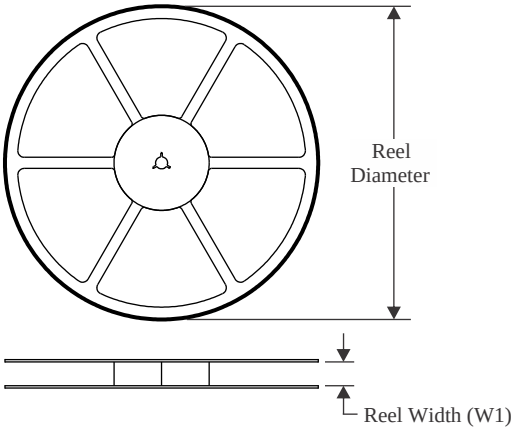
- Automotive : SN74CBTLV3126-Q1

NOTE: Qualified Version Definitions:

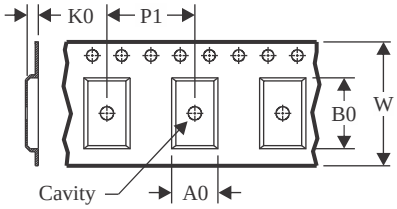
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

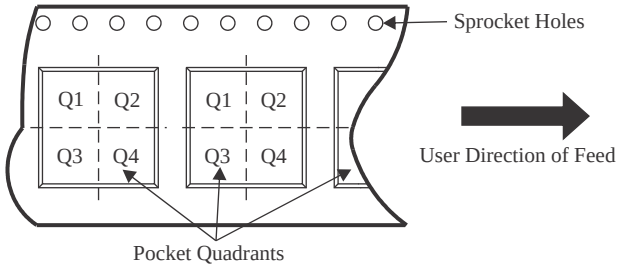


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

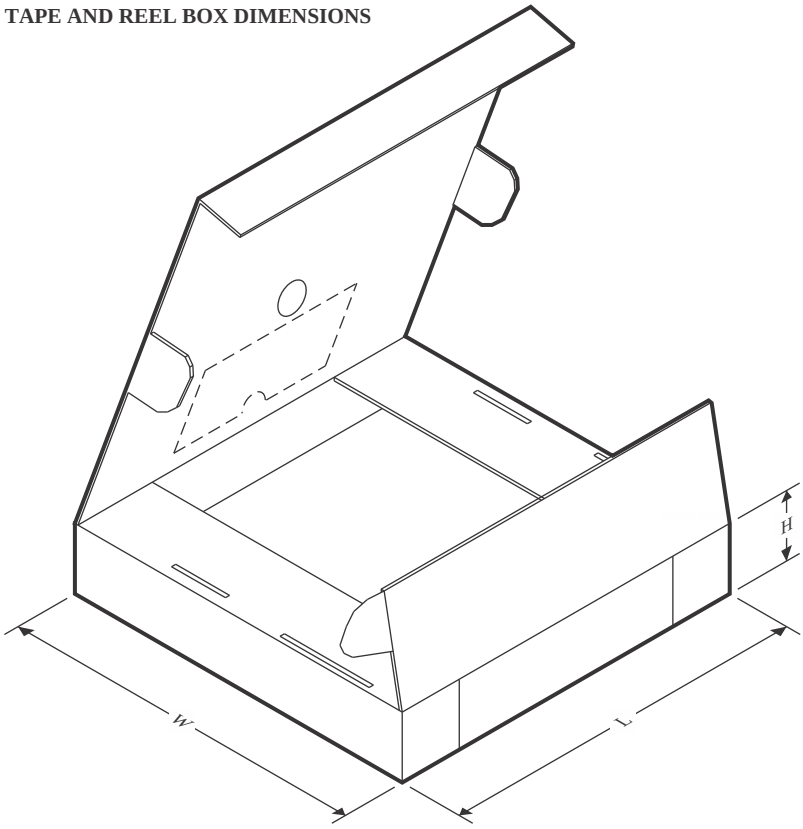
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

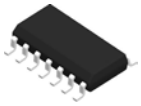
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74CBTLV3126DBQRG4	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
74CBTLV3126DGVRG4	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CBTLV3126BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74CBTLV3126DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CBTLV3126DBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN74CBTLV3126DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CBTLV3126DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CBTLV3126DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.5	3.56	1.35	8.0	12.0	Q3
SN74CBTLV3126PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3126PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3126PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74CBTLV3126PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3126RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74CBTLV3126DBQRG4	SSOP	DBQ	16	2500	353.0	353.0	32.0
74CBTLV3126DGVRG4	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74CBTLV3126BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74CBTLV3126DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CBTLV3126DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CBTLV3126DGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74CBTLV3126DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74CBTLV3126DYYR	SOT-23-THIN	DYY	14	3000	360.0	360.0	36.0
SN74CBTLV3126PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74CBTLV3126PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74CBTLV3126PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74CBTLV3126PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74CBTLV3126RGYR	VQFN	RGY	14	3000	353.0	353.0	32.0

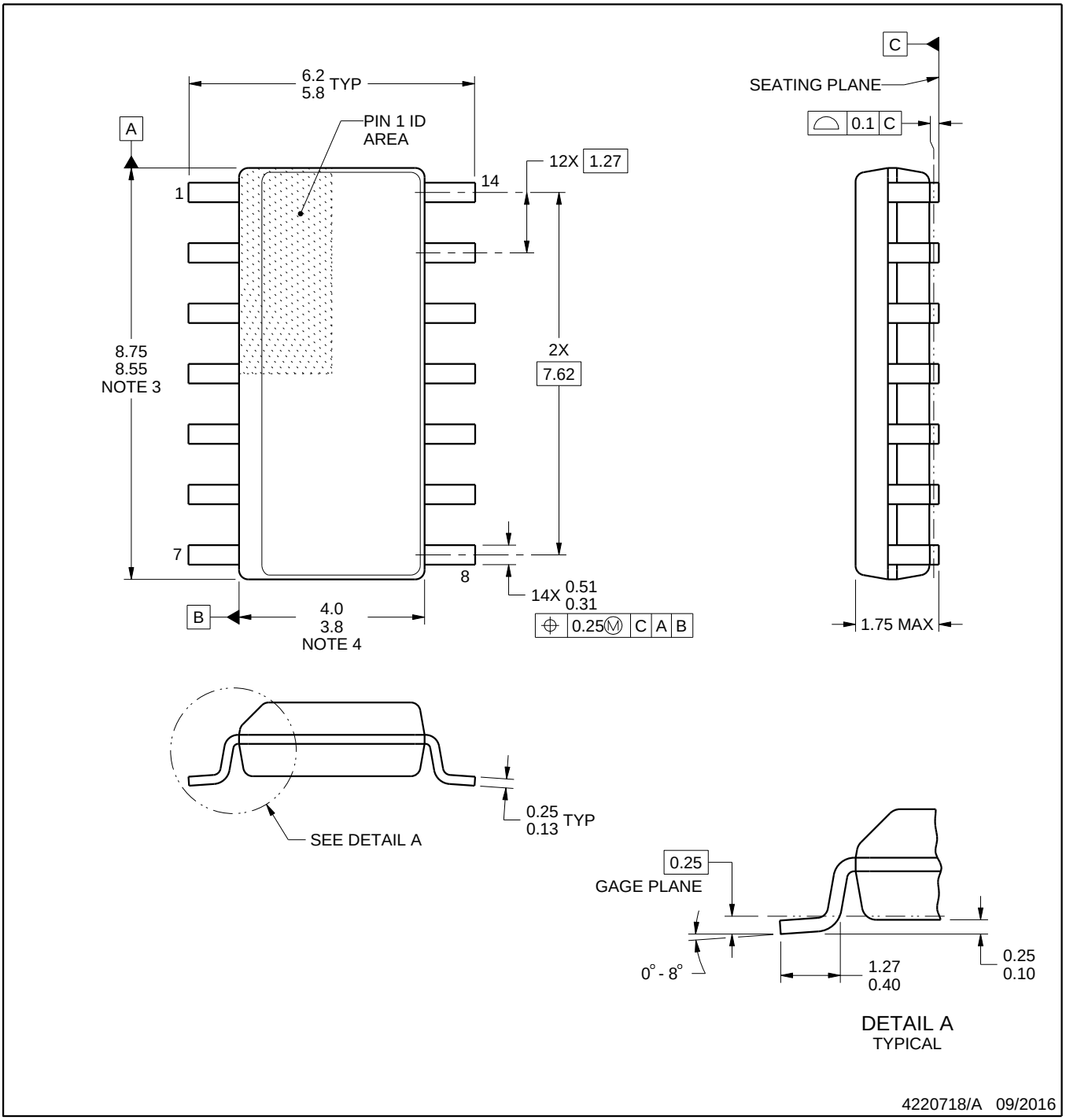


PACKAGE OUTLINE

D0014A

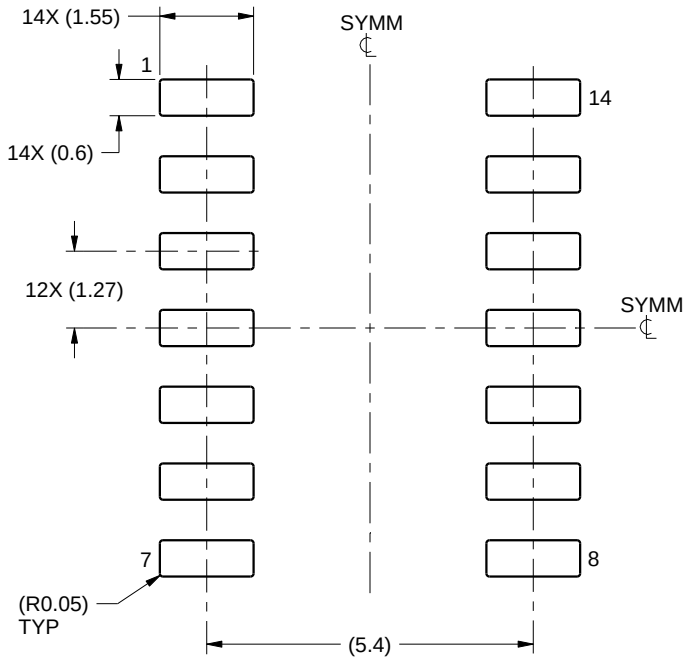
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

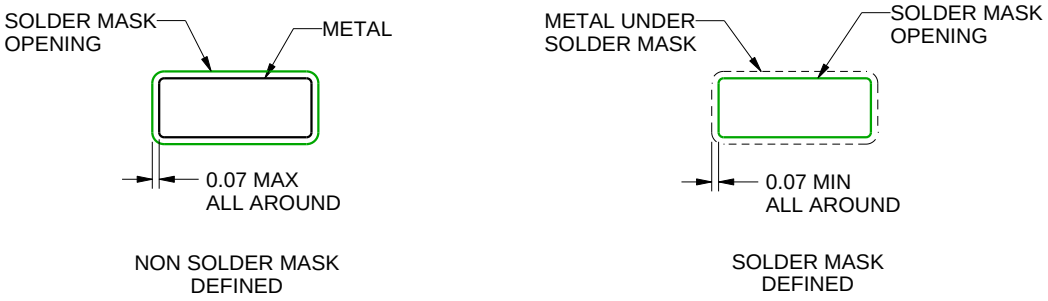


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

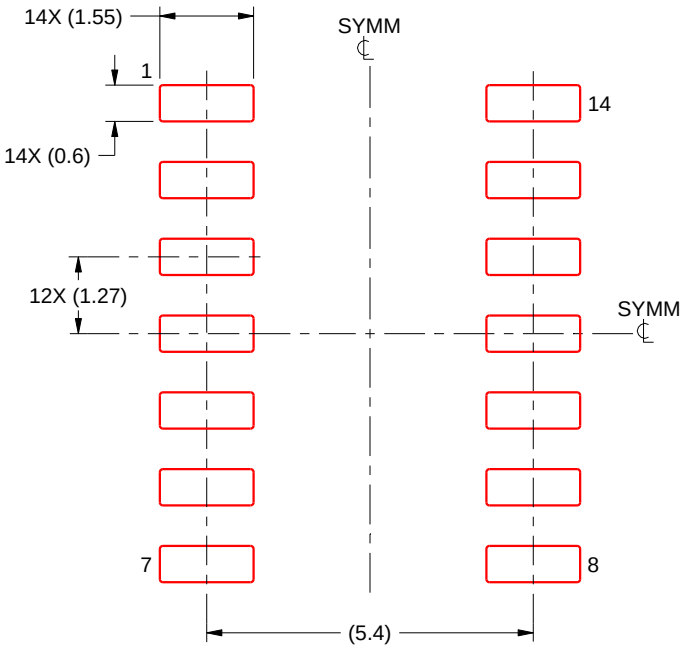
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

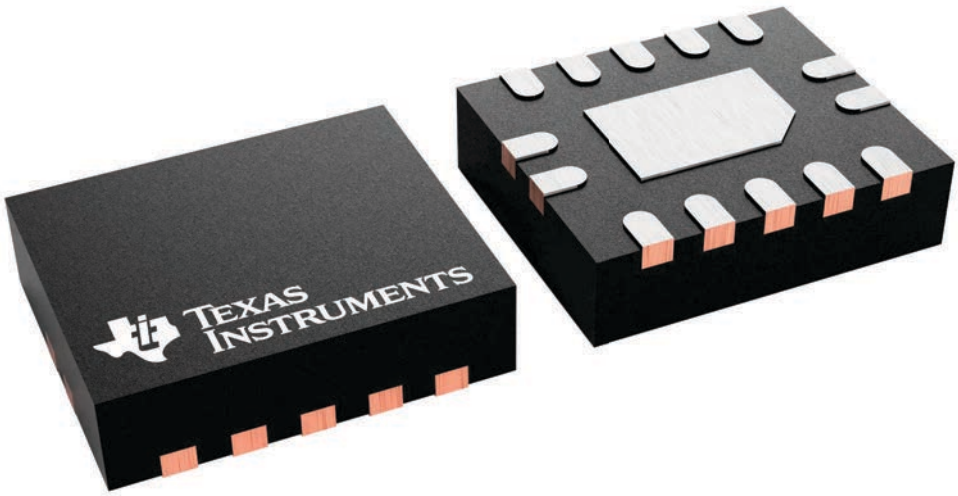
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

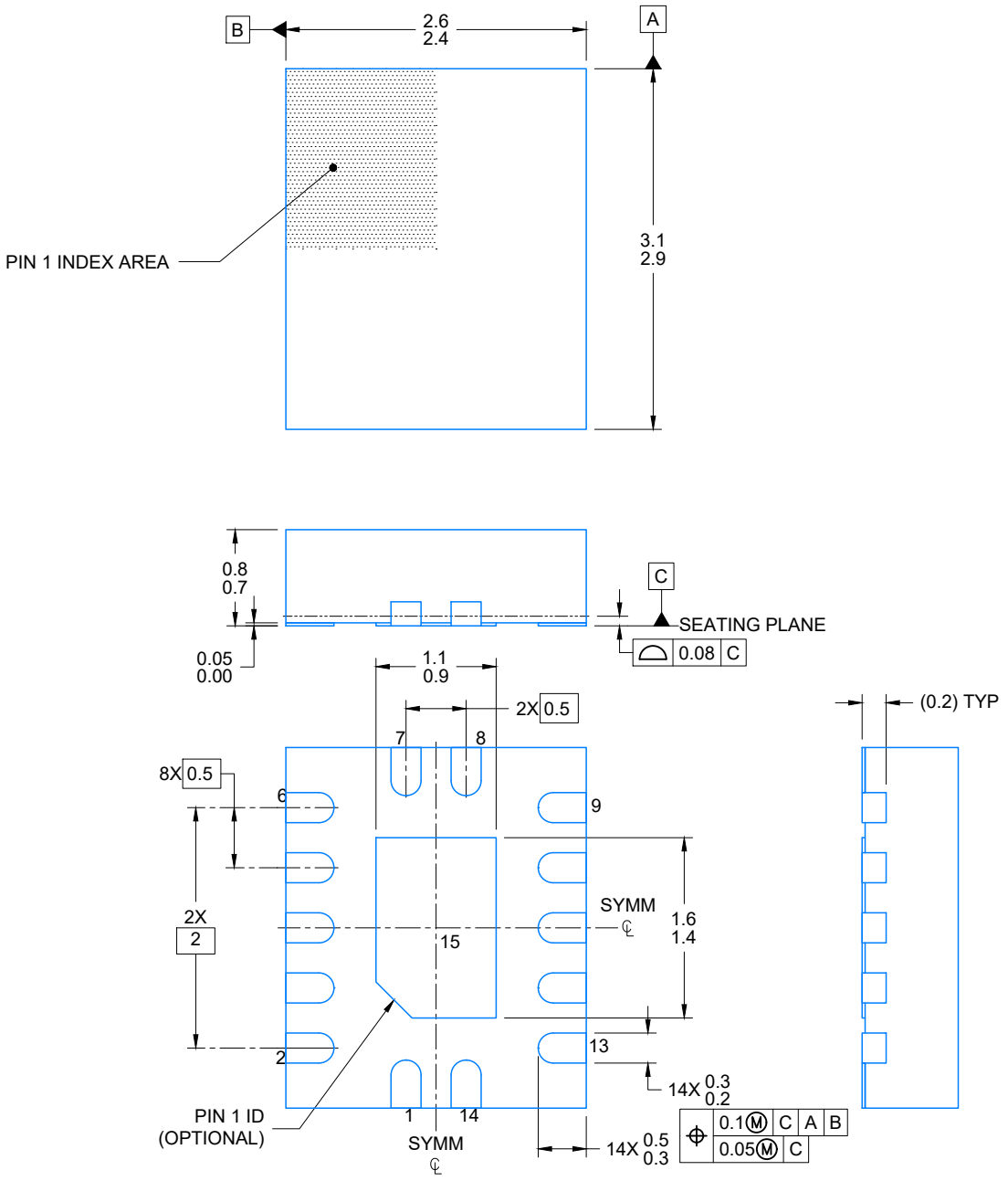


PACKAGE OUTLINE

BQA0014A

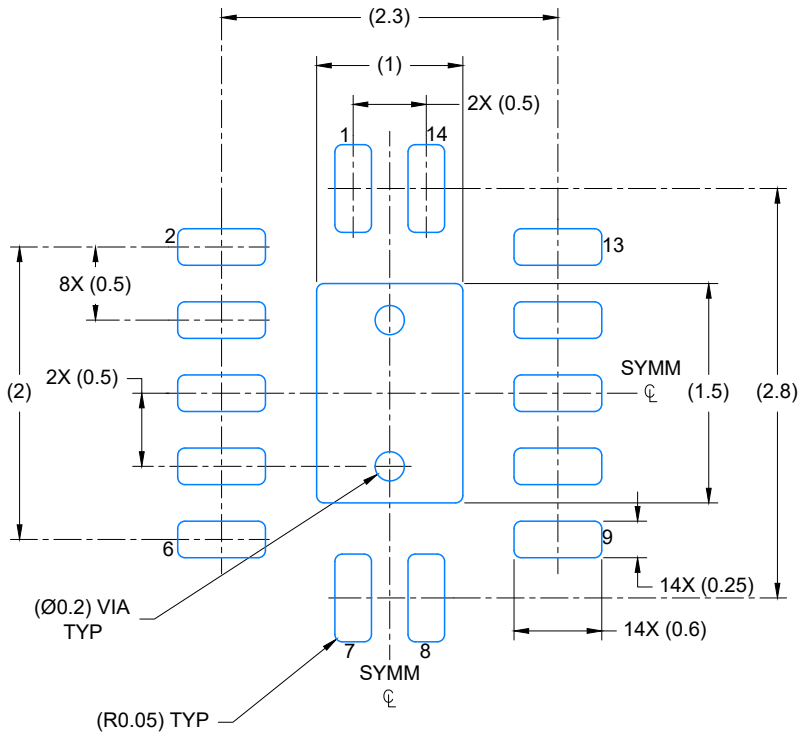
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

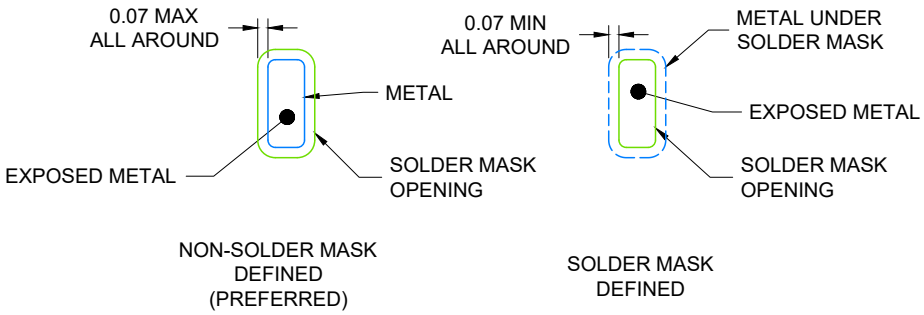


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



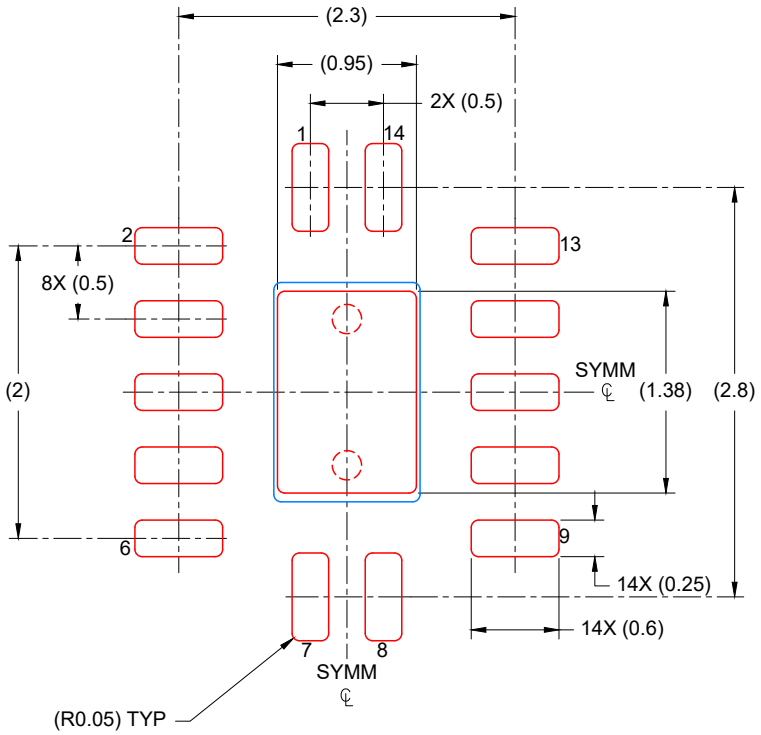
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



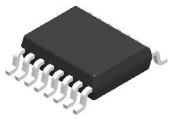
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

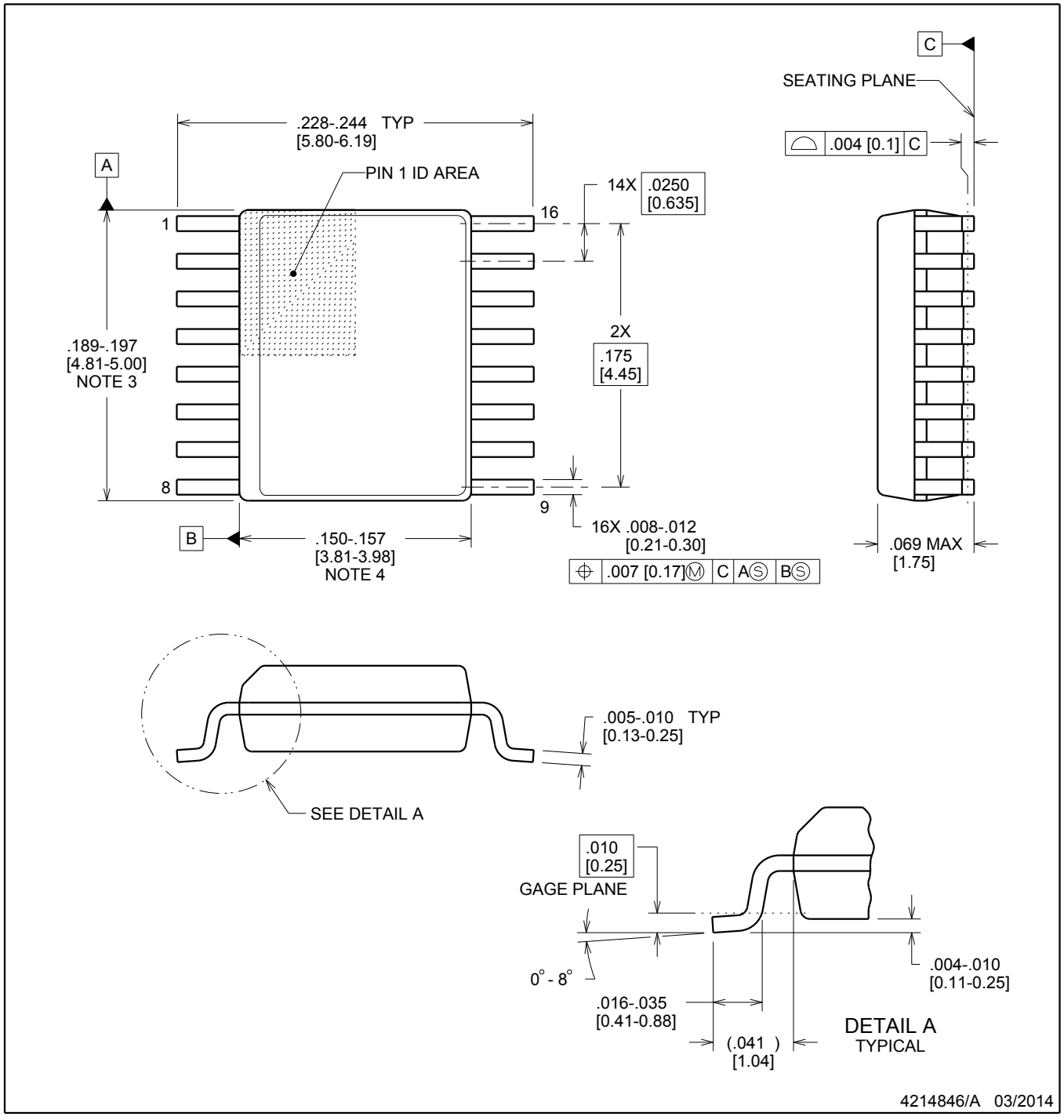


PACKAGE OUTLINE

DBQ0016A

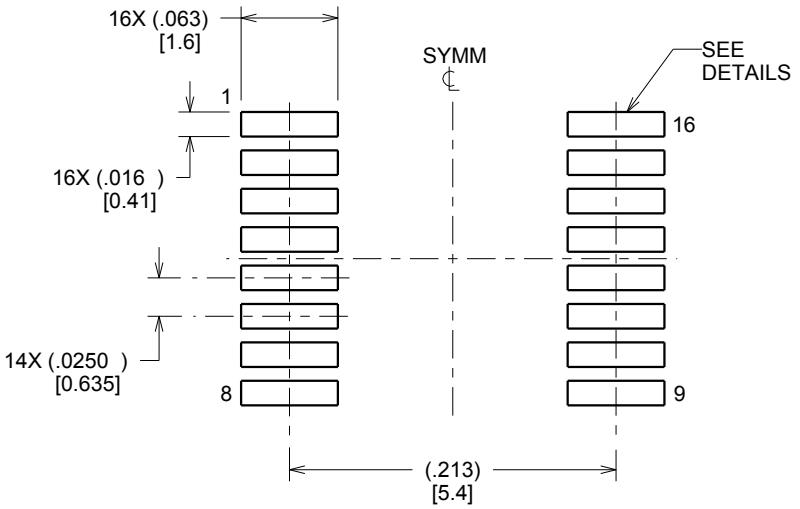
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

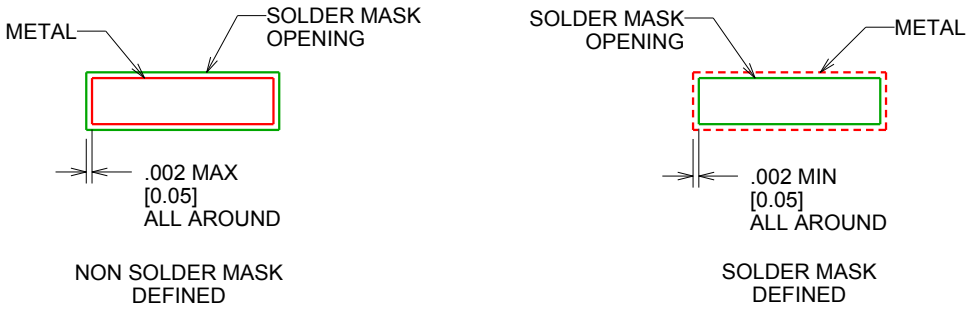


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

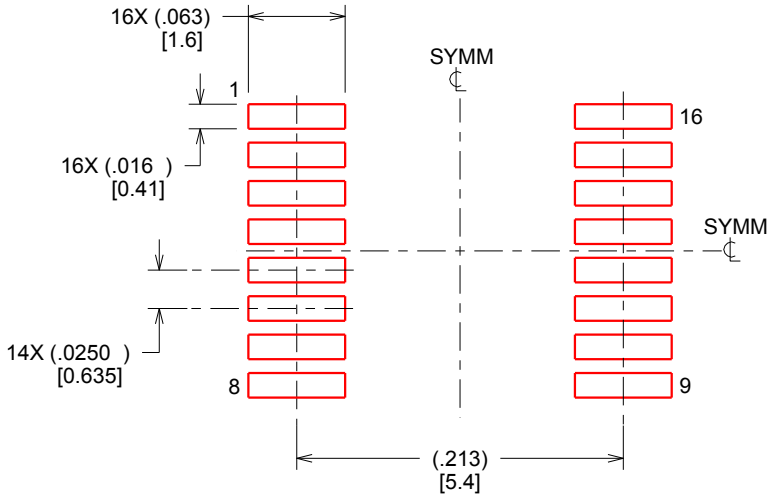
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

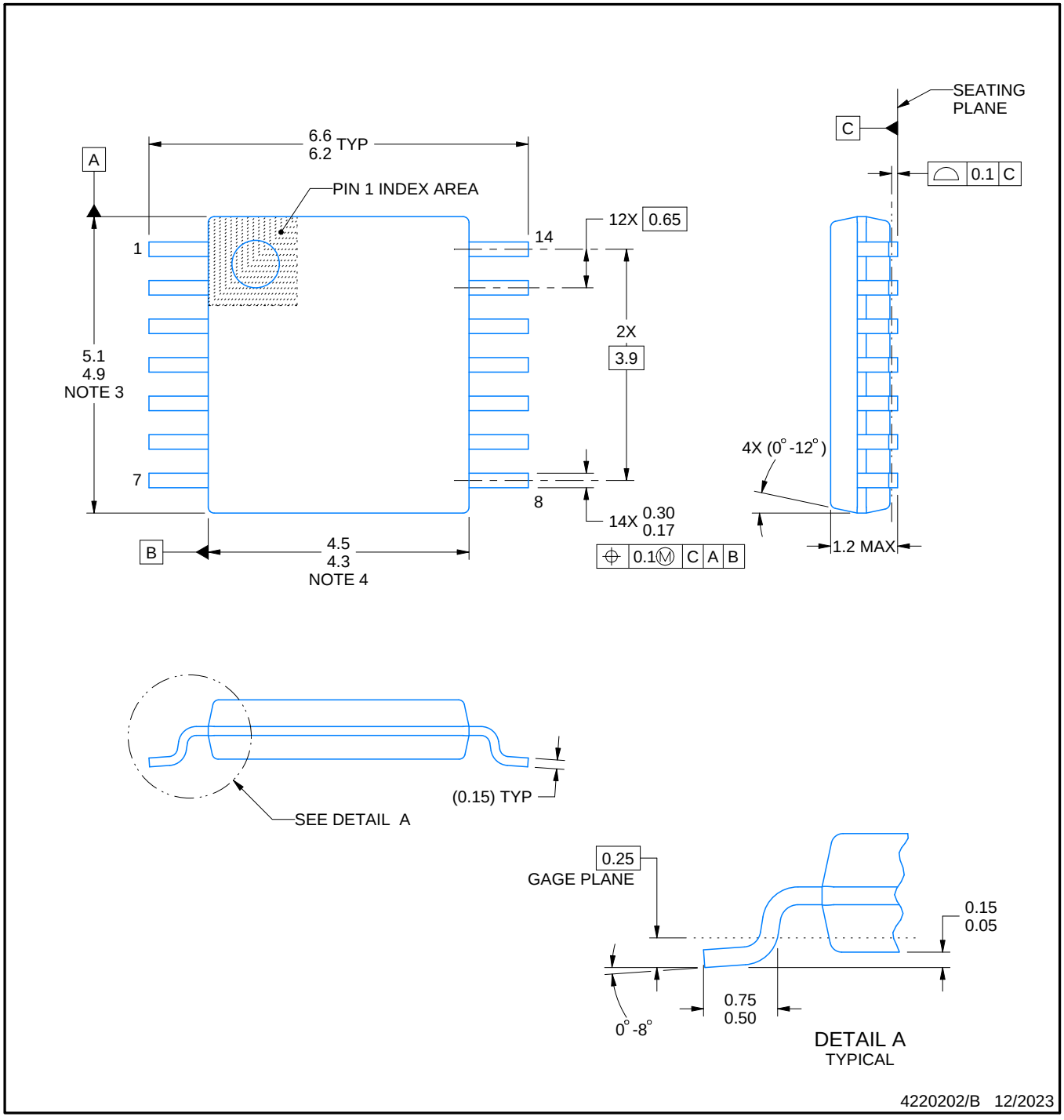
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

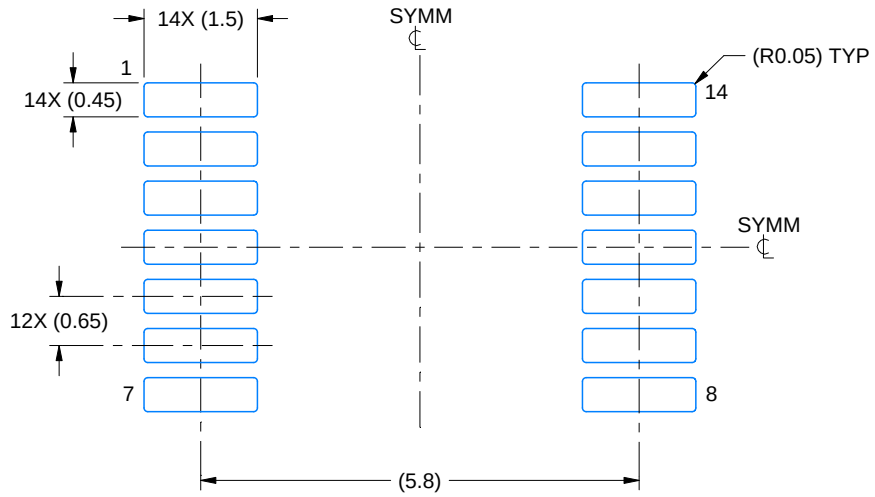
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

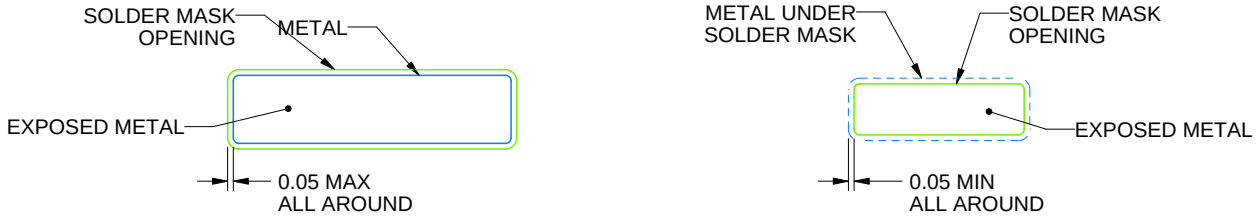


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

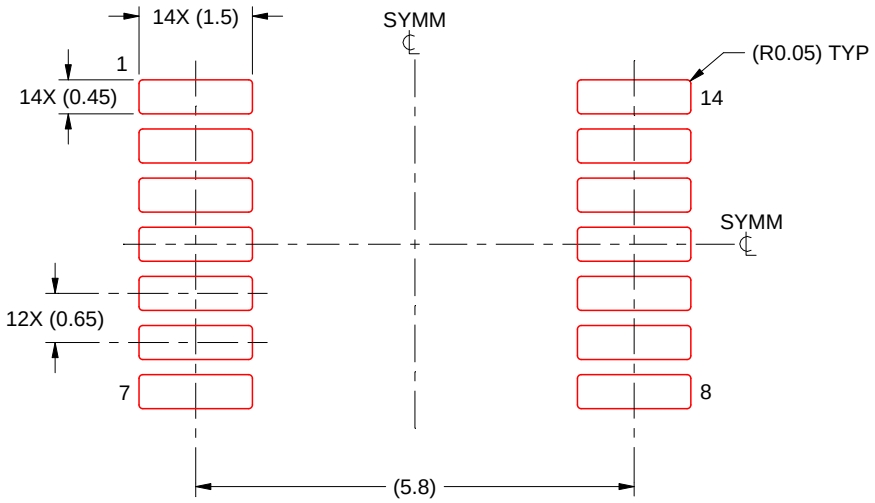


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

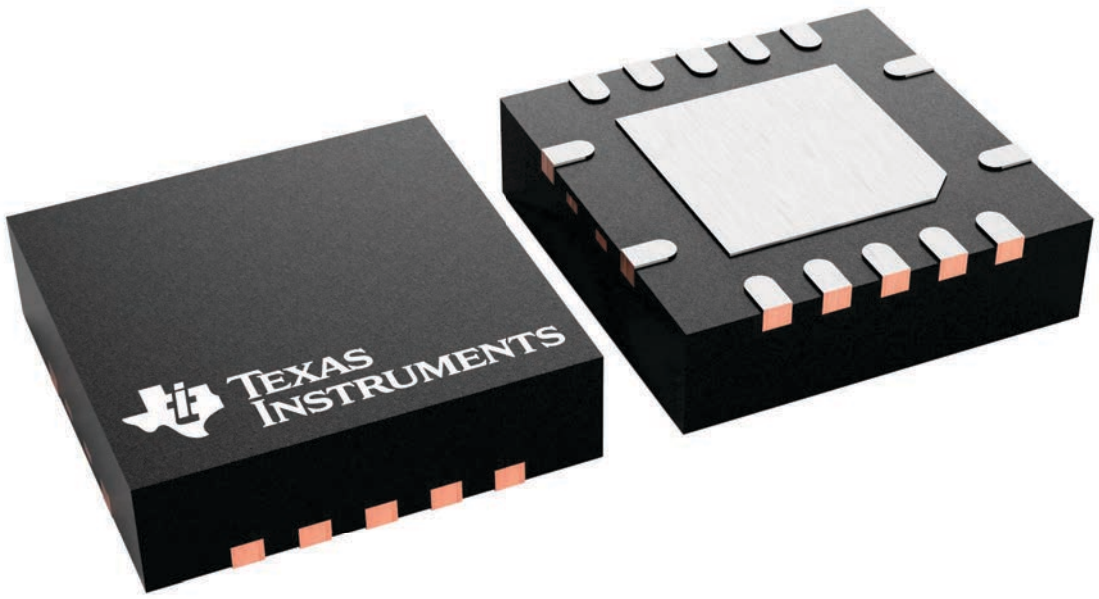
RGY 14

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



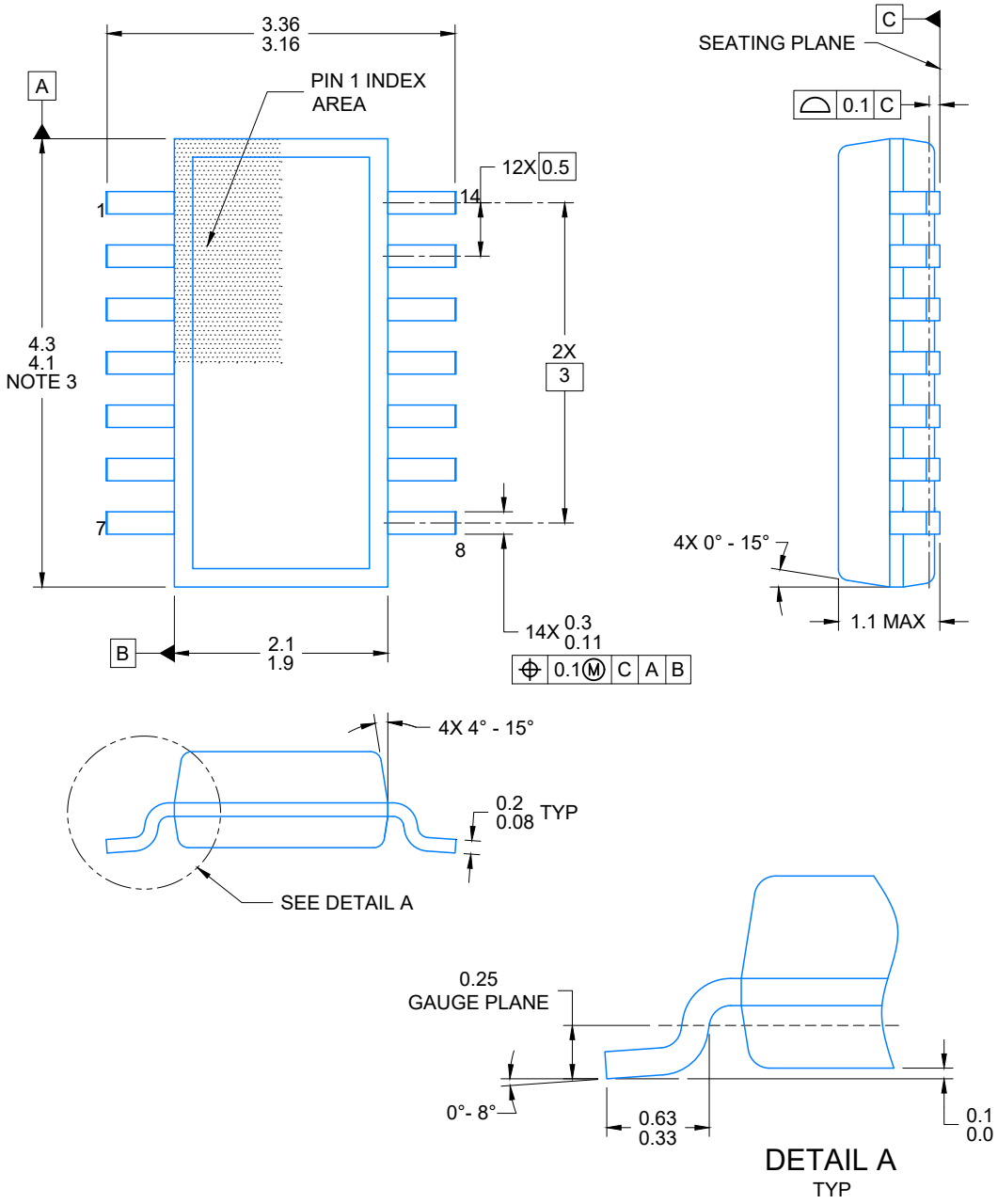
4231541/A

PACKAGE OUTLINE

DYY0014A

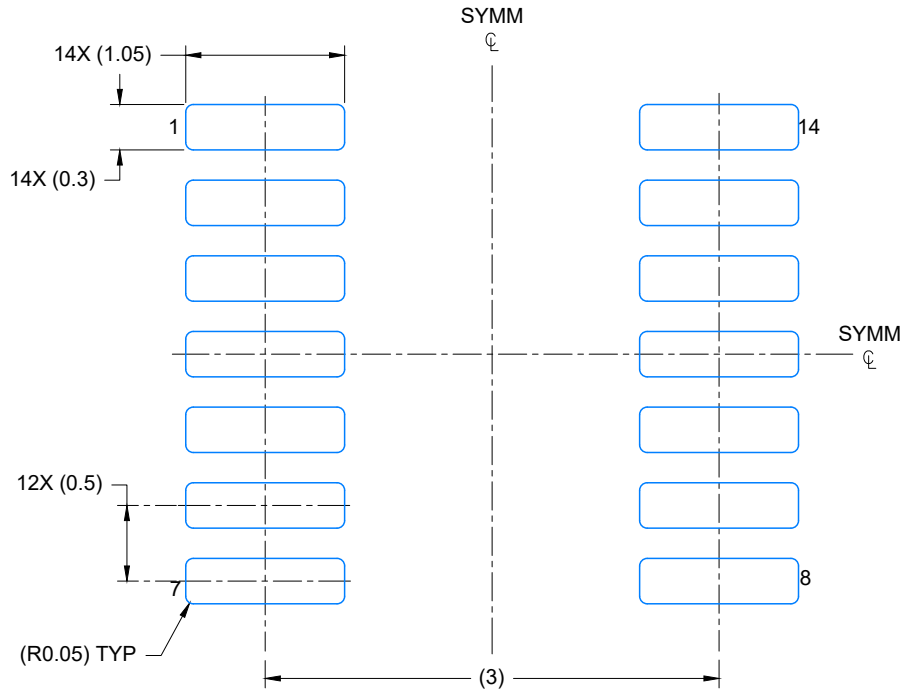
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

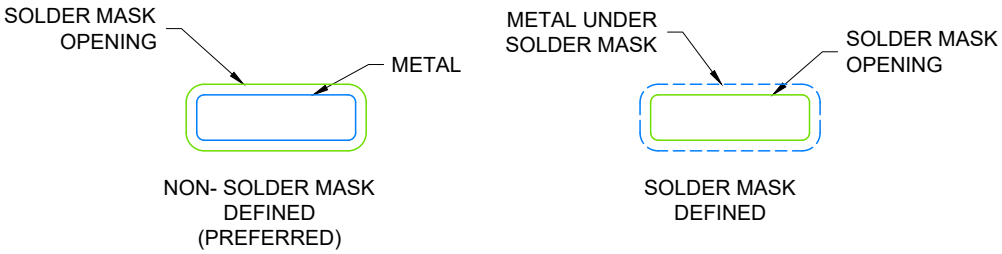


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

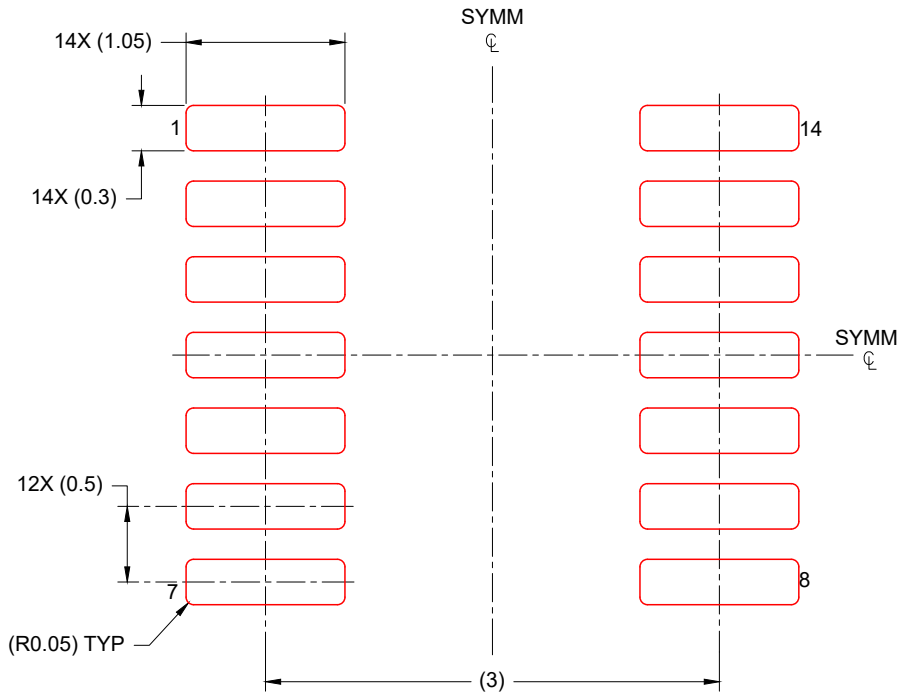


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月