

SN74CBTLV3245A 低電圧オクタール FET バス スイッチ

1 特長

- 標準の 245 タイプのピン配置
- 2 つのポート間を 5Ω スイッチで接続
- データ I/O ポートのレールツーレールスイッチング
- I_{off} により部分的パワーダウンモードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
 - 2000V、人体モデル (A114-A)

アプリケーション

- データセンターおよびエンタープライズコンピューティング
- ブロードバンド固定回線アクセス
- ビルオートメーション
- 有線ネットワーク
- モータードライブ

2 説明

SN74CBTLV3245A デバイスは、標準の 245 デバイスピン配置で 8 ビットの高速バススイッチングを提供します。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。

このデバイスは、1 つの 8 ビットスイッチとして構成されています。出力イネーブル (\overline{OE}) が Low の場合、8 ビットのバススイッチはオンで、ポート A はポート B に接続されます。 \overline{OE} が High の場合、スイッチはオープンで、2 つのポート間はハイインピーダンス状態になります。

このデバイスは、 I_{off} を使用する部分的パワーダウンアプリケーション用の動作が完全に規定されています。 I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないようにします。デバイスは、電源オフ時は絶縁されています。

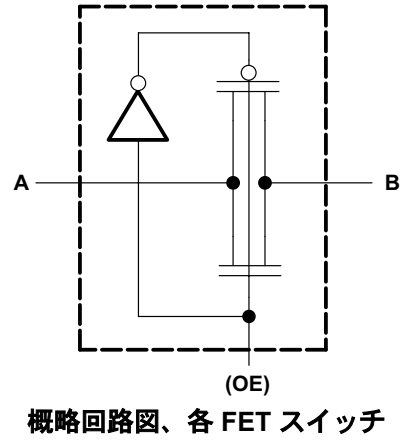
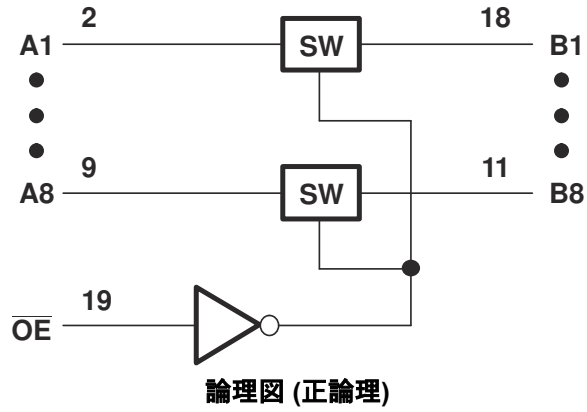
電源投入または電源切断時に高インピーダンス状態を維持するため、 \overline{OE} はプルアップ抵抗経路で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報 (1)

部品番号	パッケージ	パッケージサイズ (2)
SN74CBTLV3245A	DBQ (SSOP, 20)	8.65mm × 3.90mm
	PW (TSSOP, 20)	6.50mm × 4.40mm
	RGY (VQFN, 20)	4.50mm × 3.50mm
	DW(SOIC, 20)	12.80mm × 7.50mm
	DGV(TVSOP, 20)	5.00mm × 4.40mm
	DGS(VSSOP, 20)	5.10mm × 3.00mm
	RKS(VQFN, 20)	4.50mm × 2.50mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





目次

1 特長	1	6.2 機能ブロック図	10
アプリケーション	1	6.3 機能説明	10
2 説明	1	6.4 デバイスの機能モード	10
3 ピン構成および機能	4	7 アプリケーションと実装	11
4 仕様	6	7.1 使用上の注意	11
4.1 絶対最大定格	6	7.2 代表的なアプリケーション	11
4.2 ESD 定格	6	7.3 電源に関する推奨事項	11
4.3 熱に関する情報	6	7.4 レイアウト	12
4.4 推奨動作条件	6	8 デバイスおよびドキュメントのサポート	13
4.5 電気的特性 - DBQ、DGV、DW、PW、RGY のみ	7	8.1 ドキュメントの更新通知を受け取る方法	13
4.6 電気的特性 - RKS および DGS パッケージのみ	7	8.2 サポート・リソース	13
4.7 スイッチング特性 - DBQ、DGV、DW、PW、RGY のみ	8	8.3 商標	13
4.8 スイッチング特性 - RKS および DGS パッケージのみ	8	8.4 静電気放電に関する注意事項	13
4.9 代表的特性	8	8.5 用語集	13
5 パラメータ測定情報	9	9 改訂履歴	13
6 詳細説明	10	10 メカニカル、パッケージ、および注文情報	13
6.1 概要	10	10.1 メカニカル データ	14

3 ピン構成および機能

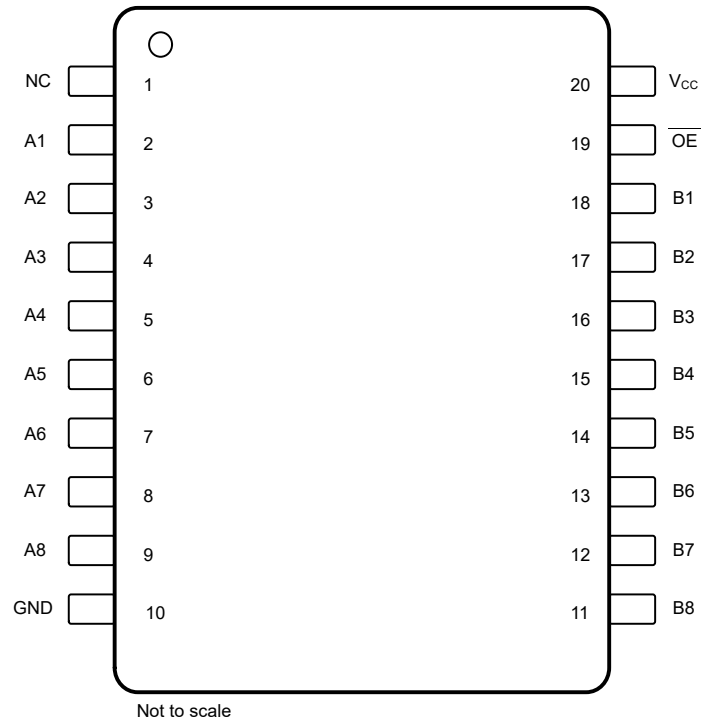


図 3-1. DBQ、DGV、DW、DGS、PW パッケージ 20 ピン SSOP、TVSOP、SOIC、VSSOP、TSSOP (上面図)

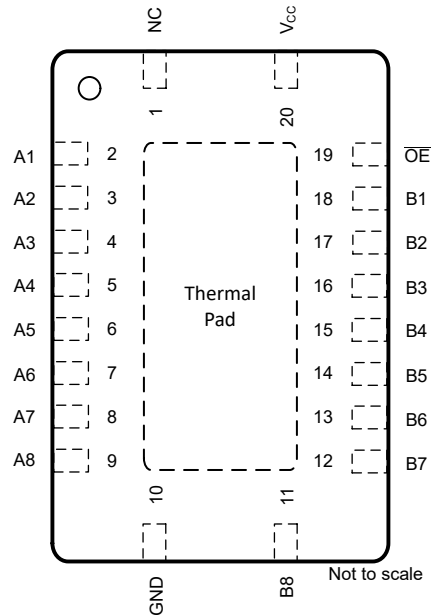


図 3-2. RGY、RKS パッケージ 20 ピン VQFN (上面図)

表 3-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
NC	1	I/O	内部接続なし GND に短絡するか、フローティングのままにすることが可能。
A1	2	I/O	入出力ピン
A2	3	I/O	入出力ピン
A3	4	I/O	入出力ピン
A4	5	I/O	入出力ピン
A5	6	I/O	入出力ピン
A6	7	I/O	入出力ピン
A7	8	I/O	入出力ピン
A8	9	I/O	入出力ピン
GND	10	GND	グランド ピン
B8	11	I/O	入出力ピン
B7	12	I/O	入出力ピン
B6	13	I/O	入出力ピン
B5	14	I/O	入出力ピン
B4	15	I/O	入出力ピン
B3	16	I/O	入出力ピン
B2	17	I/O	入出力ピン
B1	18	I/O	入出力ピン
OE	19	I	出力イネーブル、アクティブ Low
V _{CC}	20	PWR	電圧供給ピン

(1) I = 入力、O = 出力、PWR = パワー

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	4.6	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	4.6	V
	連続チャネル電流		128	mA
I _{IK}	入力クランプ電流		-50	mA
				V _{I/O} < 0
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることができます。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電	±2000	V
	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

4.3 熱に関する情報

		SN74CBTLV3245A							単位
		PW (TSSOP)	RKS(VQFN)	DGS(VSSOP)	DBQ(SSOP)	RGY(VQFN)	DW (SOIC)	DGV (TVSOP)	
熱評価基準 ¹		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
R _{θJA}	接合部から周囲への熱抵抗	105.9	71.8	120.5	100.9	80.8	58	92	°C/W

4.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	2.3	3.6	V
V _{IH}	High レベル制御入力電圧	V _{CC} = 2.3V~2.7V	1.7	V
		V _{CC} = 2.7V~3.6V	2	
V _{IL}	Low レベル制御入力電圧	V _{CC} = 2.3V~2.7V	0.7	V
		V _{CC} = 2.7V~3.6V	0.8	
T _A	自由空気での動作温度		PKG = DBQ、DGV、DW、PW、RGY	-40 85 °C
T _A	自由空気での動作温度		PKG = RKS、DGS	-40 125 °C

- (1) デバイスの適切な動作を維持するには、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション ノート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.5 電気的特性 - DBQ、DGV、DW、PW、RGY のみ

自由空気での推奨動作温度範囲内、-40 ~ 85°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位	
V _{IK}	制御入力	V _{CC} = 3V、	I _I = -18mA			-1.2	V	
	データ入力					-0.8		
I _I		V _{CC} = 3.6V、	V _I = V _{CC} または GND			±60	μA	
I _{off}		V _{CC} = 0、	V _I または V _O = 0~3.6V			40	μA	
I _{CC}		V _{CC} = 3.6V、	I _O = 0、 V _I = V _{CC} または GND			20	μA	
ΔI _{CC} (2)	制御入力	V _{CC} = 3.6V、	3V の単一入力、他の入力は V _{CC} または GND			300	μA	
C _i	制御入力	V _I = 3V または 0				4	pF	
C _{io(OFF)}		V _O = 3V または 0、	\overline{OE} = V _{CC}			9	pF	
r _{on} (3)	V _{CC} = 2.3V、 V _{CC} = 2.5V での標準 値	V _I = 0	I _O = 64mA			5	8	Ω
			I _O = 24mA			5	8	
		V _I = 1.7V、	I _O = 15mA			27	40	
	V _{CC} = 3V	V _I = 0	I _O = 64mA			5	7	
			I _O = 24mA			5	7	
		V _I = 2.4V、	I _O = 15mA			10	15	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。

(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。

(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

4.6 電気的特性 - RKS および DGS パッケージのみ

自由空気での推奨動作温度範囲内、-40 ~ 125°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位	
V _{IK}	制御入力	V _{CC} = 3V、	I _I = -18mA			-1.2	V	
	データ入力					-0.8		
I _I		V _{CC} = 3.6V、	V _I = V _{CC} または GND			±60	μA	
I _{off}		V _{CC} = 0、	V _I または V _O = 0~3.6V			40	μA	
I _{CC}		V _{CC} = 3.6V、	I _O = 0、 V _I = V _{CC} または GND			20	μA	
ΔI _{CC} (2)	制御入力	V _{CC} = 3.6V、	3V の単一入力、他の入力は V _{CC} または GND			300	μA	
C _i	制御入力	V _I = 3V または 0				4	pF	
C _{io(OFF)}		V _O = 3V または 0、	\overline{OE} = V _{CC}			9	pF	
r _{on} (3)	V _{CC} = 2.3V、 V _{CC} = 2.5V での標準 値	V _I = 0	I _O = 64mA			5	10	Ω
			I _O = 24mA			5	10	
		V _I = 1.7V、	I _O = 15mA			27	40	
	V _{CC} = 3V	V _I = 0	I _O = 64mA			5	9	
			I _O = 24mA			5	9	
		V _I = 2.4V、	I _O = 15mA			10	20	

4.7 スイッチング特性 - DBQ、DGV、DW、PW、RGY のみ

自由空気での推奨動作温度範囲内、-40 ~ 85°C (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	V _{CC} = 2.5V ± 0.2V		V _{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t _{pd} ⁽¹⁾	A または B	B または A	0.15		0.25		ns
t _{en}	OE	A または B	1	6	1	4.7	ns
t _{dis}	OE	A または B	1	6.1	1	6.4	ns

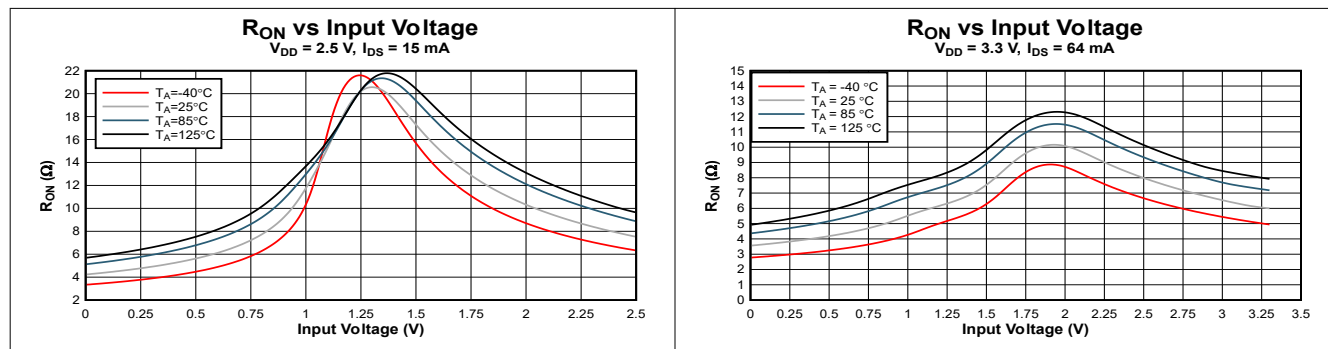
(1) 伝播遅延は、原型的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

4.8 スイッチング特性 - RKS および DGS パッケージのみ

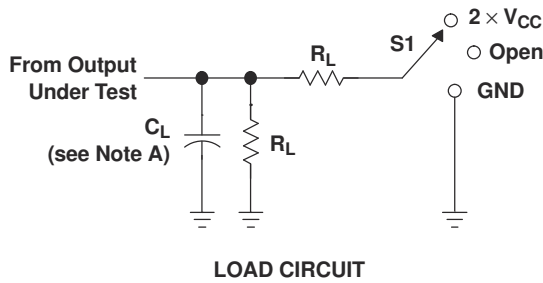
自由空気での推奨動作温度範囲内、-40 ~ 125°C (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	V _{CC} = 2.5V ± 0.2V		V _{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t _{pd} ⁽¹⁾	A または B	B または A	0.15		0.25		ns
t _{en}	OE	A または B	1	8.5	1	7.8	ns
t _{dis}	OE	A または B	1	6.8	1	5.8	ns

4.9 代表的特性

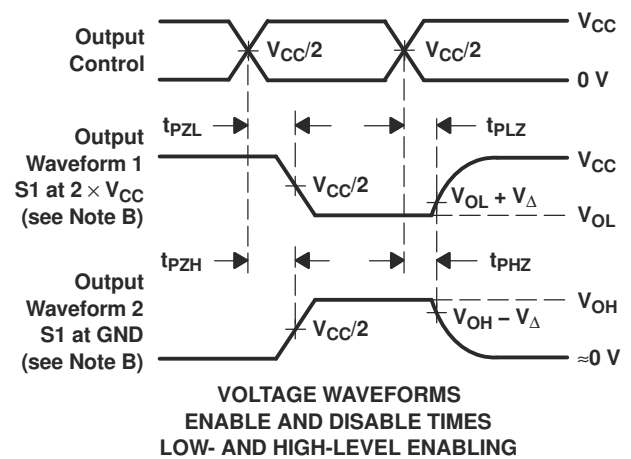
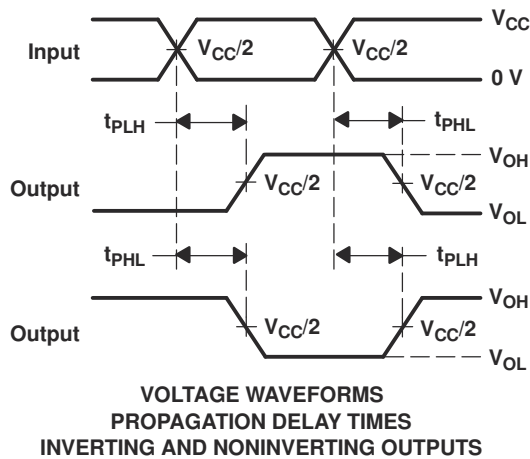
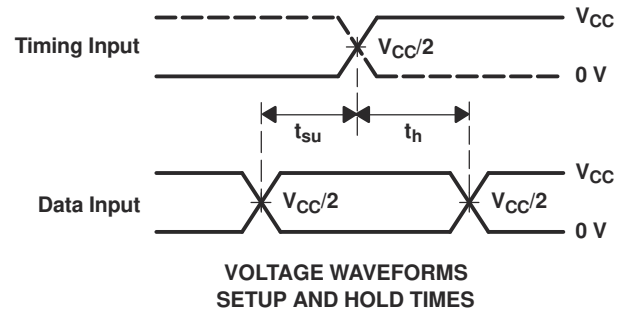
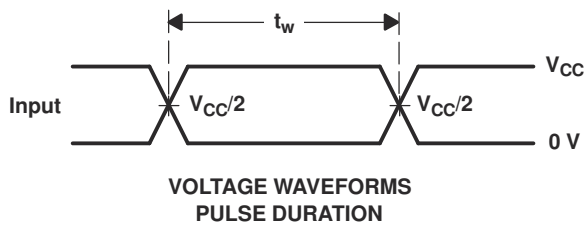


5 パラメータ測定情報



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

V_{CC}	C_L	R_L	V_{Δ}
2.5 V ± 0.2 V	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	50 pF	500 Ω	0.3 V



- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, $Z_O = 50 \Omega$, $t_r \leq 2$ ns, $t_f \leq 2$ ns.
 - D. The outputs are measured one at a time with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. All parameters and waveforms are not applicable to all devices.

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

6.2 機能ブロック図

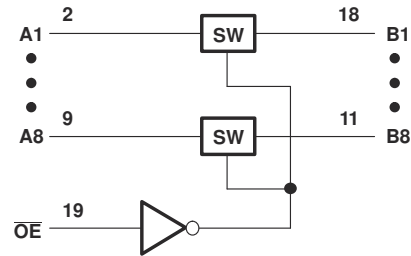


図 6-1. 論理図 (正論理)

6.3 機能説明

6.4 デバイスの機能モード

機能表

入力 OE	機能
L	A ポート = B ポー ト
H	切断

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

SN74CBTLV3245A は、信号パスを切り替えために使用できます。このスイッチは双方向であるため、A ピンと B ピンは入力または出力として使用できます。通常このスイッチは、特定の時間に絶縁を必要とする信号パスが 1 つ存在する場合に使用します。

(1)

7.2 代表的なアプリケーション

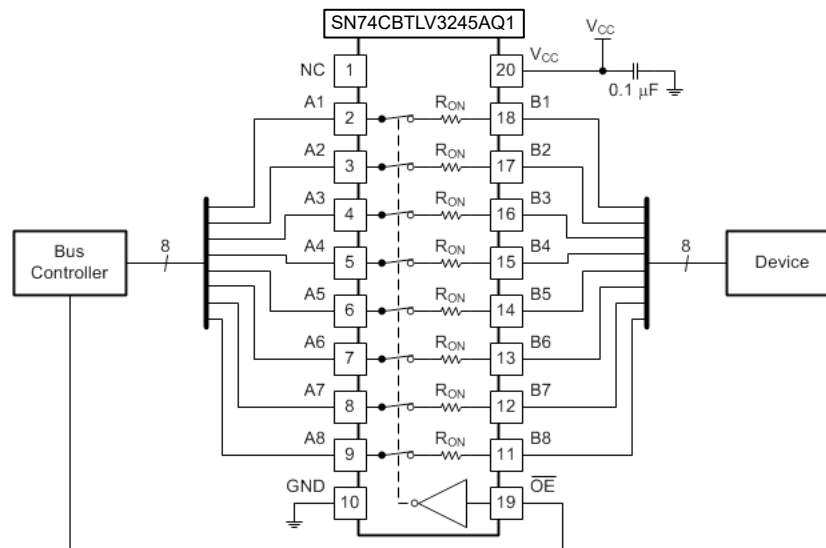


図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

SN74CBTLV3245A デバイスは、外付け部品なしで適切に動作できます。デジタル制御ピン (OE) を VCC にプルアップするか、GND にプルダウンして、フローティングピンが原因で発生する可能性のある不要なスイッチ位置を回避することを推奨します。フローティング デジタルピンが原因で、過剰な消費電流が発生する可能性があります (「[低速またはフローティング CMOS 入力の影響](#)」を参照)。

7.2.2 詳細な設計手順

$\overline{\text{OE}}$ が HIGH の場合、アクティブ バスです。これは、A ピンと B ピンの間に低インピーダンスのパスが存在することを意味します。VCC の 0.1μF コンデンサは、デカップリング コンデンサであるため、できる限りデバイスの近くに配置してください。

7.3 電源に関する推奨事項

電源には、[セクション 4.4](#) の表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、 $0.1\mu\text{F}$ のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、 V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。 V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに $0.1\mu\text{F}$ のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、 $0.1\mu\text{F}$ と $1\mu\text{F}$ の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 7-2 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

7.4.2 レイアウト例

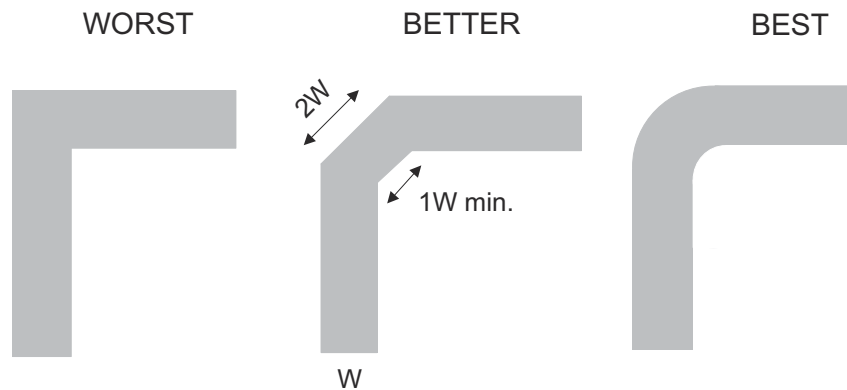


図 7-2. パターン例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

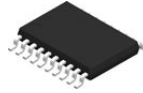
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (August 2005) to Revision N (May 2026)	Page
ドキュメントを TI の新しいデータシートフォーマットに更新 - 既存の仕様に変更なし。.....	1
「注文情報」表を削除。.....	1
「アプリケーション」セクション、「製品情報」表、「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。.....	1
熱定格を更新。.....	6
125°C 対応の新しいパッケージを追加.....	6
RKS および DGS パッケージについて、「電气的特性」および「スイッチング特性」セクションを追加。.....	7
「代表的特性」を追加.....	8
「メカニカル、パッケージ、および注文情報」セクションを追加.....	13

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

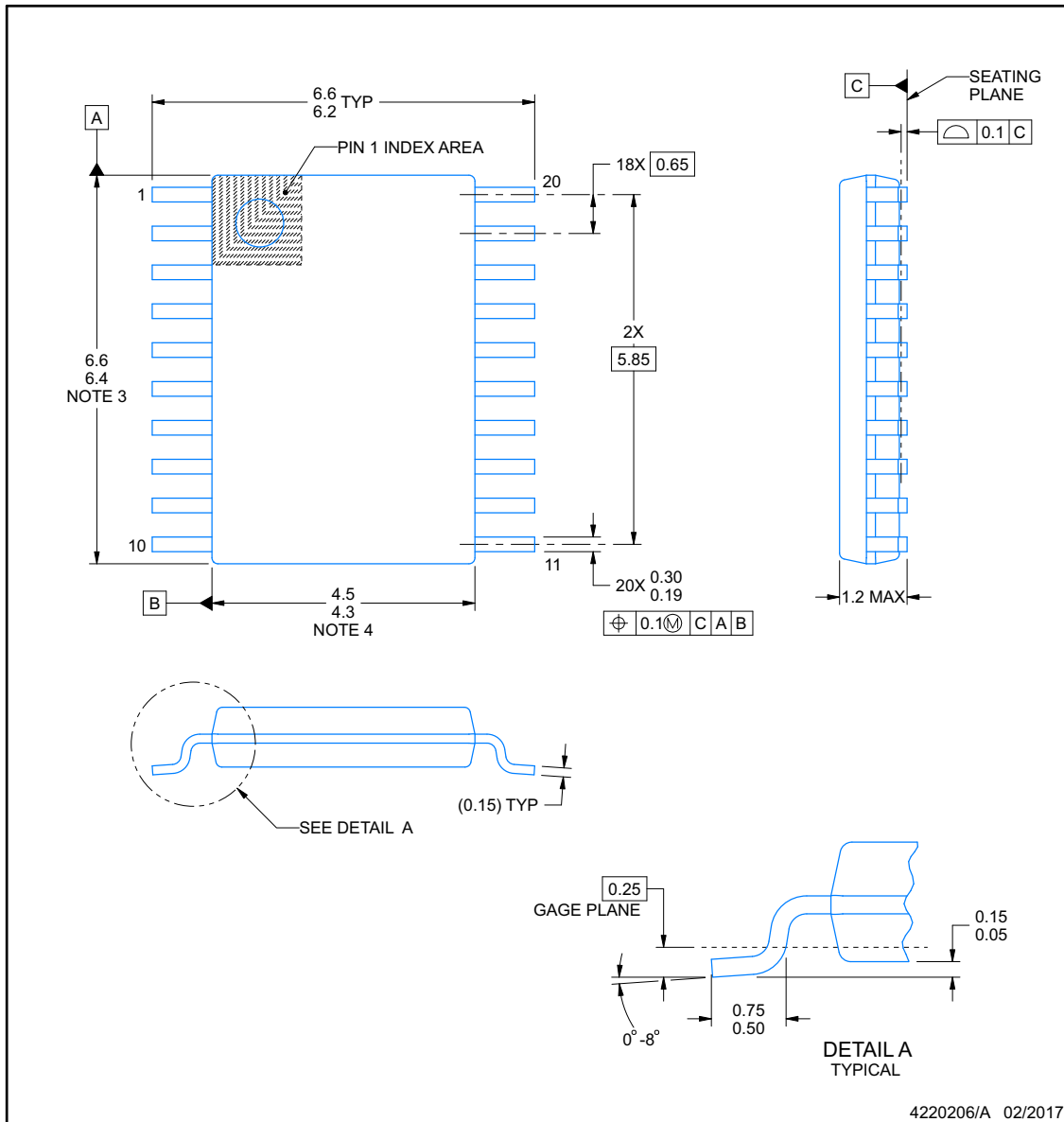
10.1 メカニカル データ



PW0020A

PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

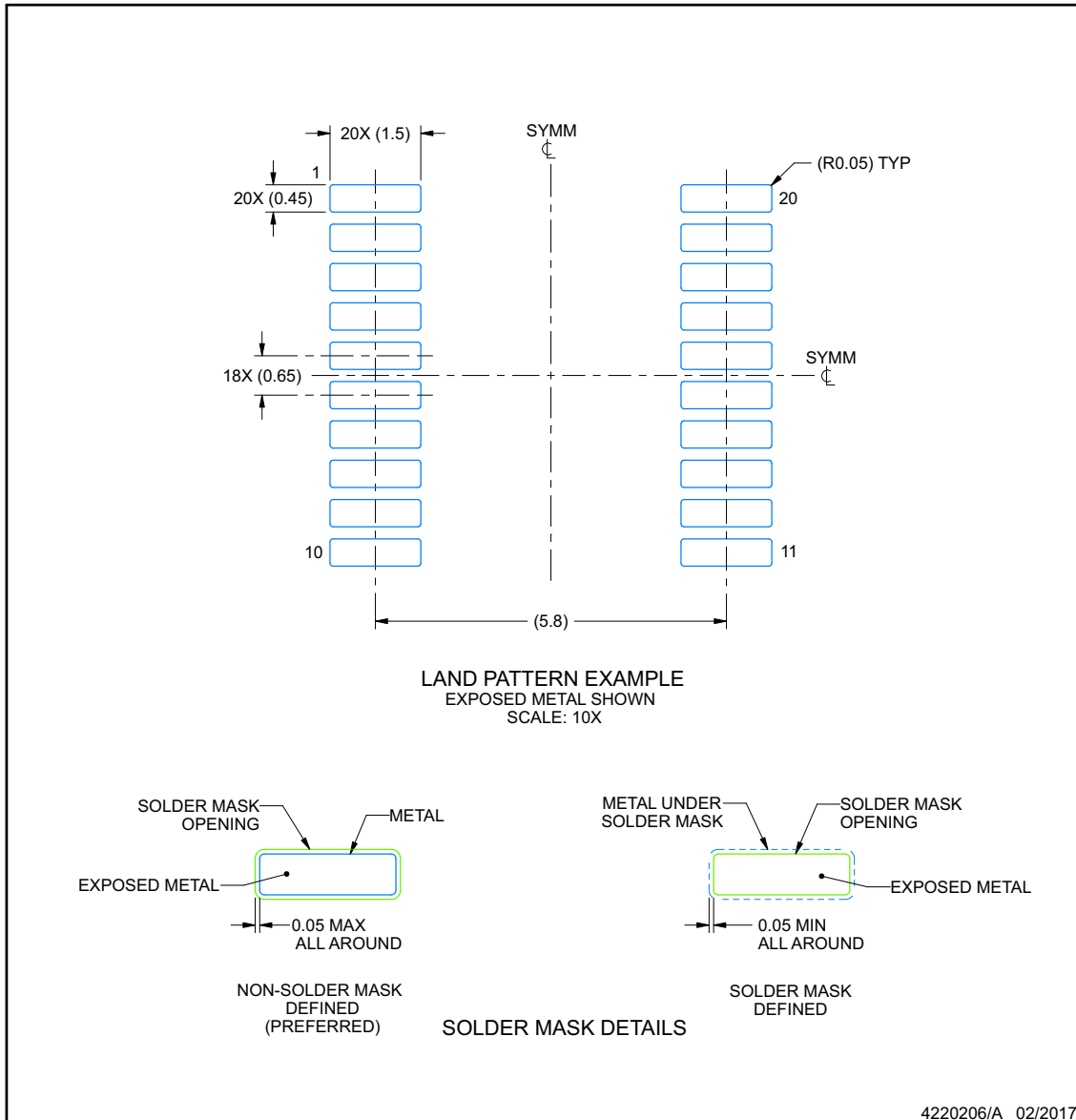


EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

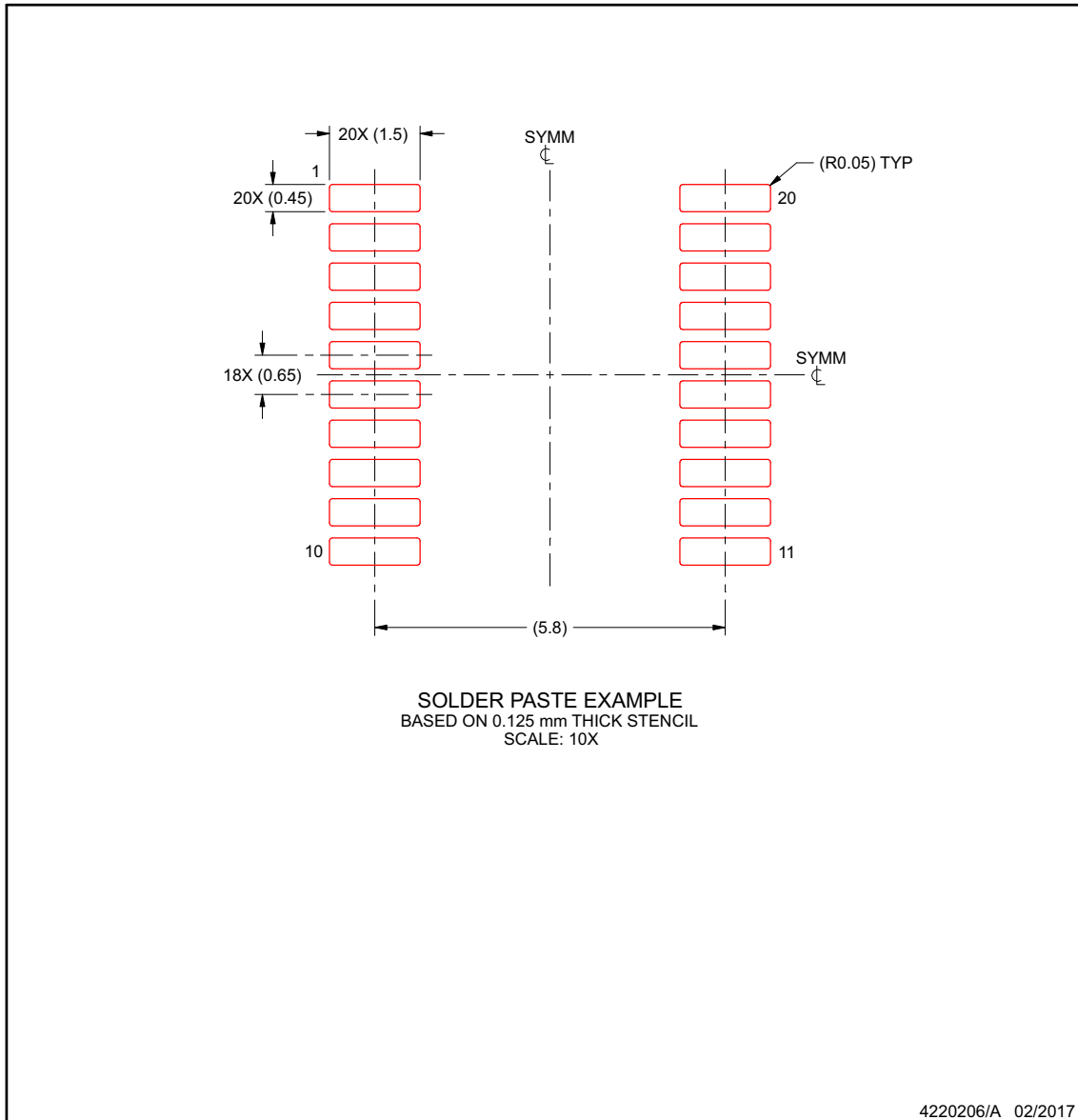
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

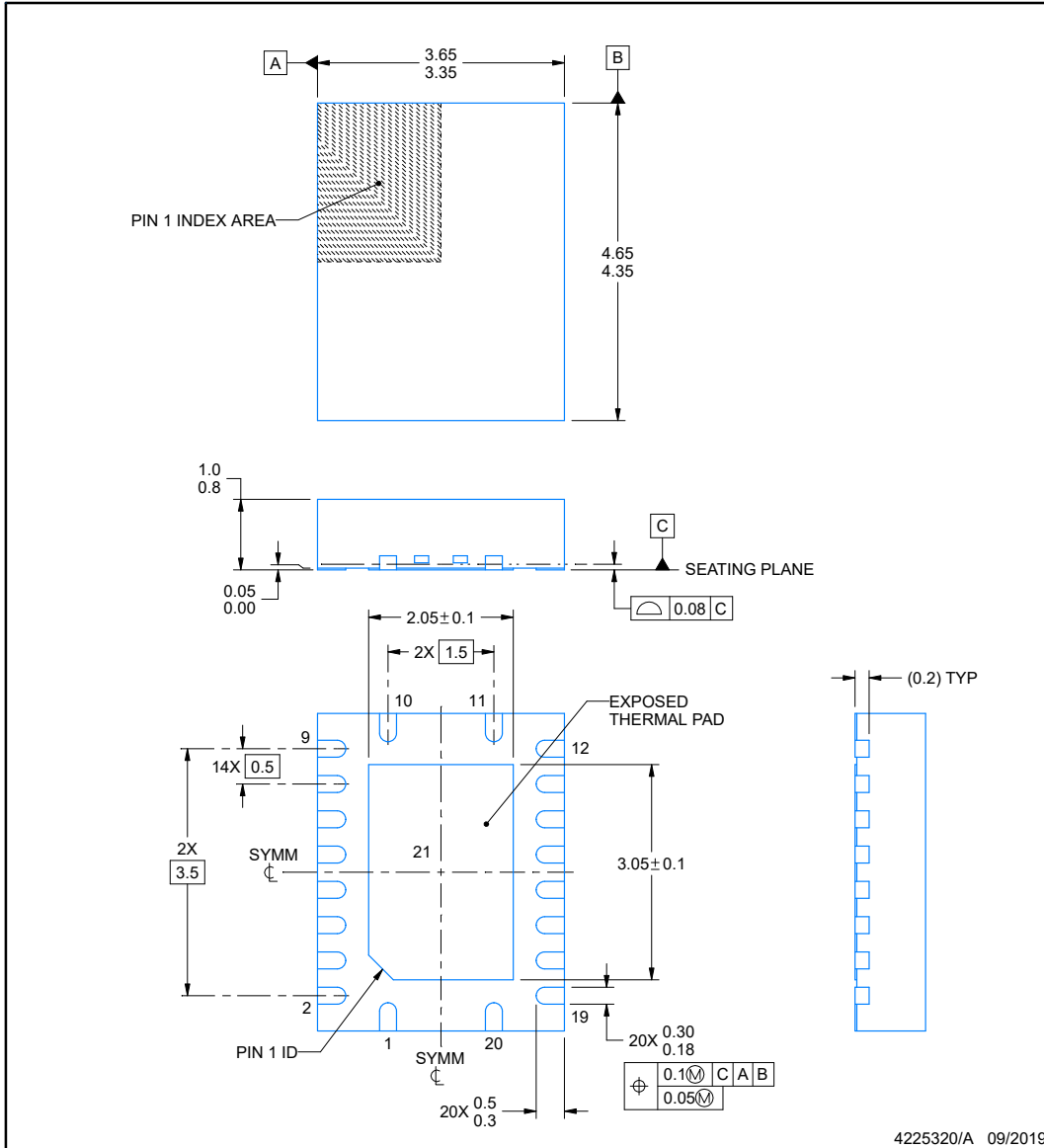


RGY0020A

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

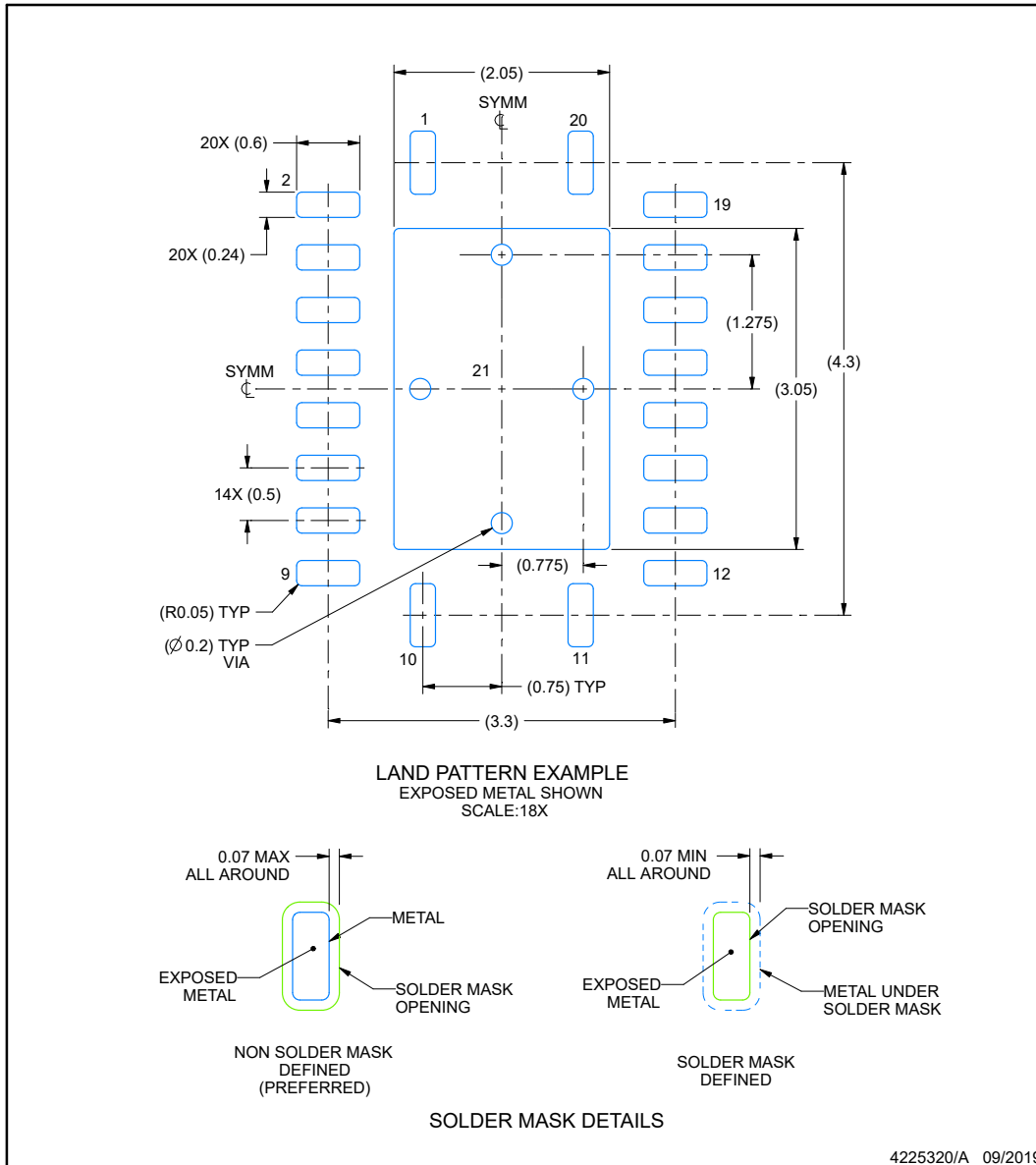
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

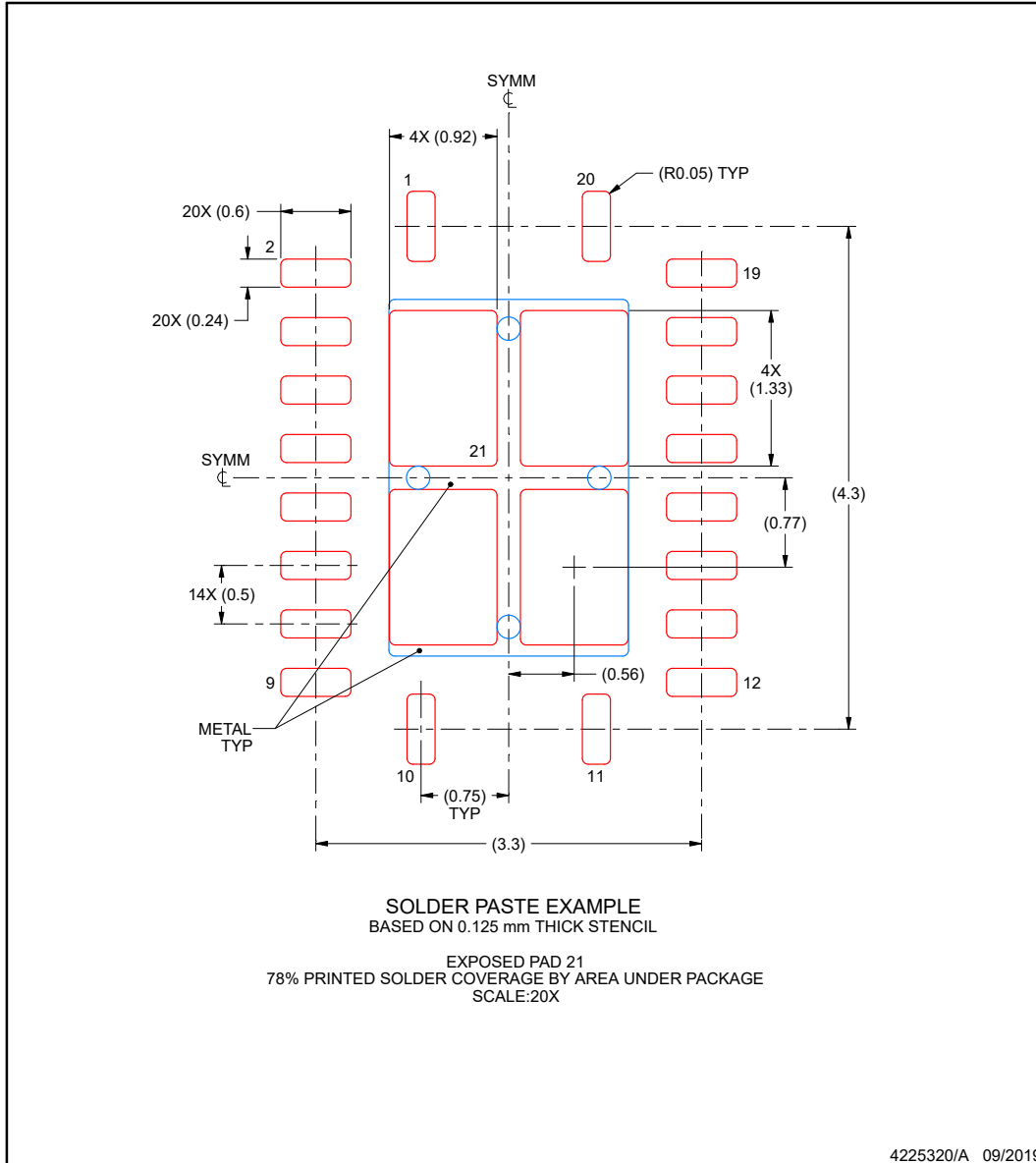
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

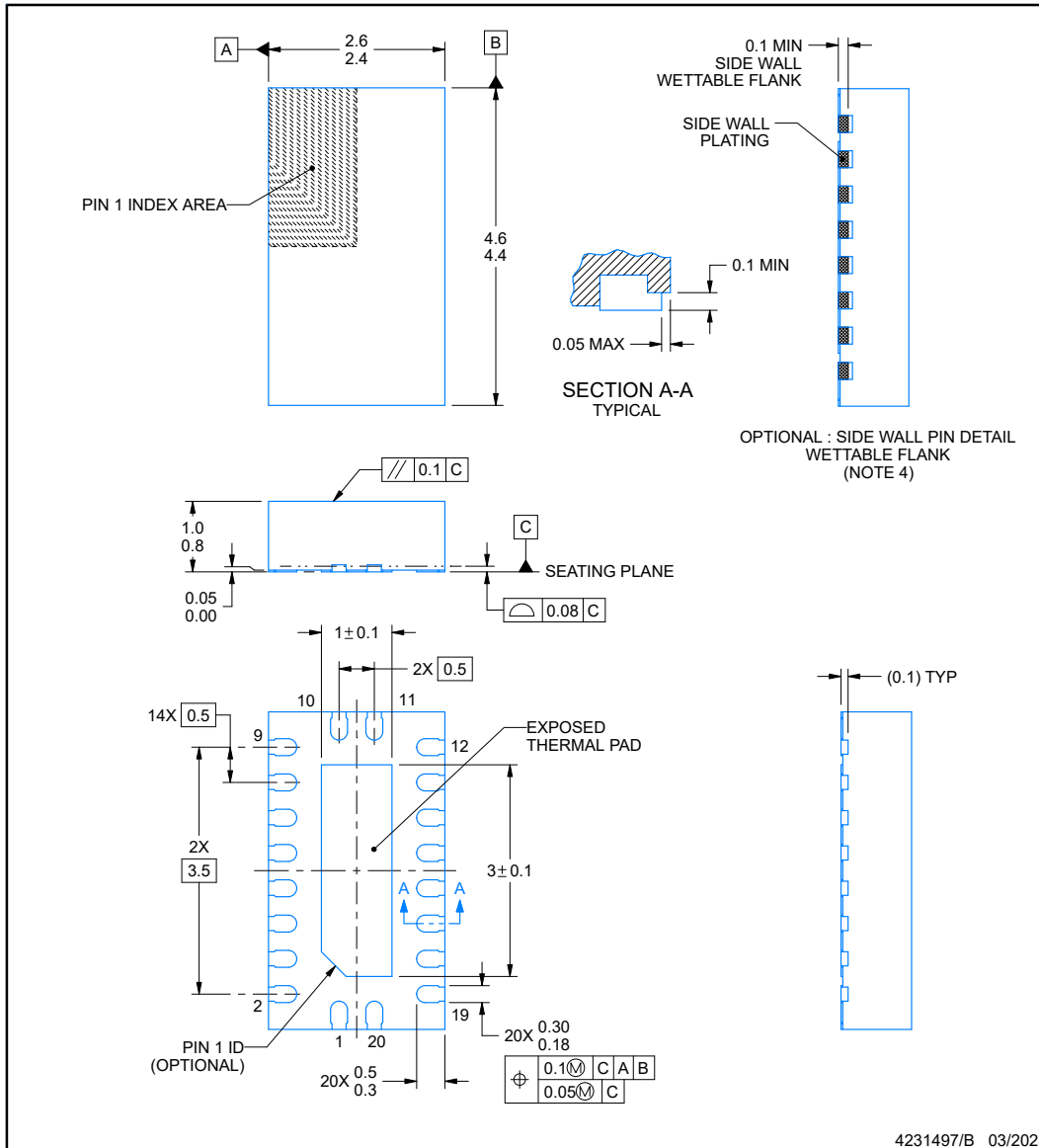


RKS0020C

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

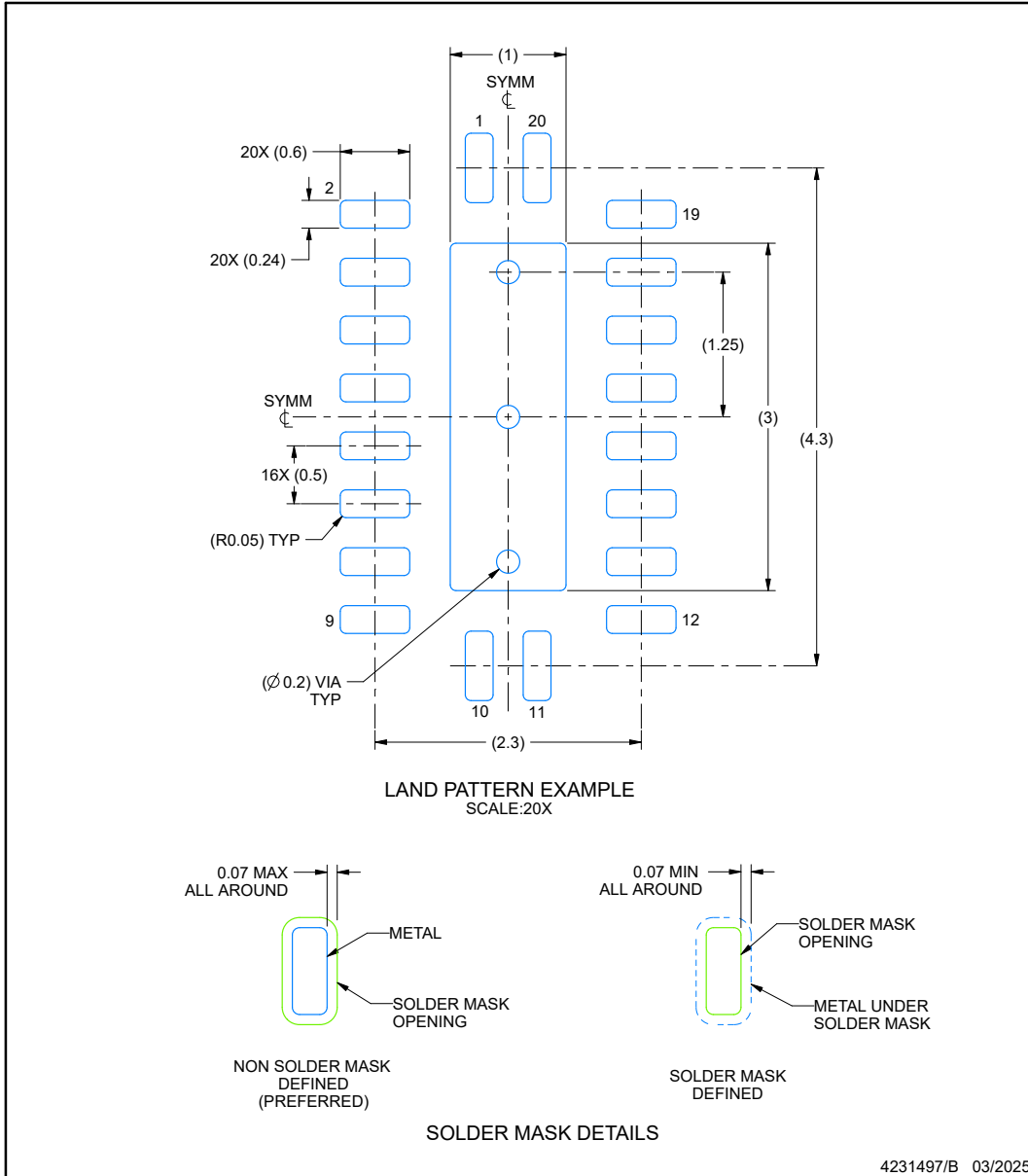
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only

EXAMPLE BOARD LAYOUT

RKS0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

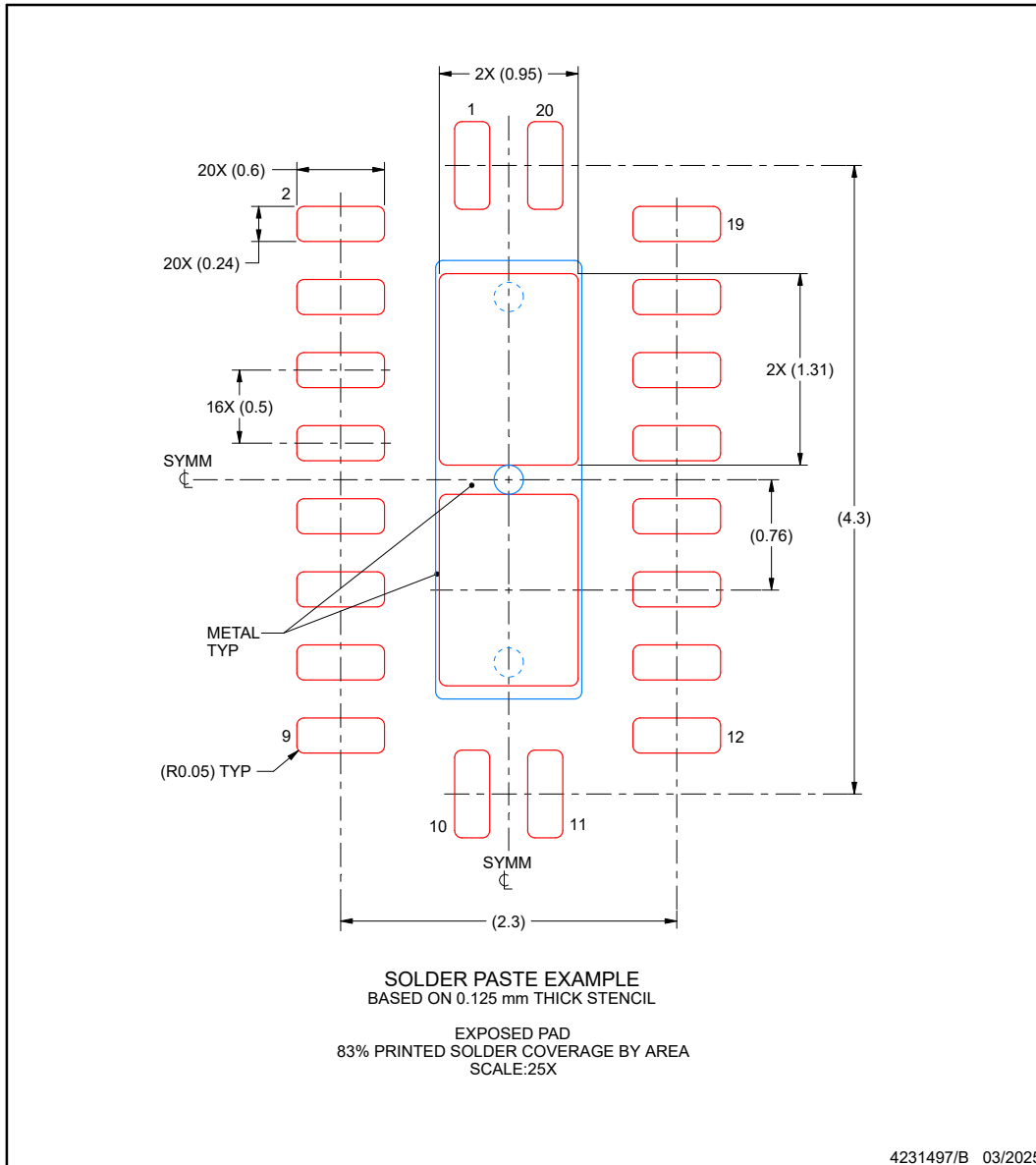
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

RKS0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3245ADGVRG4	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
74CBTLV3245ADGVRG4.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
74CBTLV3245ADWG4	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
74CBTLV3245APWRG4	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
74CBTLV3245APWRG4.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
74CBTLV3245ARGYRG4	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL245A
74CBTLV3245ARGYRG4.A	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL245A
74CBTLV3245ARGYRG4.B	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL245A
SN74CBTLV3245ADBQR	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CBTLV3245A
SN74CBTLV3245ADBQR.A	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CBTLV3245A
SN74CBTLV3245ADBQR.B	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CBTLV3245A
SN74CBTLV3245ADGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
SN74CBTLV3245ADGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
SN74CBTLV3245ADW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
SN74CBTLV3245ADW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
SN74CBTLV3245ADWE4	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
SN74CBTLV3245ADWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
SN74CBTLV3245ADWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3245A
SN74CBTLV3245APW	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	CL245A
SN74CBTLV3245APWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	CL245A
SN74CBTLV3245APWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
SN74CBTLV3245APWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL245A
SN74CBTLV3245ARGYR	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	CL245A
SN74CBTLV3245ARGYR.A	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL245A
SN74CBTLV3245ARGYR.B	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL245A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV3245A :

- Automotive : [SN74CBTLV3245A-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74CBTLV3245ADGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
74CBTLV3245APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
74CBTLV3245ARGYRG4	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74CBTLV3245ADBQR	SSOP	DBQ	20	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CBTLV3245ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3245ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74CBTLV3245APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74CBTLV3245APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74CBTLV3245ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

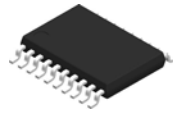
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74CBTLV3245ADGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
74CBTLV3245APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
74CBTLV3245ARGYRG4	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74CBTLV3245ADBQR	SSOP	DBQ	20	2500	353.0	353.0	32.0
SN74CBTLV3245ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74CBTLV3245ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74CBTLV3245APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74CBTLV3245APWR	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74CBTLV3245ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
74CBTLV3245ADWG4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CBTLV3245ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CBTLV3245ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CBTLV3245ADWE4	DW	SOIC	20	25	507	12.83	5080	6.6

PW0020A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

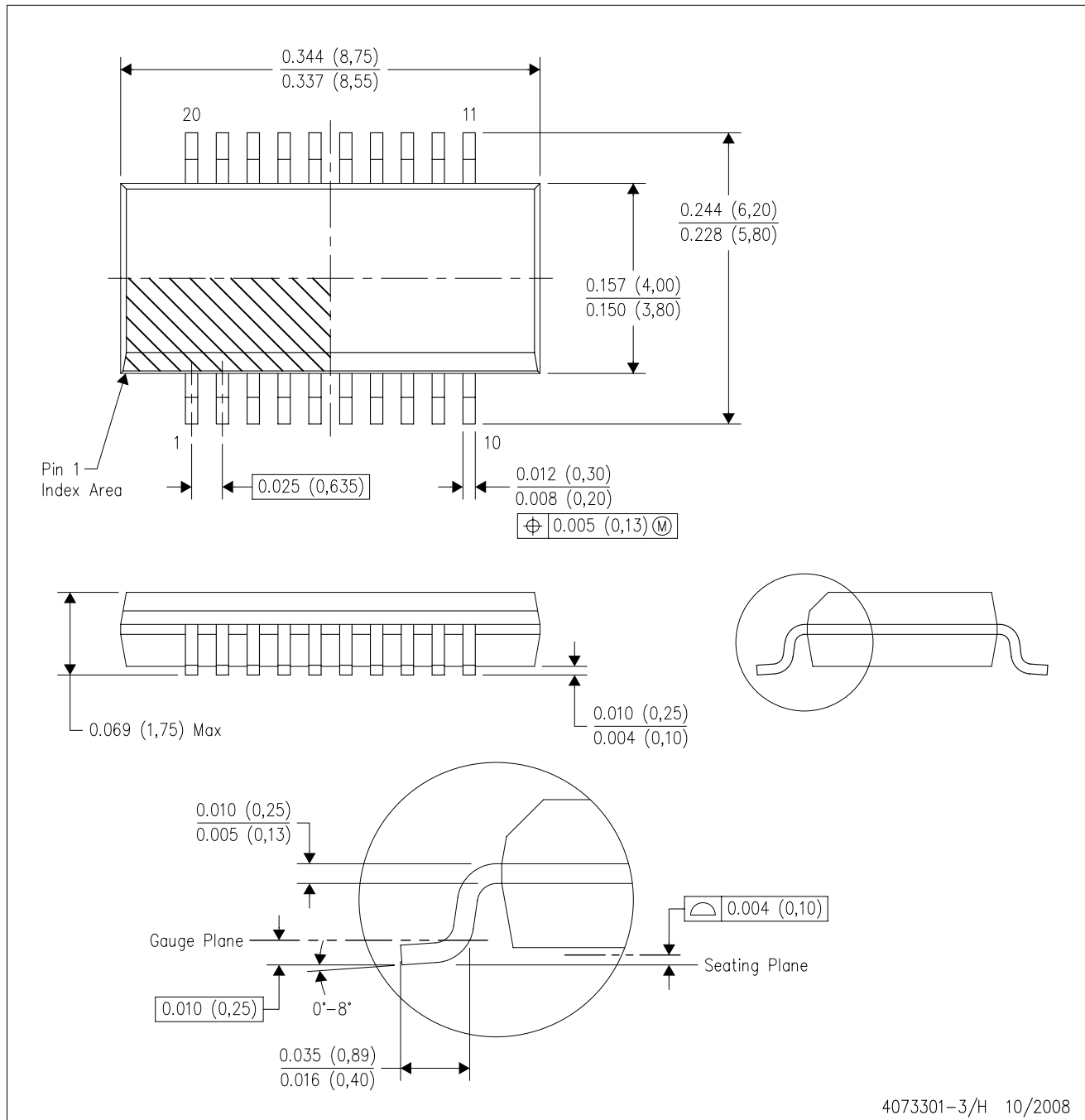
4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBQ (R-PDSO-G20)

PLASTIC SMALL-OUTLINE PACKAGE

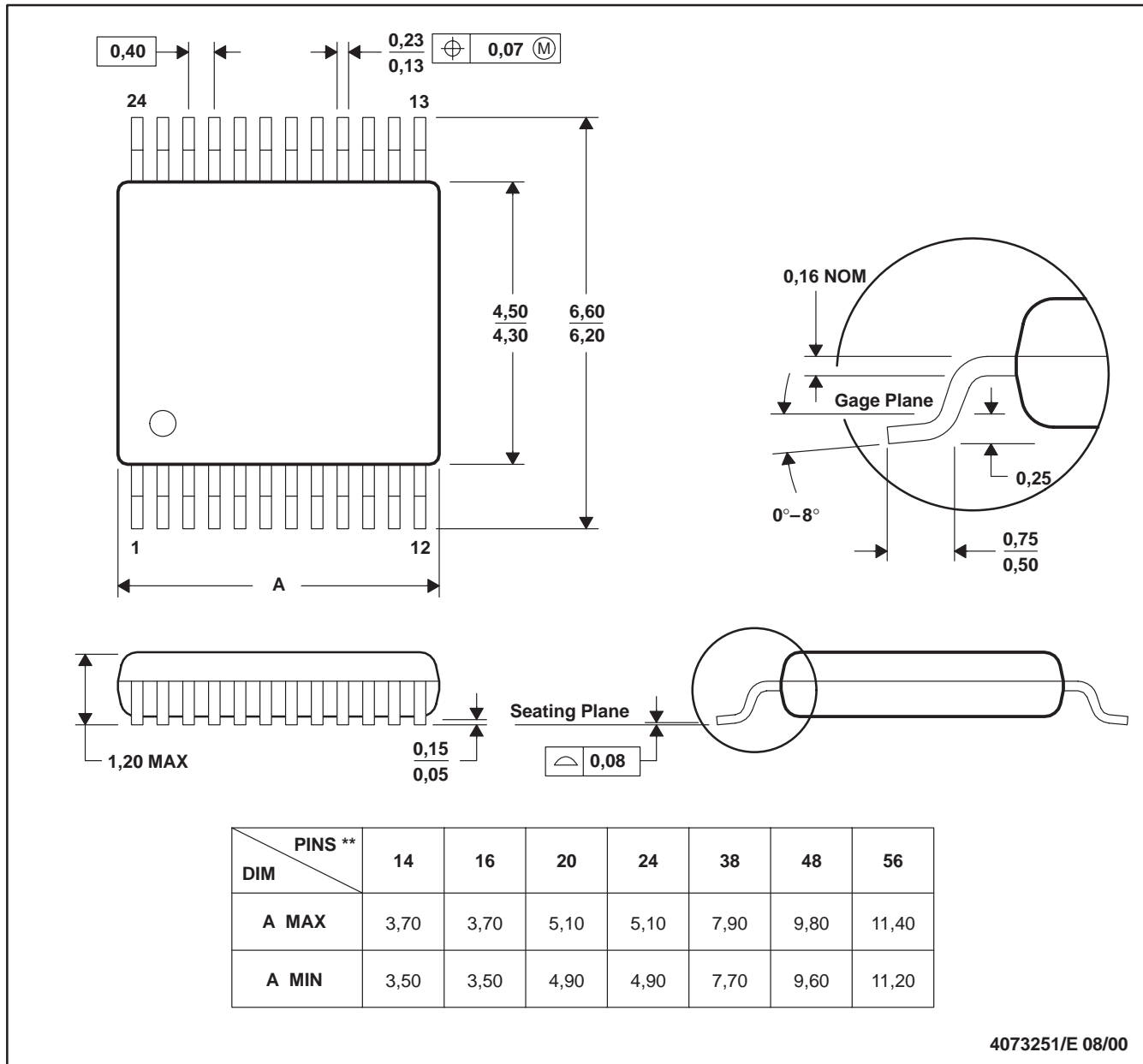


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
 - D. Falls within JEDEC MO-137 variation AD.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



4073251/E 08/00

- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

GENERIC PACKAGE VIEW

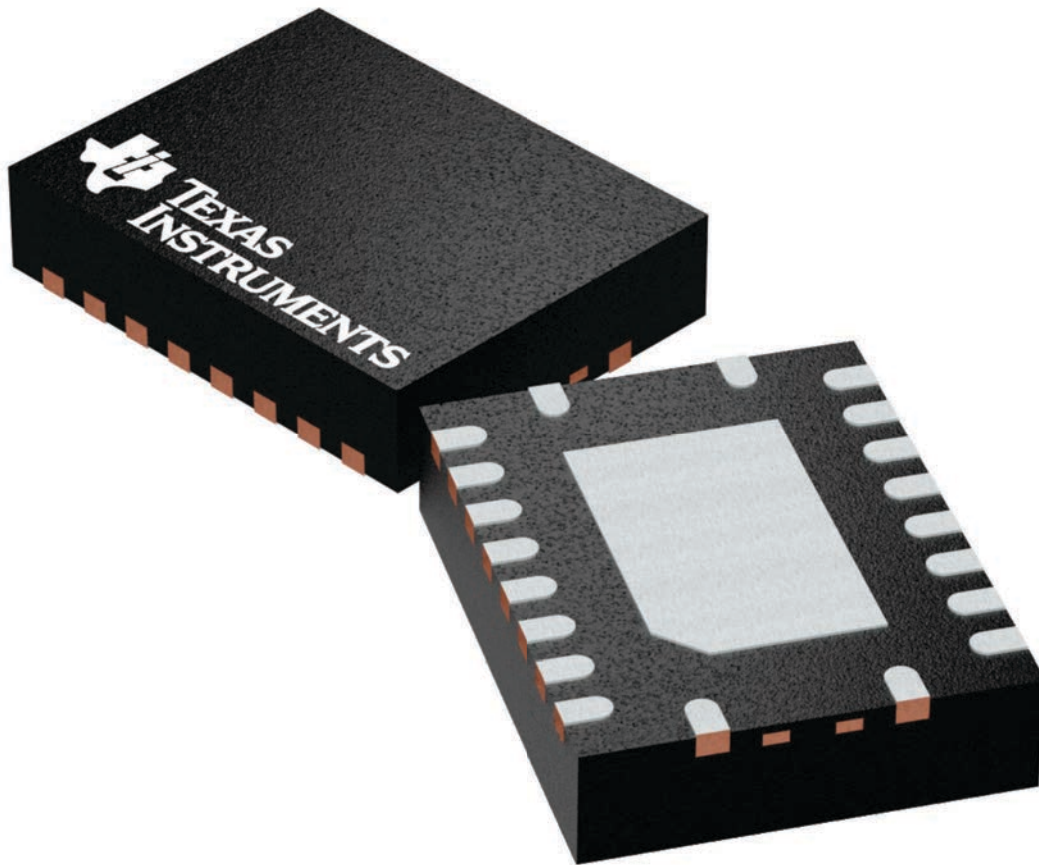
RGY 20

VQFN - 1 mm max height

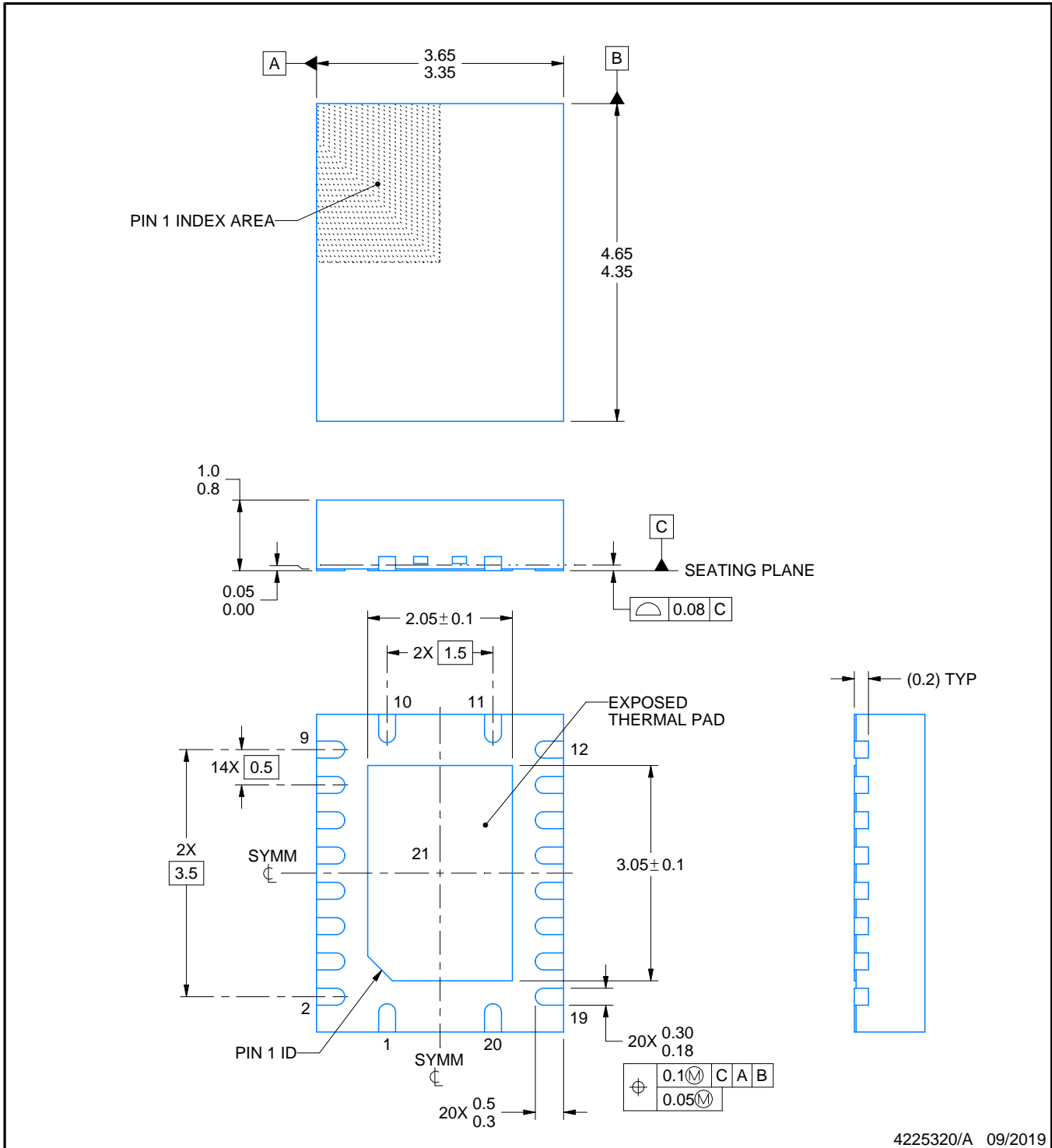
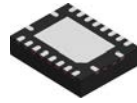
3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225264/A



4225320/A 09/2019

NOTES:

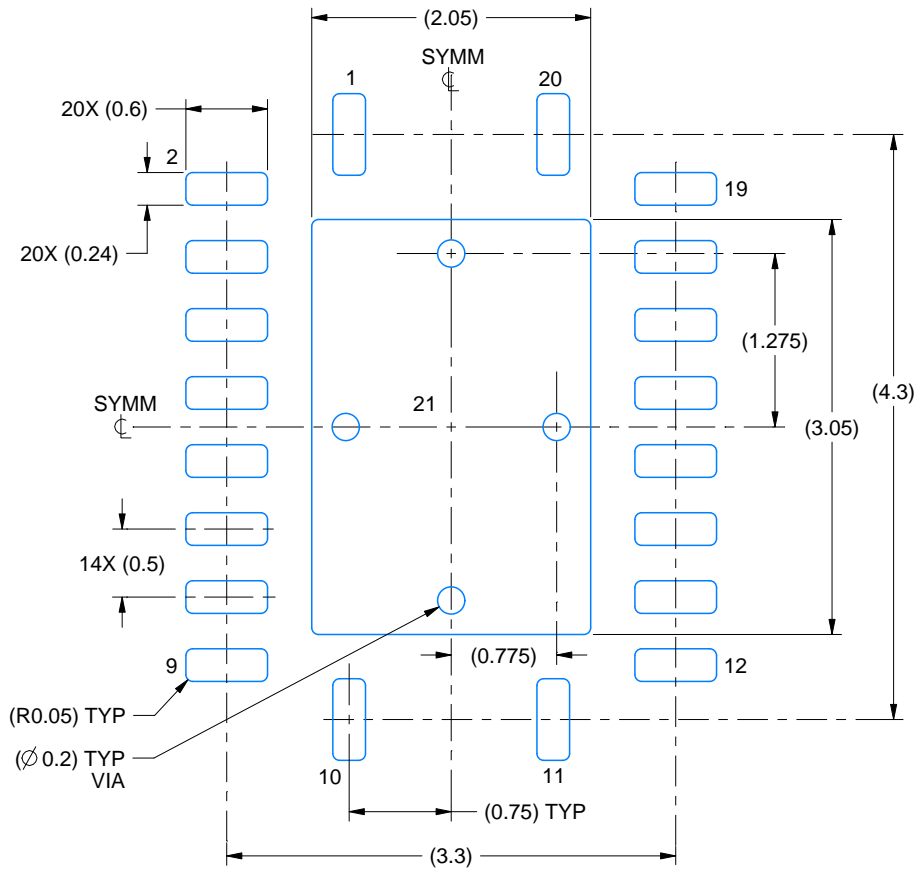
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

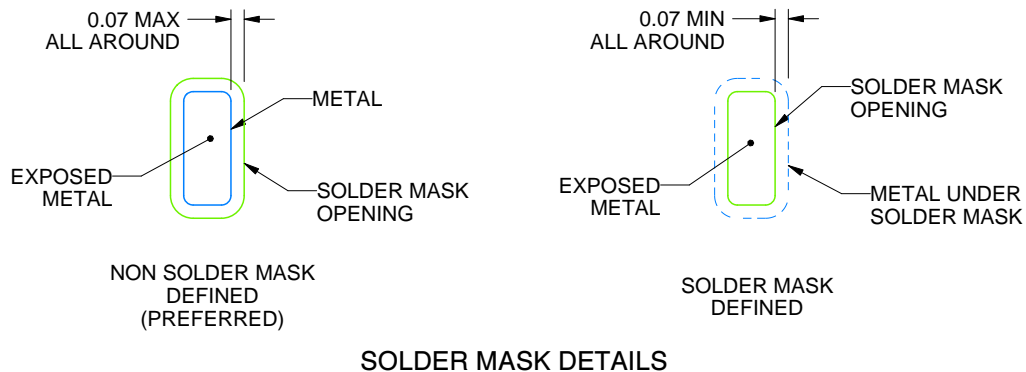
RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4225320/A 09/2019

NOTES: (continued)

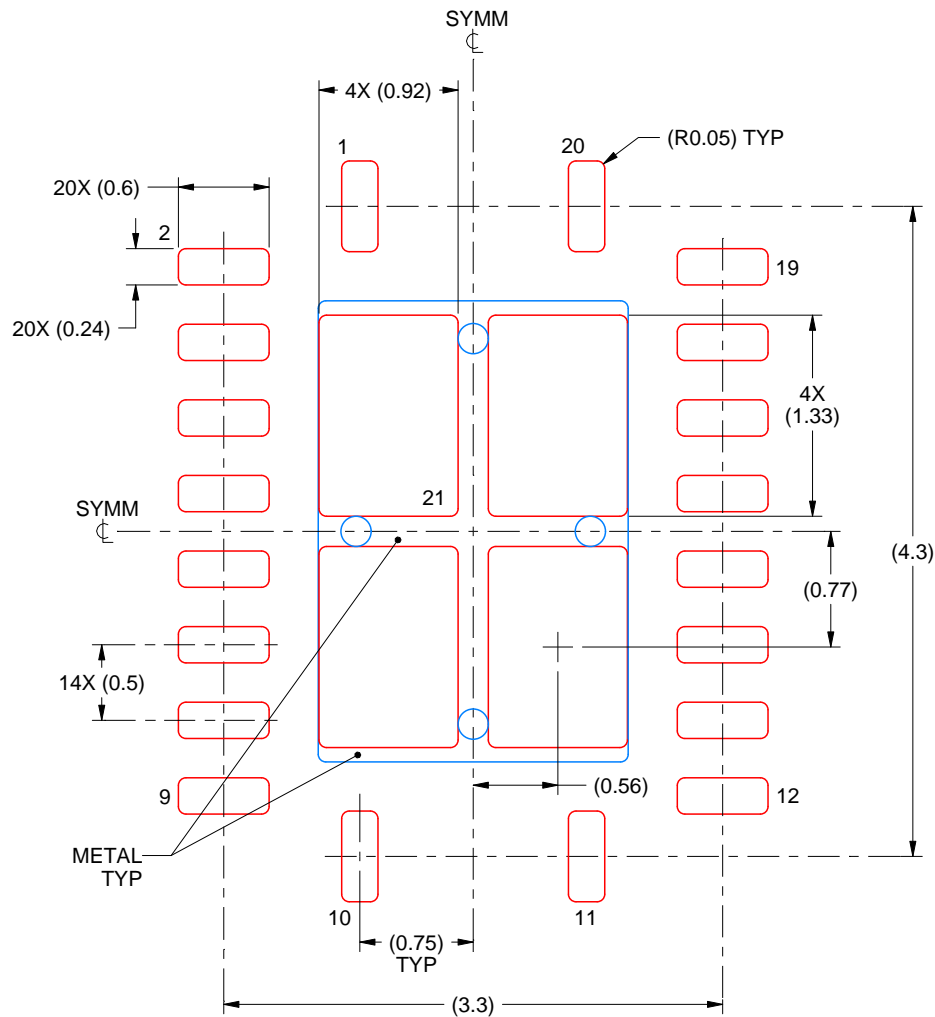
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 21
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225320/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

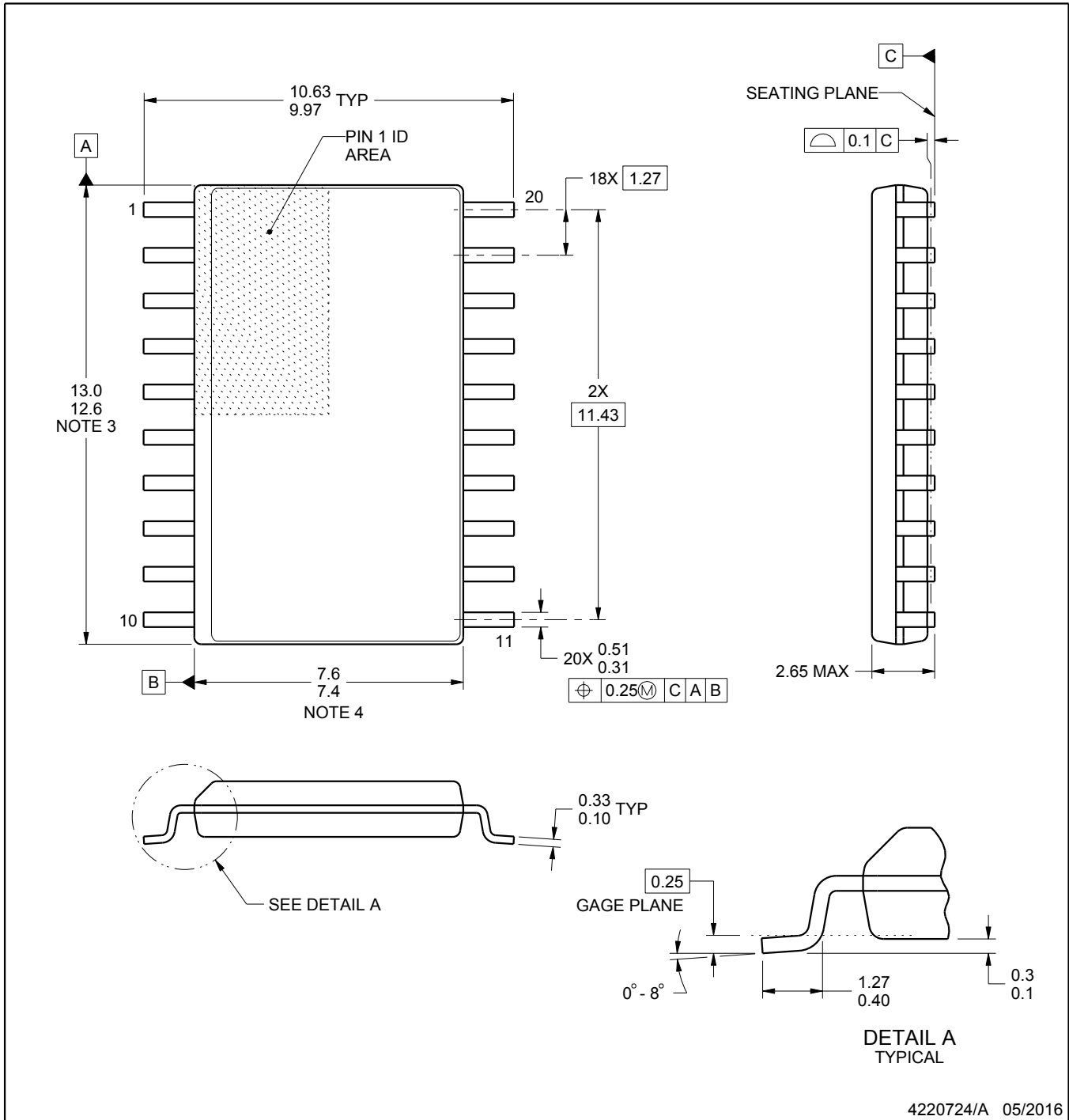
DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

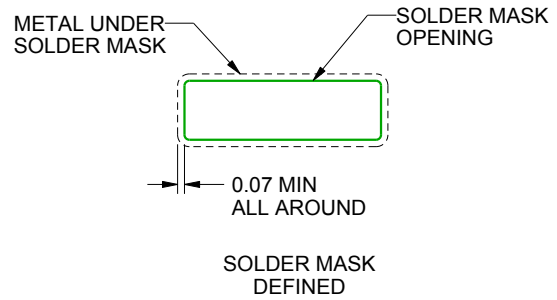
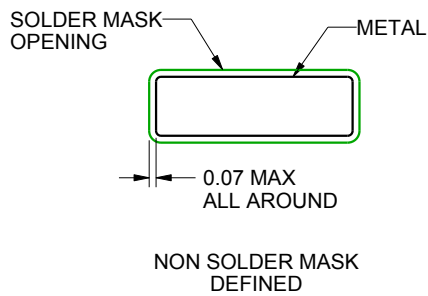
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

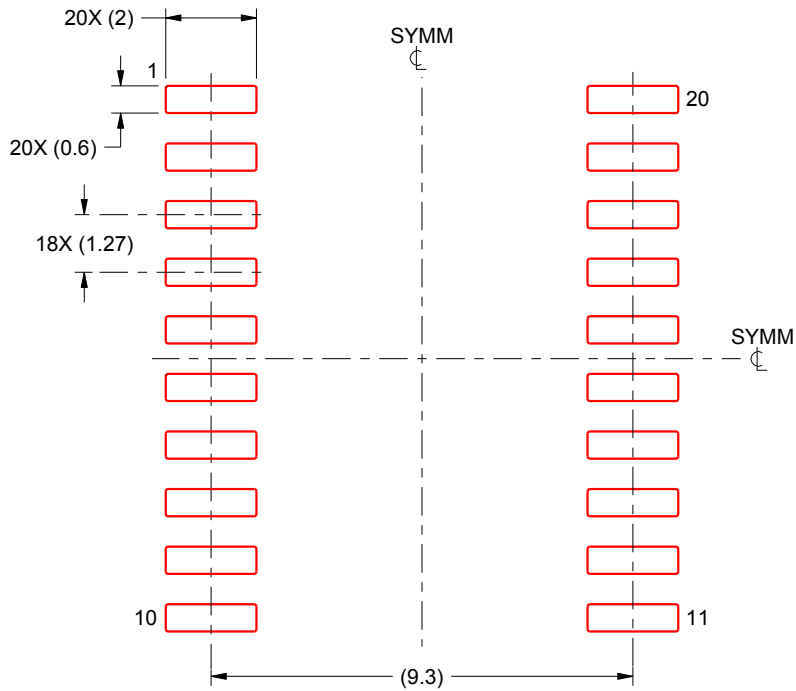
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月