SN74CBTLV3245A-Q1 低電圧オクタル FET バス スイッチ

1 特長

- 車載アプリケーション用に認定済み
- 下記内容で AEC-Q100 認定済み: –
  - デバイス温度グレード 1: -40℃ ～ +125℃
  - 動作時周囲温度範囲
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C5
- 標準の 245 タイプのピン配置
- 2 つのポート間を 5Ω スイッチで接続
- データ I/O ポートのレール ツー レール スイッチング
- I_{off} により部分的パワーダウン モード動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
  - 2000V 人体モデル (A114-A)

2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- 診断および監視
- ゾーン アーキテクチャ
- 車体制御モジュール
- バッテリ管理システム (BMS)
- HVAC (エアコン) 制御モジュール
- ADAS
- オンボード チャージャ (OBC) とワイヤレス充電
- 車載用ヘッド ユニット
- テレマティクス

3 説明

SN74CBTLV3245A-Q1 は、標準の 245 デバイス ピン配置で 8 ビットの高速バス スイッチングを提供します。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。

このデバイスは、1 つの 8 ビット スイッチとして構成されています。出力イネーブル ($\overline{OE}$) が Low の場合、8 ビットのバス スイッチはオンで、ポート A はポート B に接続されます。$\overline{OE}$ が High の場合、スイッチはオープンで、2 つのポート間はハイインピーダンス状態になります。

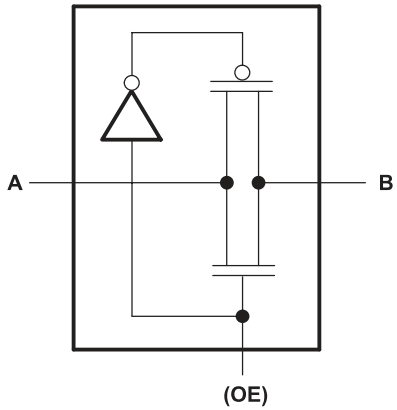
このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないようにします。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を維持するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線されています。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
74CBTLV3245APWRQ1	TSSOP (20)	6.50mm × 4.40mm
74CBTLV3245ADGSRQ1	VSSOP (20)	5.10mm × 3.00mm
74CBTLV3245ARKSRQ1	VQFN (20)	4.50mm × 2.50mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図 (各 FET スイッチ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
4.1 ピンの機能 ... 5
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 熱に関する情報 ... 6
5.4 推奨動作条件 ... 6
5.5 電気的特性 ... 7
5.6 スイッチング特性 ... 7
5.7 代表的特性 ... 7
6 パラメータ測定情報 ... 8
7 詳細説明 ... 9
7.1 概要 ... 9
7.2 機能ブロック図 ... 9
7.3 機能説明 ... 9
7.4 デバイスの機能モード ... 9
8 アプリケーションと実装 ... 10
8.1 使用上の注意 ... 10
8.2 代表的なアプリケーション ... 10
8.3 電源に関する推奨事項 ... 11
8.4 レイアウト ... 11
9 デバイスおよびドキュメントのサポート ... 12
9.1 ドキュメントのサポート ... 12
9.2 ドキュメントの更新通知を受け取る方法 ... 12
9.3 サポート・リソース ... 12
9.4 商標 ... 12
9.5 静電気放電に関する注意事項 ... 12
9.6 用語集 ... 12
10 改訂履歴 ... 12
11 メカニカル、パッケージ、および注文情報 ... 12
11.1 メカニカル データ ... 13

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

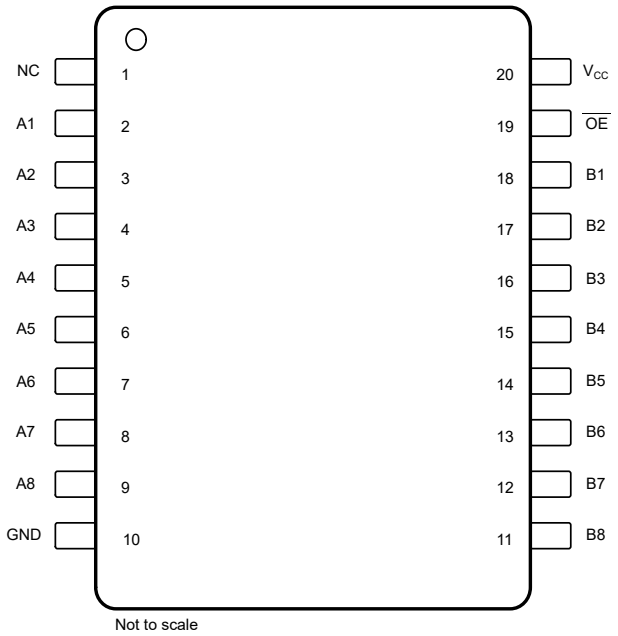


図 4-1. DGS および PW パッケージ 20 ピン VSSOP および TSSOP (上面図)

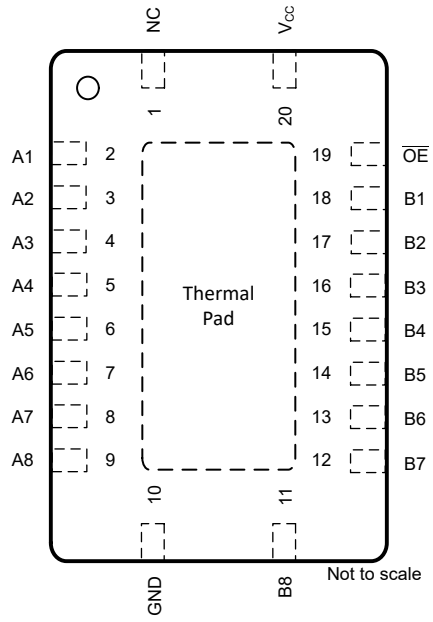


図 4-2. RKS パッケージ 20 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ 1	説明
名称	番号		
NC	1	I/O	内部接続なし GND に短絡するか、フローティングのままにすることが可能。
A1	2	I/O	入出力ピン
A2	3	I/O	入出力ピン
A3	4	I/O	入出力ピン
A4	5	I/O	入出力ピン
A5	6	I/O	入出力ピン
A6	7	I/O	入出力ピン
A7	8	I/O	入出力ピン
A8	9	I/O	入出力ピン
GND	10	GND	グランド ピン
B8	11	I/O	入出力ピン
B7	12	I/O	入出力ピン
B6	13	I/O	入出力ピン
B5	14	I/O	入出力ピン
B4	15	I/O	入出力ピン
B3	16	I/O	入出力ピン
B2	17	I/O	入出力ピン

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ 1	説明
名称	番号		
B1	18	I/O	入出力ピン
$\overline{OE}$	19	I	出力イネーブル、アクティブ Low
V_{CC}	20	PWR	電圧 電源ピン

1. I = 入力、O = 出力、PWR = パワー

表 4-2. 機能表

入力	機能
$\overline{OE}$	
L	A ポート = B ポート
H	切断

Copyright © 2026 Texas Instruments Incorporated

4.1 ピンの機能

表 4-3. ピンの機能

ピン		タイプ	説明
名称	番号		
NC	1	I/O	内部接続なし GND に短絡するか、フローティングのままにすることが可能。
A1	2	I/O	入出力ピン
A2	3	I/O	入出力ピン
A3	4	I/O	入出力ピン
A4	5	I/O	入出力ピン
A5	6	I/O	入出力ピン
A6	7	I/O	入出力ピン
A7	8	I/O	入出力ピン
A8	9	I/O	入出力ピン
GND	10	GND	グランド ピン
B8	11	I/O	入出力ピン
B7	12	I/O	入出力ピン
B6	13	I/O	入出力ピン
B5	14	I/O	入出力ピン
B4	15	I/O	入出力ピン
B3	16	I/O	入出力ピン
B2	17	I/O	入出力ピン
B1	18	I/O	入出力ピン
$\overline{OE}$	19	I	出力イネーブル、アクティブ Low
V_{CC}	20	PWR	電圧 電源ピン

表 4-4. 機能表

入力	機能
$\overline{OE}$	
L	A ポート = B ポート
H	切断

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	4.6	V
V_I	入力電圧範囲(2)		-0.5	4.6	V
	連続チャネル電流			128	mA
I_{IK}	入力クランプ電流	$V_{I/O}$ < 0		-50	mA
T_{stg}	保管温度範囲		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 熱に関する情報

熱評価基準 [1]		SN74CBTLV3245A-Q1			単位
		PW (TSSOP)	RKS(VQFN)	DGS(VSSOP)	
		20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	105.9	71.88	120.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	49.3	45.07	62.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	67.6	17.91	75.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	8.5	45.03	8.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	67.0	76.32	74.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	28.51	該当なし	°C/W

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7		V
		V_{CC} = 2.7V～3.6V	2		
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V		0.7	V
		V_{CC} = 2.7V～3.6V		0.8	
T_A	外気温度での動作時		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{IK}	制御入力	V_{CC} = 3V、	I_I = -18mA				-1.2	V
	データ入力						-0.8	
I_I		V_{CC} = 3.6V、	V_I = V_{CC} または GND				±60	μA
I_{off}		V_{CC} = 0、	V_I または V_O = 0～3.6V				40	μA
I_{CC}		V_{CC} = 3.6V、	I_O = 0、	V_I = V_{CC} または GND			20	μA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、	3V の単一入力、	他の入力は V_{CC} または GND			300	μA
C_i	制御入力	V_I = 3V または 0				4		pF
$C_{io(OFF)}$		V_O = 3V または 0、	$\overline{OE}$ = V_{CC}			9		pF
r_{on} (3)		V_{CC} = 2.3V、V_{CC} = 2.5V での標準値	V_I = 0	I_O = 64mA		5	8	Ω
				I_O = 24mA		5	8	
			V_I = 1.7V、	I_O = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_O = 64mA		5	7	
				I_O = 24mA		5	7	
			V_I = 2.4V、	I_O = 15mA		10	15	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

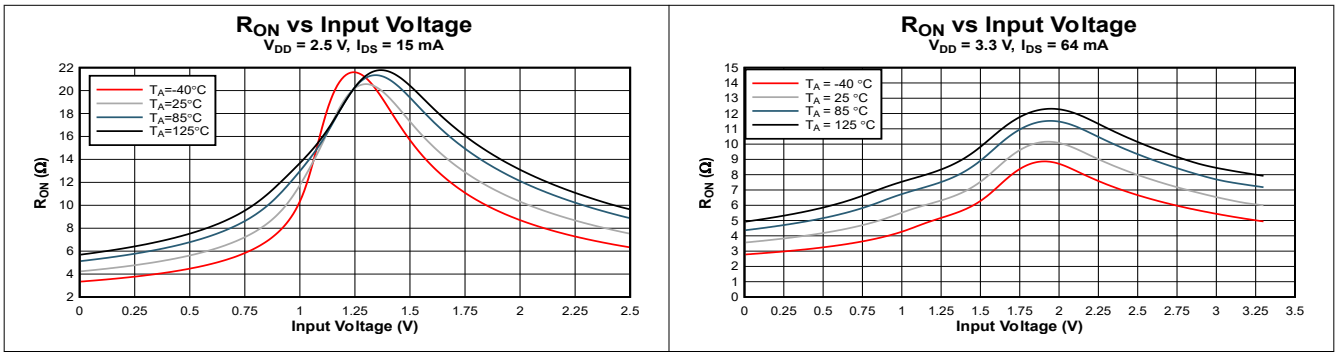
5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

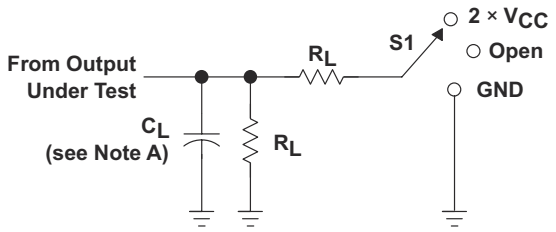
パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd} (1)	A または B	B または A		0.15		0.25	ns
t_{en}	$\overline{OE}$	A または B	1	6	1	4.7	ns
t_{dis}	$\overline{OE}$	A または B	1	6.1	1	6.4	ns

(1) 伝播遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

5.7 代表的特性



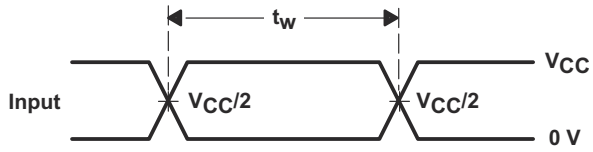
6 パラメータ測定情報



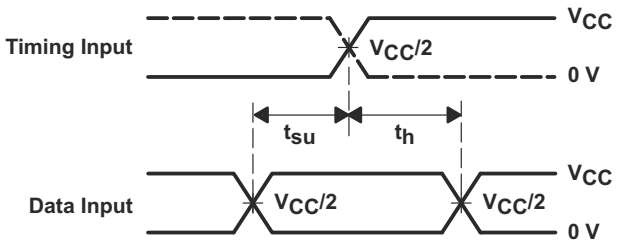
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

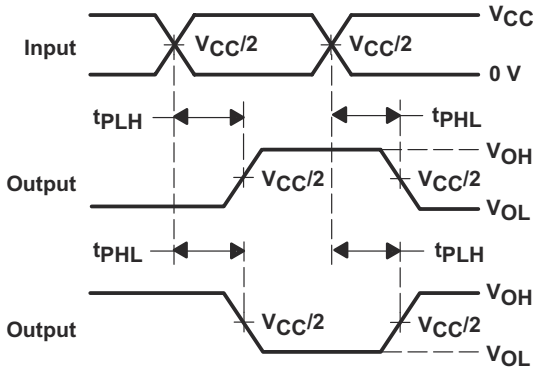
V_{CC}	C_L	R_L	V_Δ
2.5 V ± 0.2 V	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	50 pF	500 Ω	0.3 V



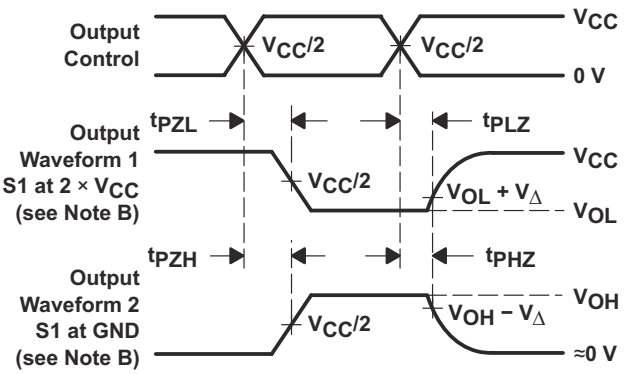
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2 ns, t_f ≤ 2 ns.
D. The outputs are measured one at a time with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74CBTLV3245A-Q1 は、標準の 245 デバイス ピン配置で 8 ビットの高速バス スイッチングを提供します。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。

このデバイスは、1 つの 8 ビット スイッチとして構成されています。出力イネーブル ($\overline{OE}$) が Low の場合、8 ビットのバス スイッチはオンで、ポート A はポート B に接続されます。$\overline{OE}$ が High の場合、スイッチはオープンで、2 つのポート間はハイインピーダンス状態になります。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないようにします。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を維持するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線されています。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図

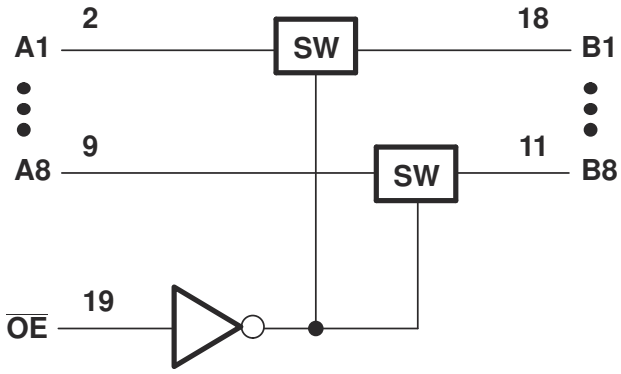


図 7-1. 論理図 (正論理)

7.3 機能説明

SN74CBTLV3245A-Q1 は、ポート間に 5Ω のスイッチ接続があり、スイッチ両端における信号損失を小さくできます。データ I/O でのレール ツー レール スイッチングにより、完全な電圧スイング出力が可能です。I_{off} では部分的パワーダウン モード動作をサポートしているため、チップの電源がオンになっていないときの出力ポート電圧からチップを保護します。JESD 78、Class II 準拠で 100 mA 超のラッチアップ性能。

7.4 デバイスの機能モード

表 7-1 に、SN74CBTLV3245A-Q1 の機能モードを示します。

表 7-1. 機能表

入力 $\overline{OE}$	入出力 A	機能
L	B	A ポート = B ポート
H	Z	切断

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74CBTLV3245A-Q1 は、信号パスを切り替えために使用できます。このスイッチは双方向であるため、A ピンと B ピンは入力または出力として使用できます。通常このスイッチは、特定の時間に絶縁を必要とする信号パスが 1 つ存在する場合に使用します。

8.2 代表的なアプリケーション

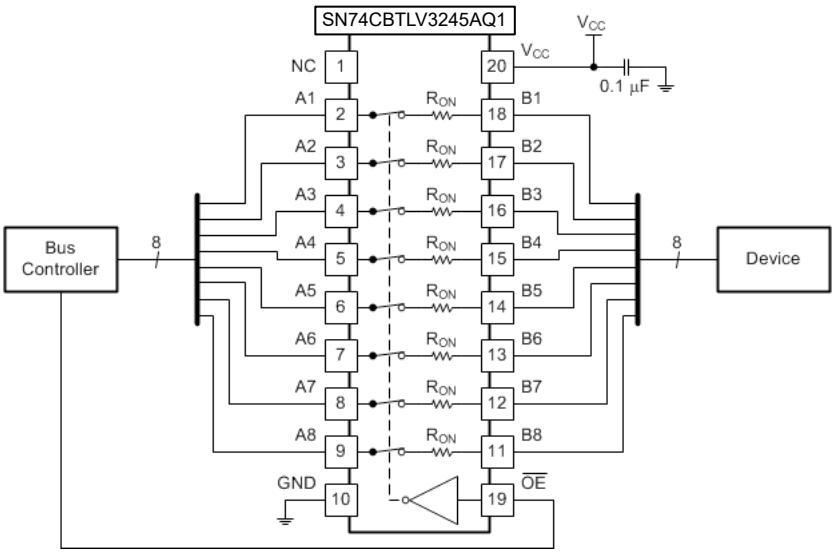


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

SN74CBTLV3245A-Q1 デバイスは、外付け部品なしで適切に動作できます。デジタル制御ピン (OE) を VCC にプルアップするか、GND にプル ダウンして、フローティング ピンが原因で発生する可能性のある不要なスイッチ位置を回避することを推奨します。フローティング デジタル ピンが原因で、過剰な消費電流が発生する可能性があります (「低速またはフローティング CMOS 入力の影響」を参照)。

8.2.2 詳細な設計手順

$\overline{OE}$ が HIGH の場合、アクティブ バスです。これは、A ピンと B ピンの間に低インピーダンスのパスが存在することを意味します。VCC の 0.1µF コンデンサは、デカップリング コンデンサであり、可能な限りデバイスの近くに配置されます。

Copyright © 2026 Texas Instruments Incorporated

8.3 電源に関する推奨事項

電源には、セクション 5.4 の表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子には適切なバイパス コンデンサがあります。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します 。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-2 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

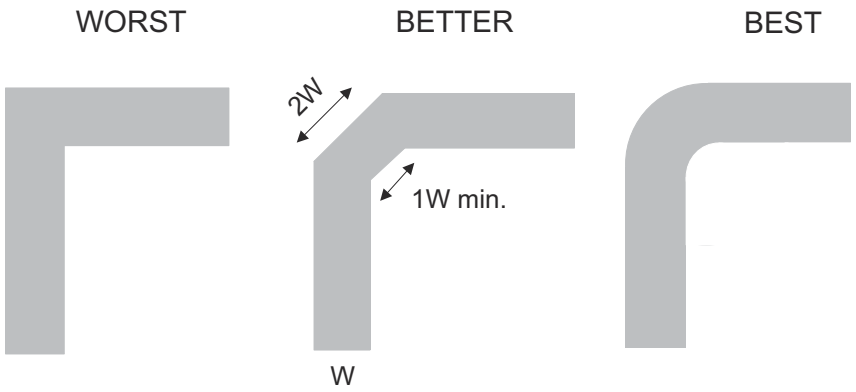


図 8-2. パターン例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス インスツルメンツ、『*適切なテキサス インスツルメンツ信号スイッチの選択*』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の *アラートを受け取る*をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
January 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

11.1 メカニカル データ

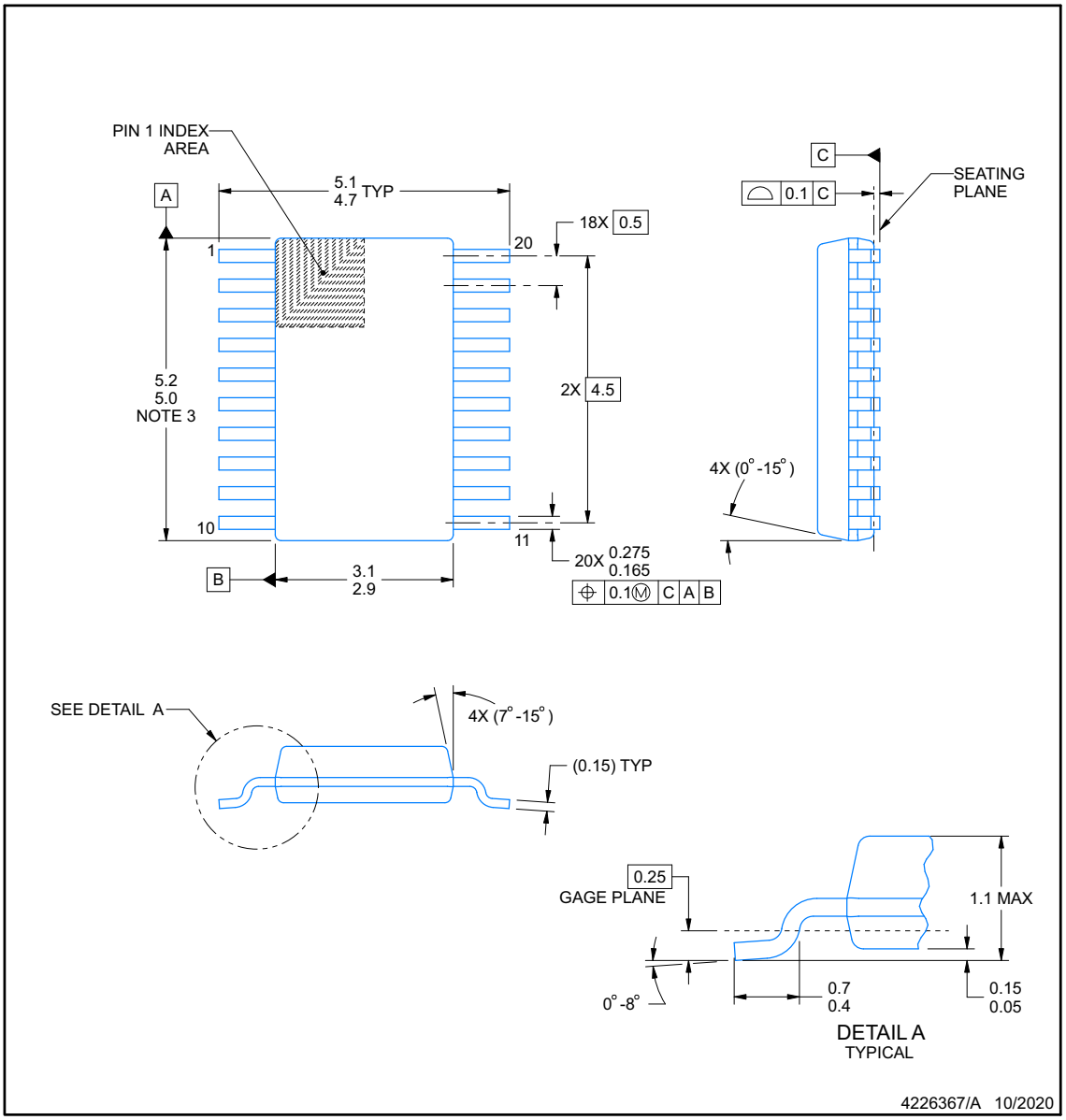
PACKAGE OUTLINE

DGS0020A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

TEXAS INSTRUMENTS
www.ti.com

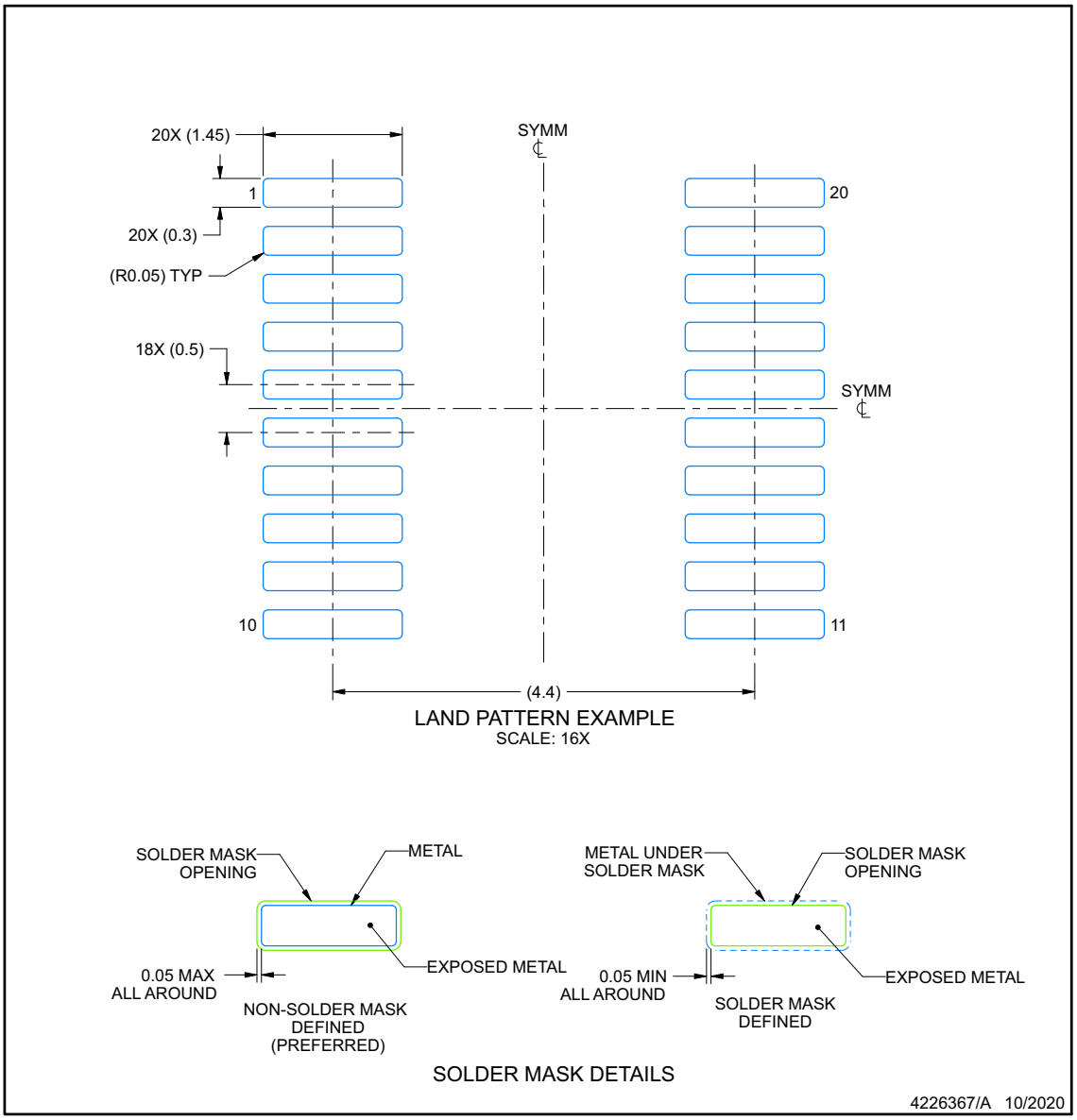
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

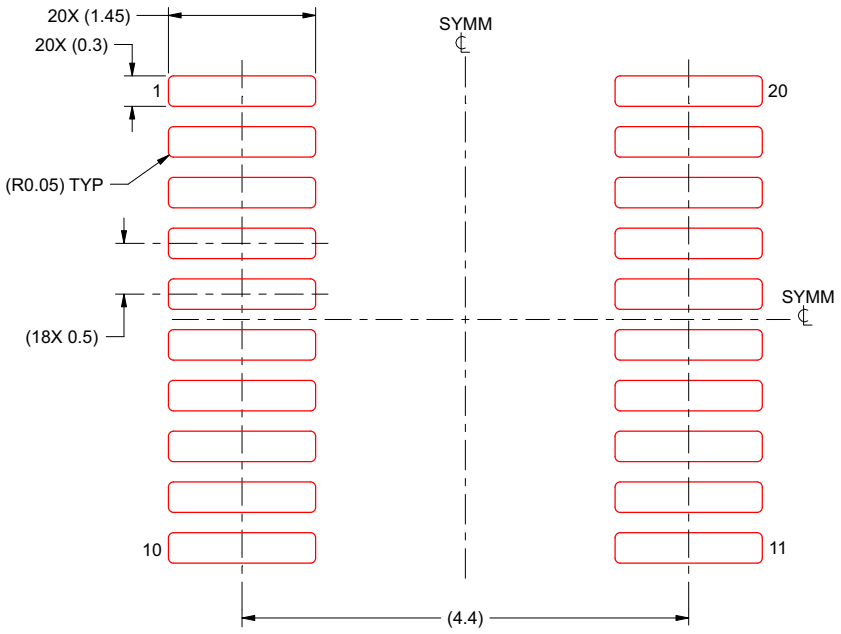
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

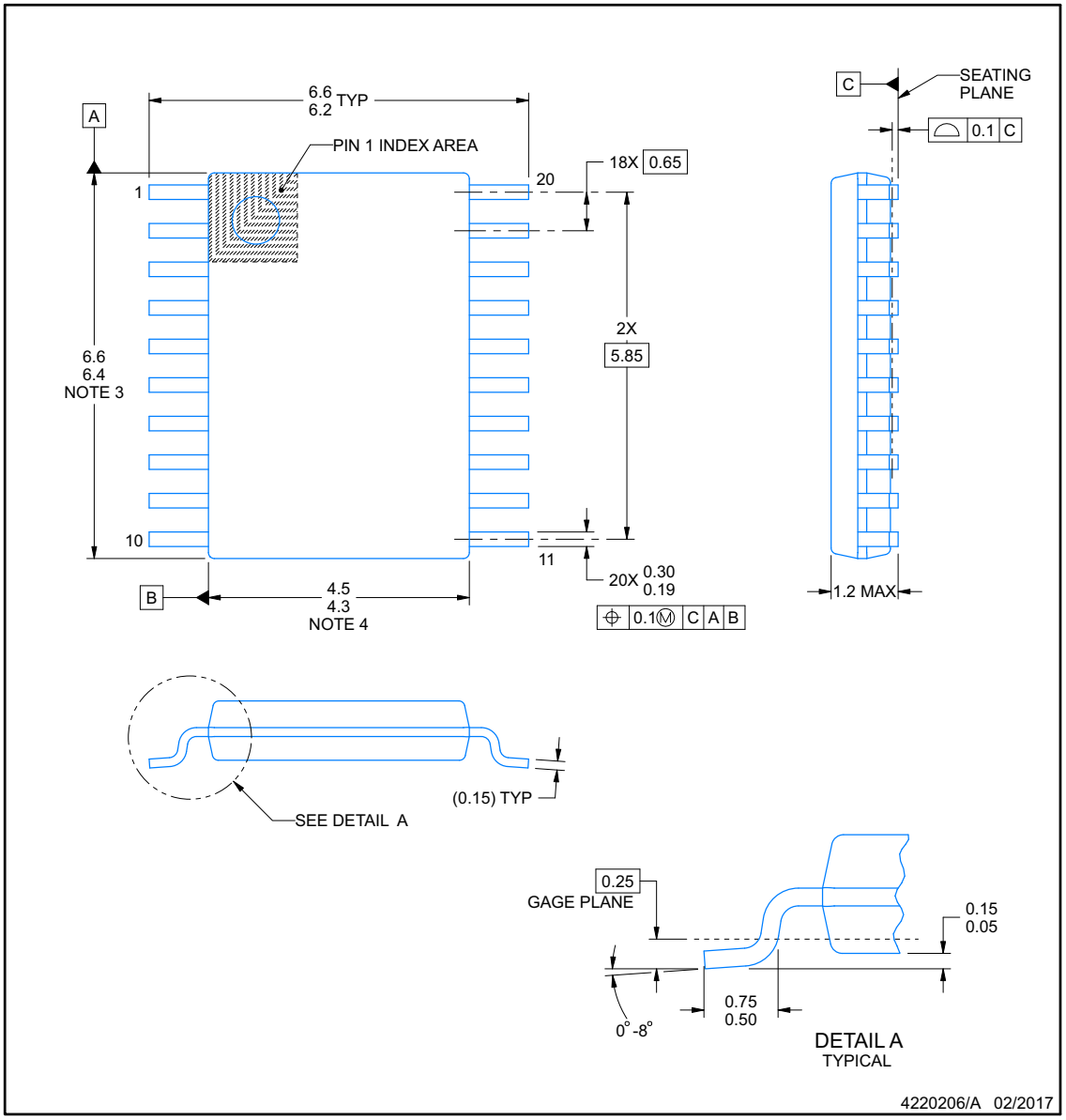


PACKAGE OUTLINE

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

TEXAS INSTRUMENTS
www.ti.com

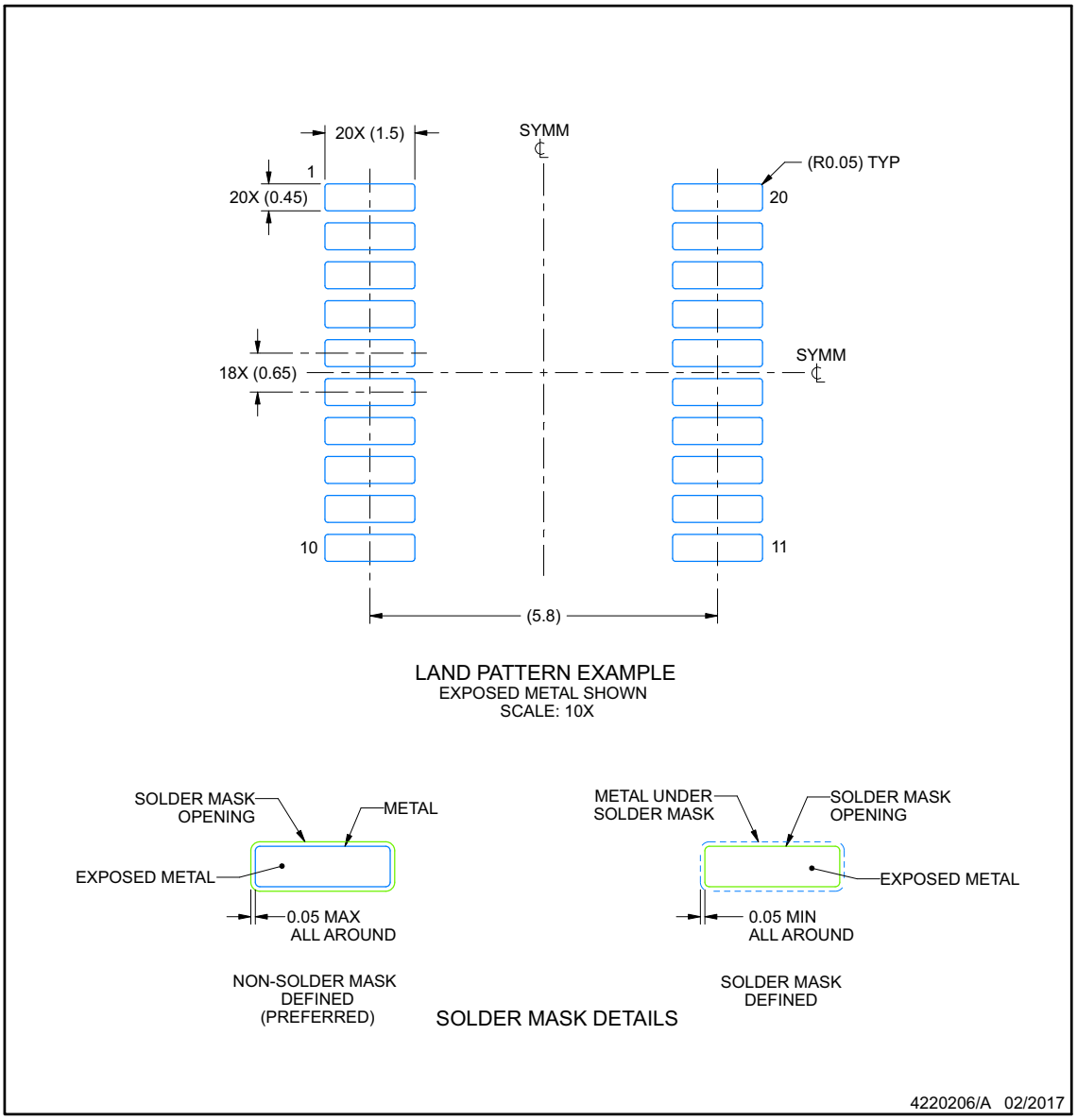
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

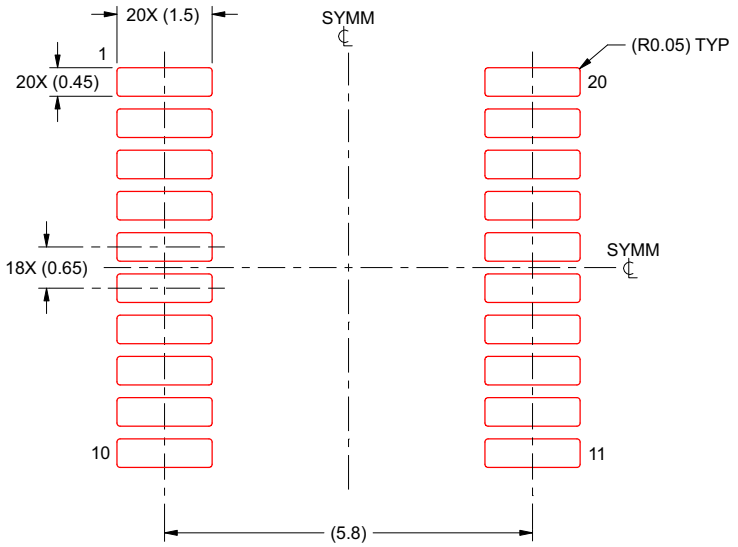
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PW0020A — **TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

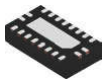
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

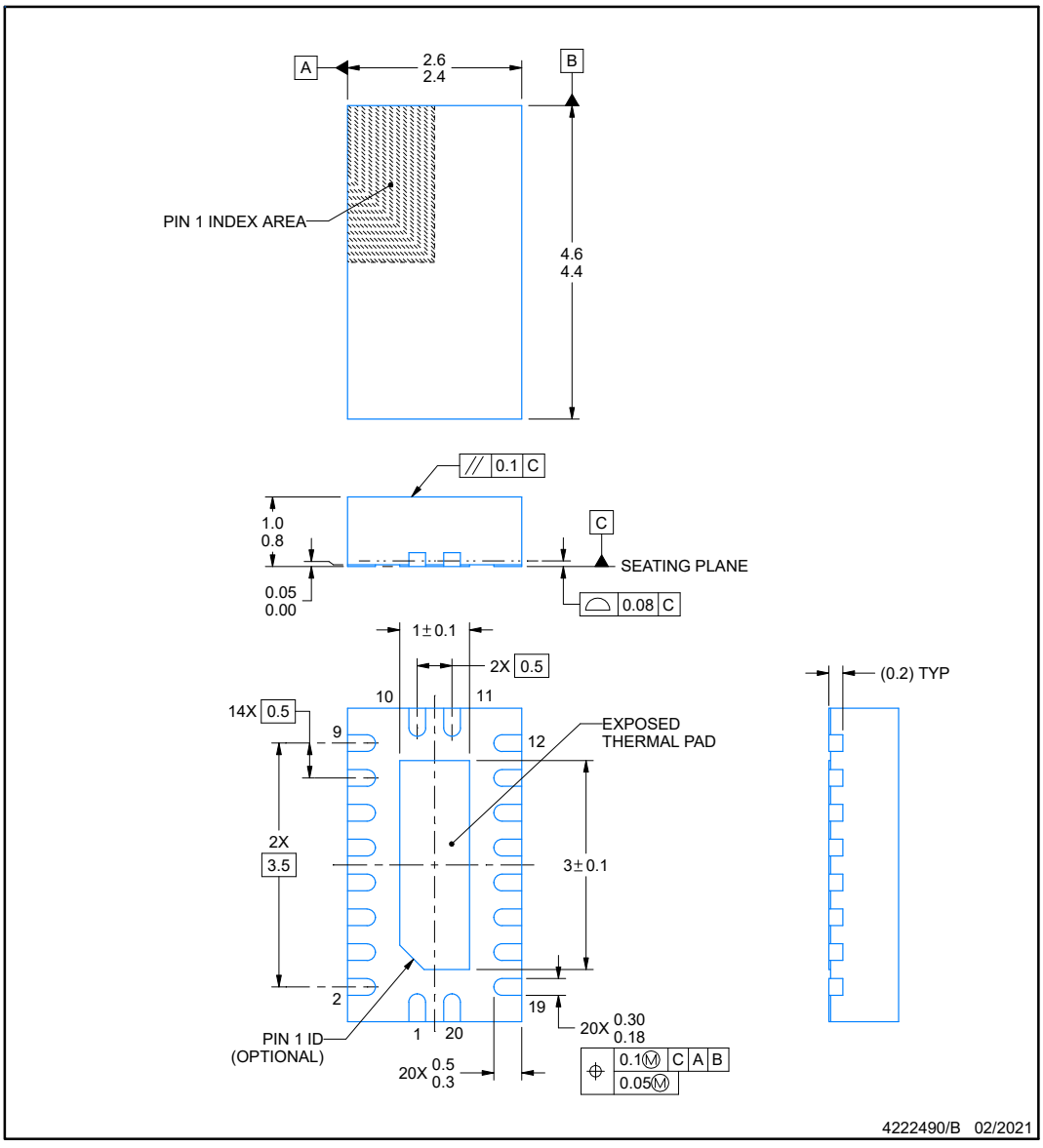
PACKAGE OUTLINE

RKS0020A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

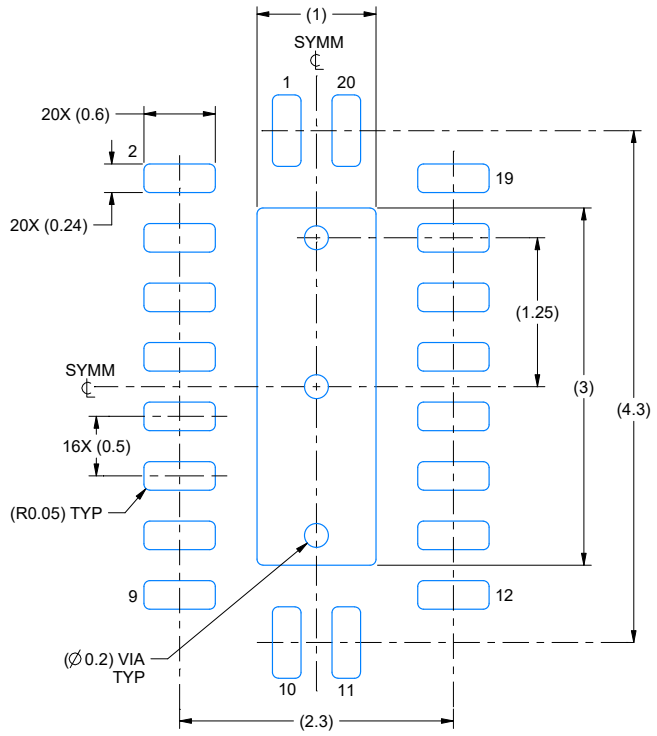
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

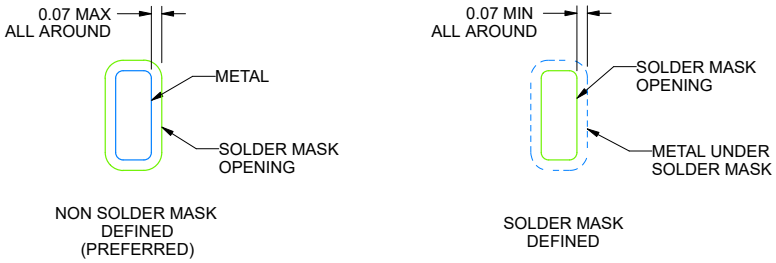
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

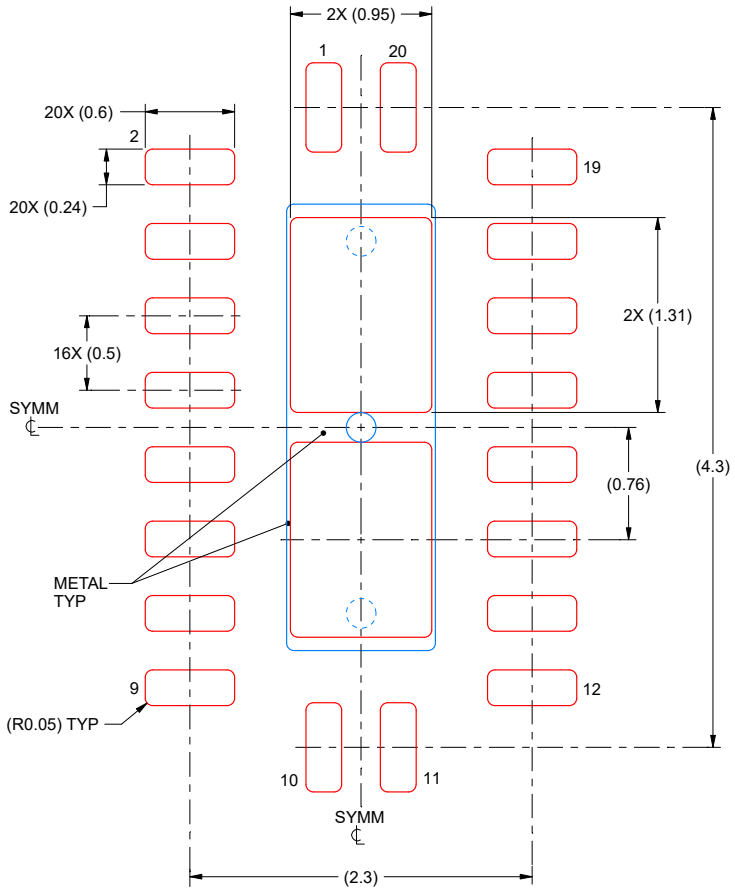
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RKS0020A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3245ADGSRQ1	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	245AQ
74CBTLV3245APWRQ1	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CL245AQ
74CBTLV3245ARKSRQ1	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	CL245AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV3245A-Q1 :

- Catalog : SN74CBTLV3245A

NOTE: Qualified Version Definitions:

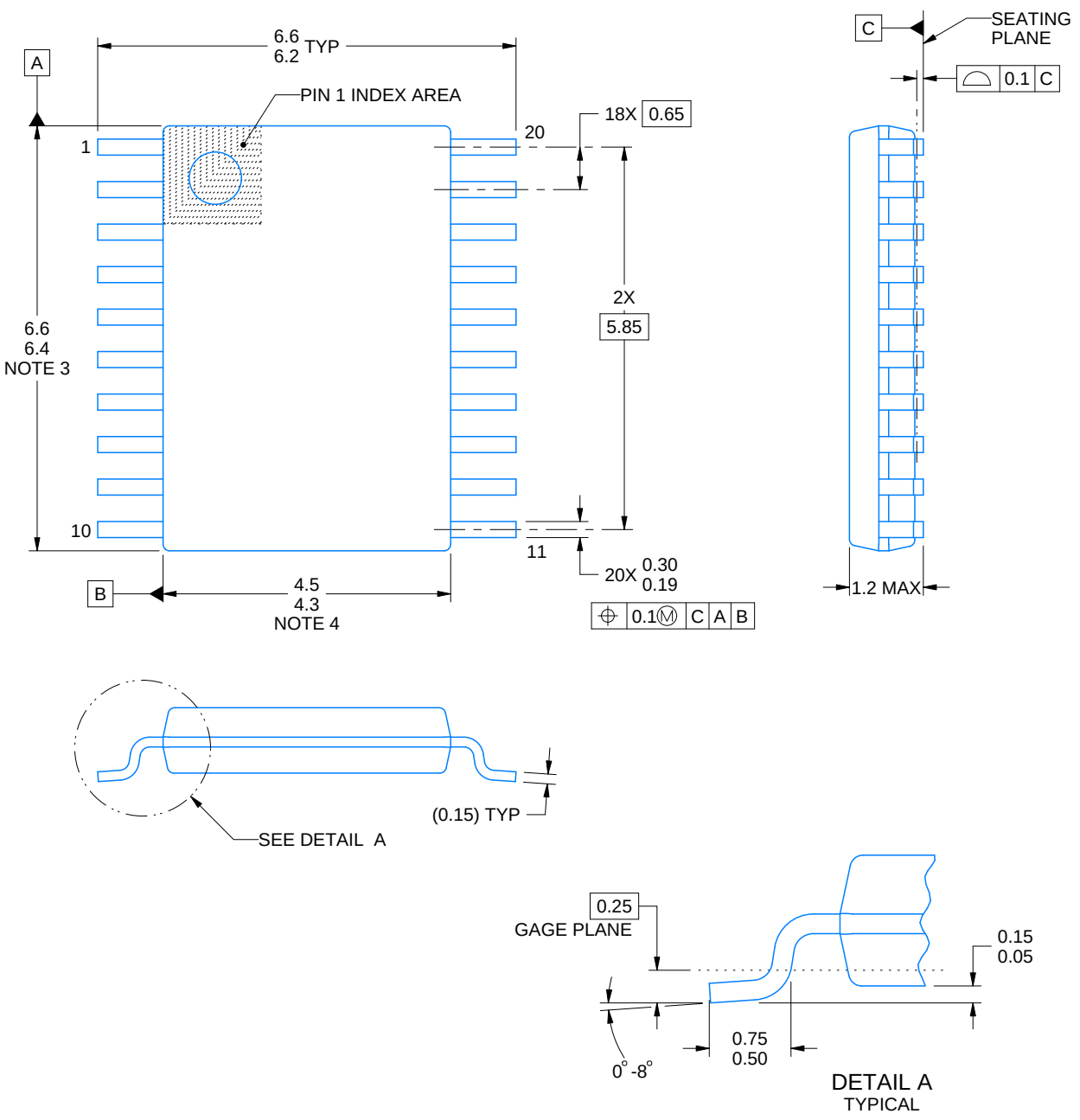
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

PW0020A

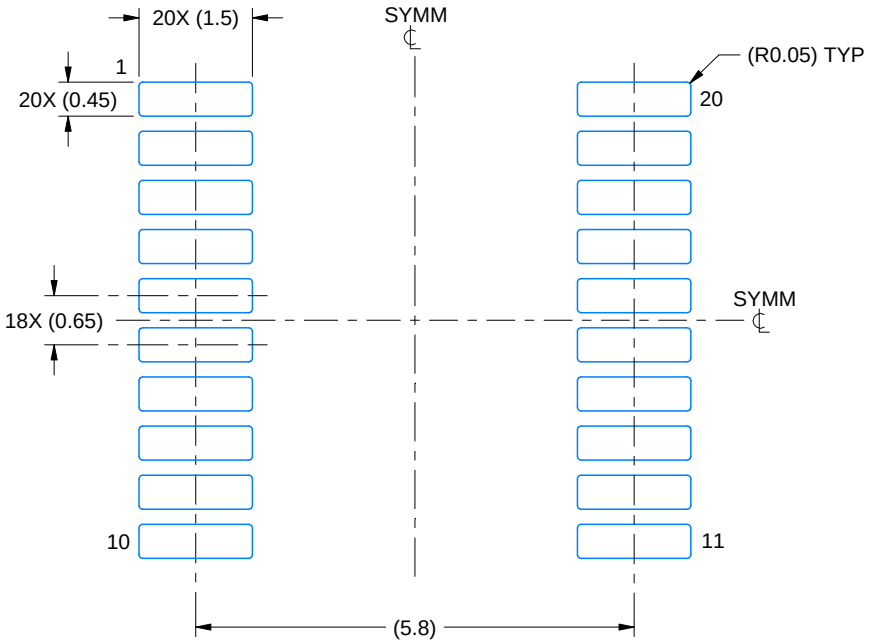
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

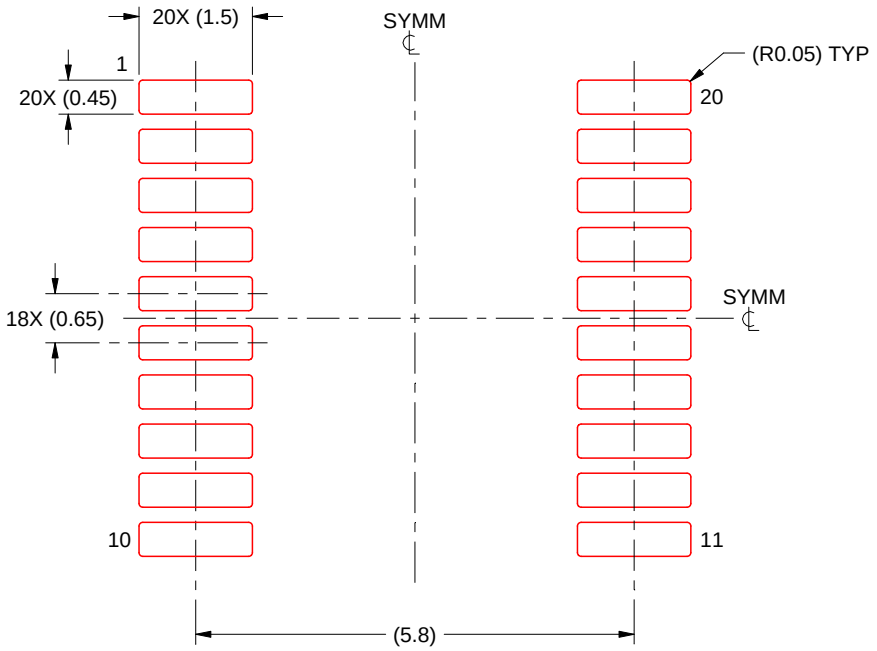


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

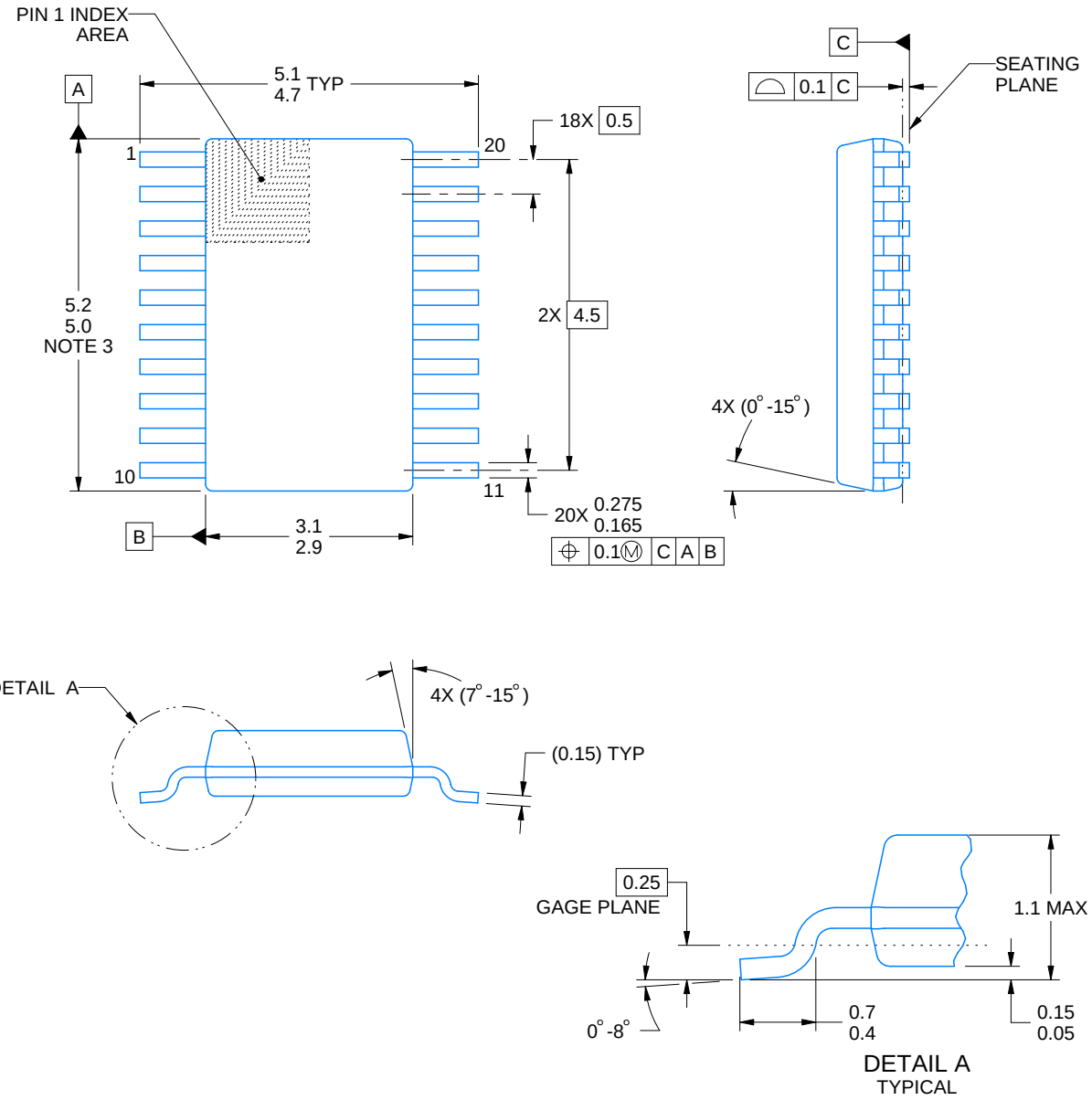
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

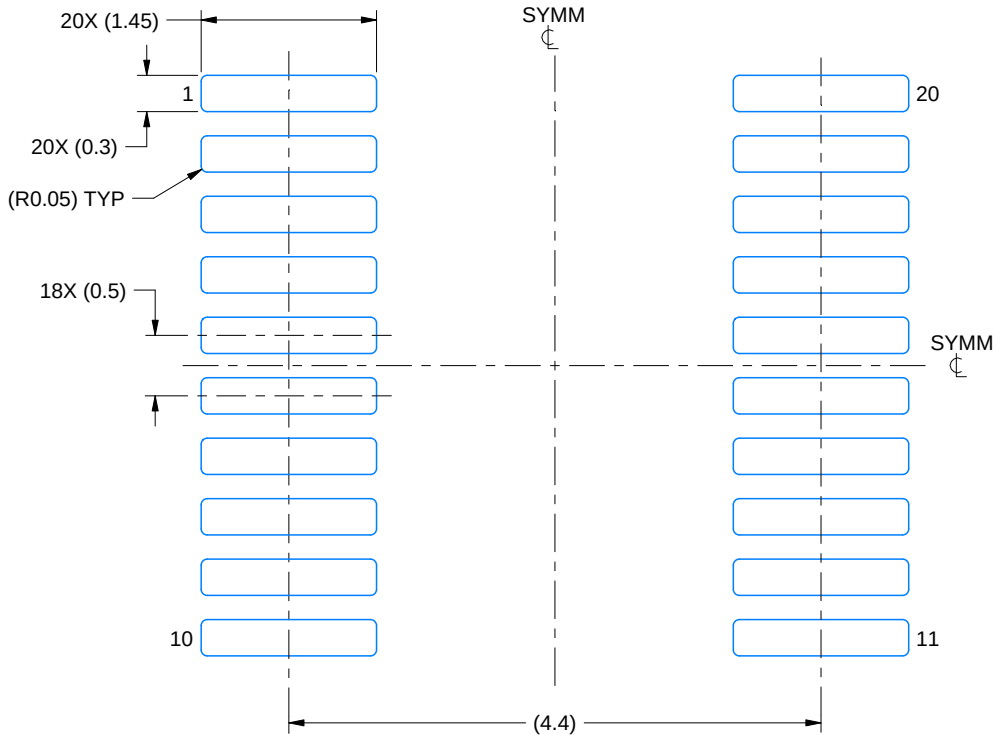
SMALL OUTLINE PACKAGE



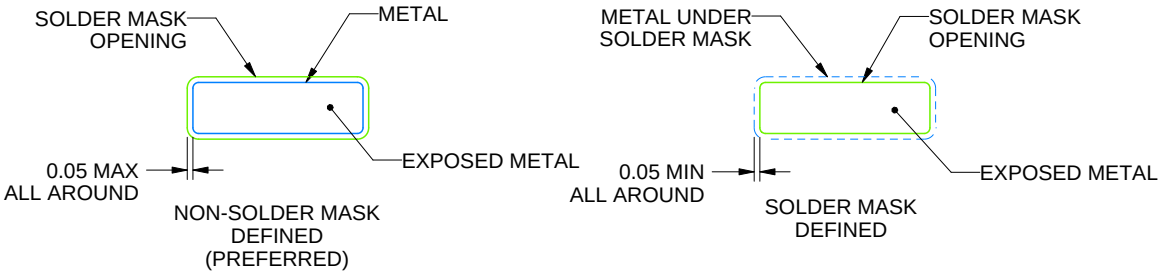
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

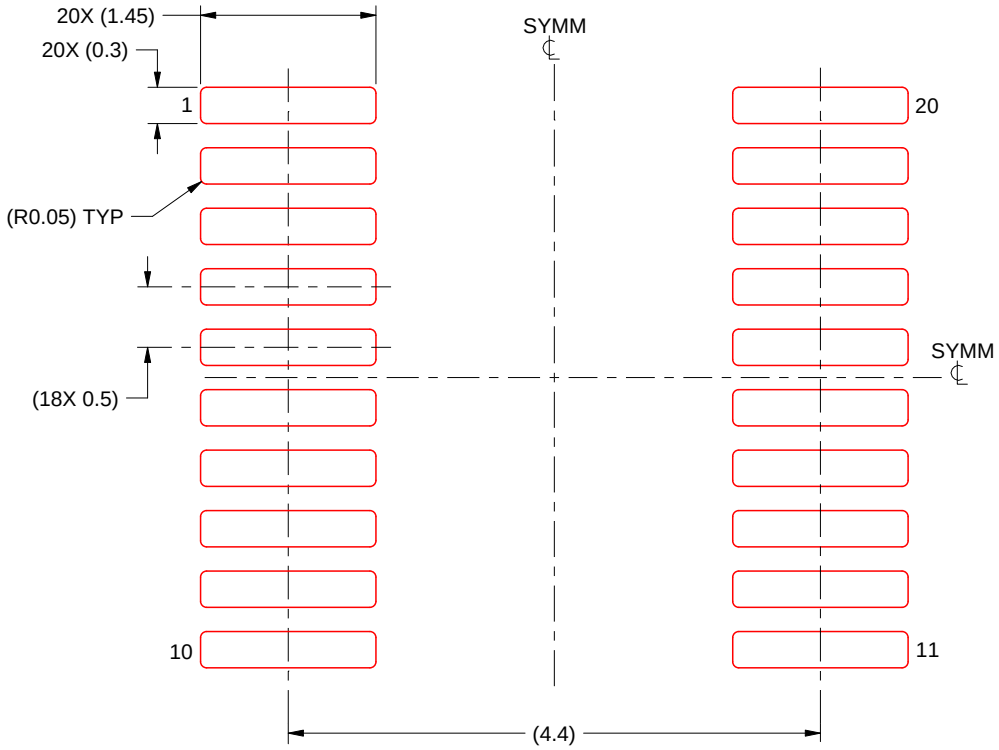


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

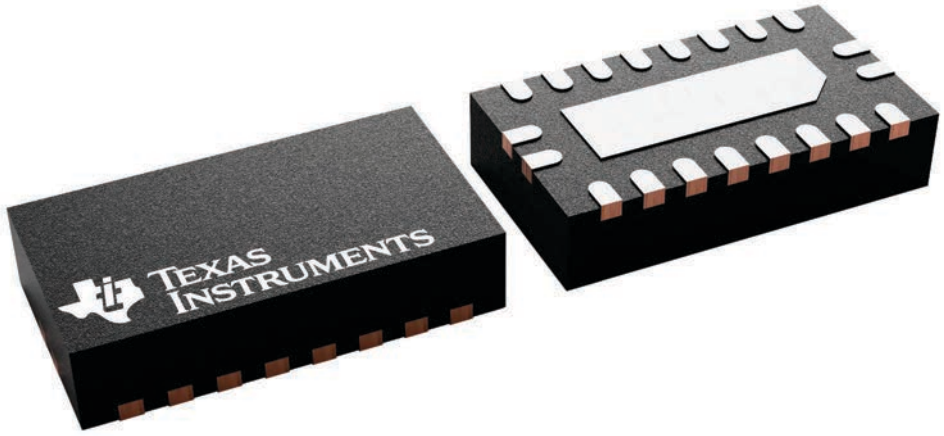
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

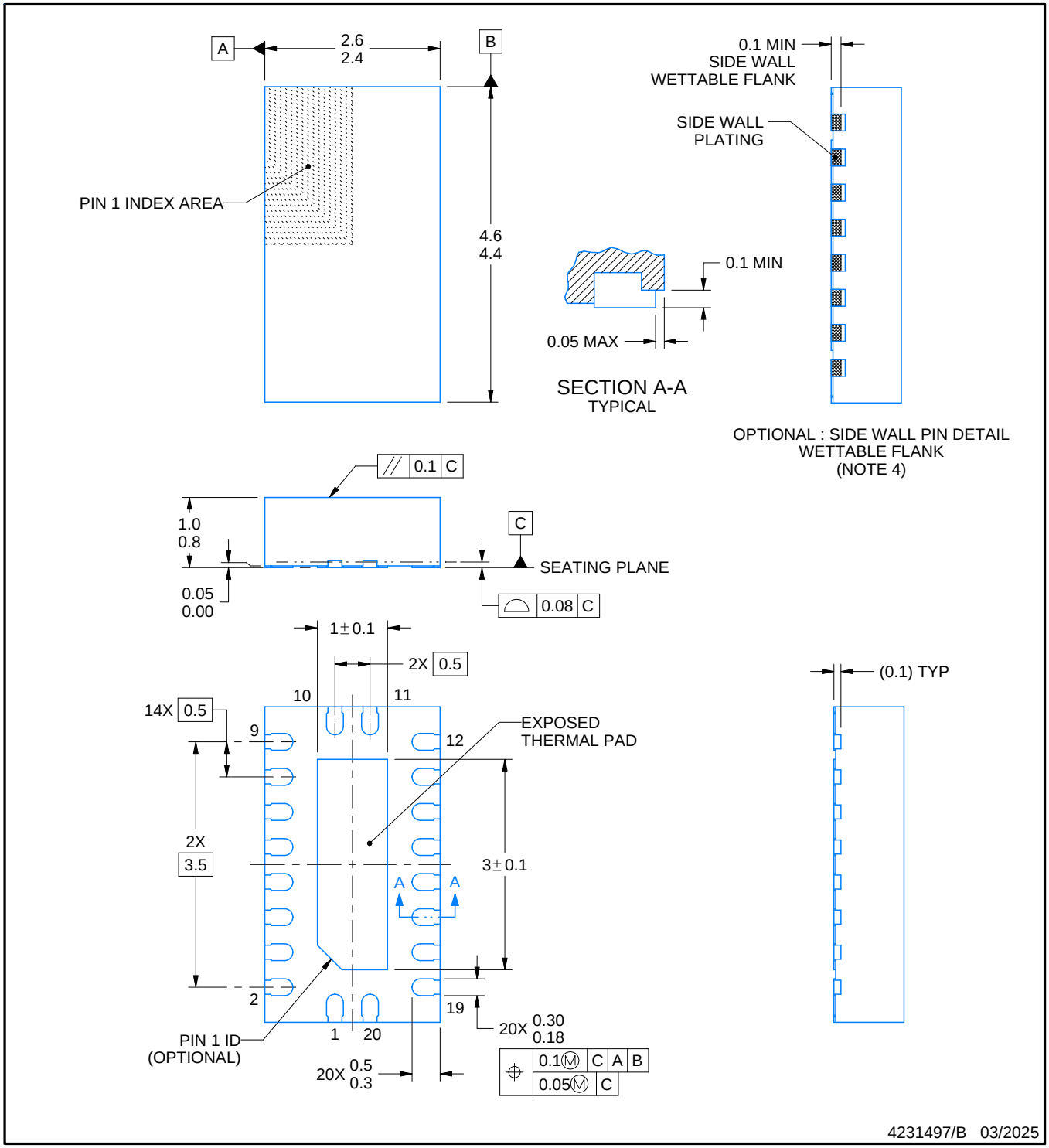


PACKAGE OUTLINE

RKS0020C

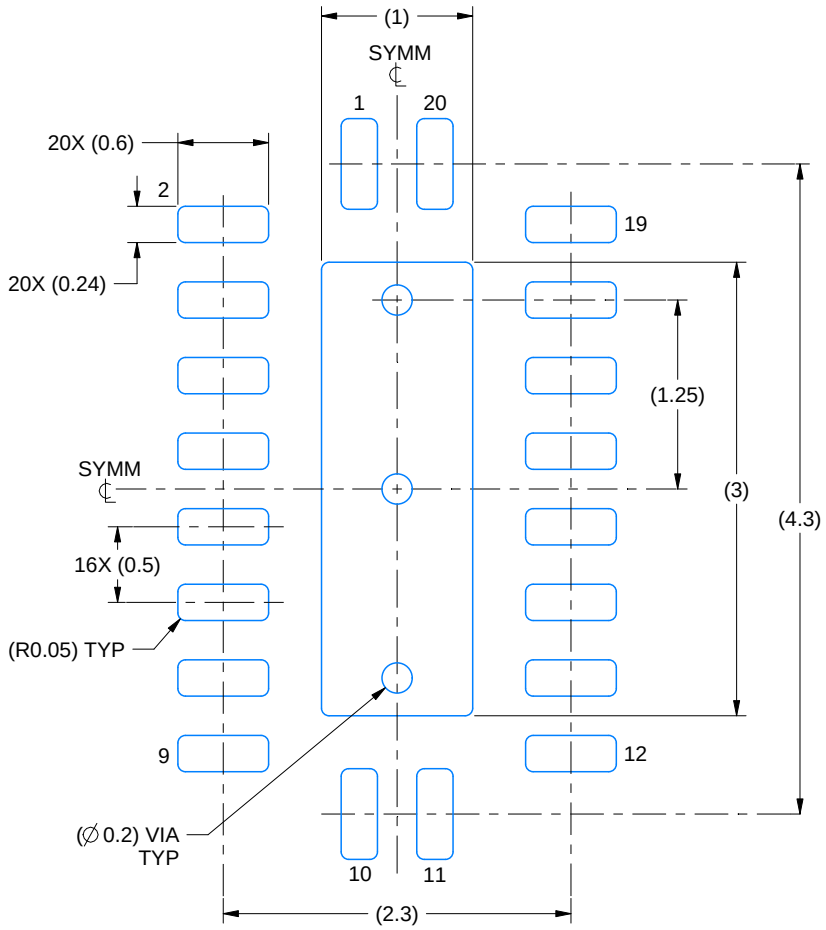
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

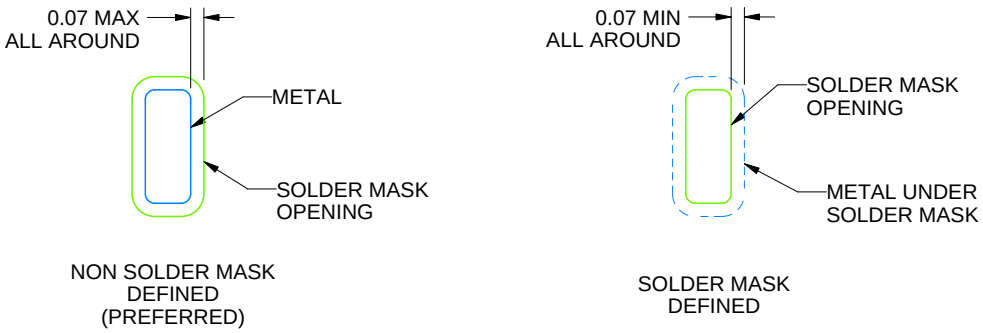


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only



LAND PATTERN EXAMPLE
SCALE:20X

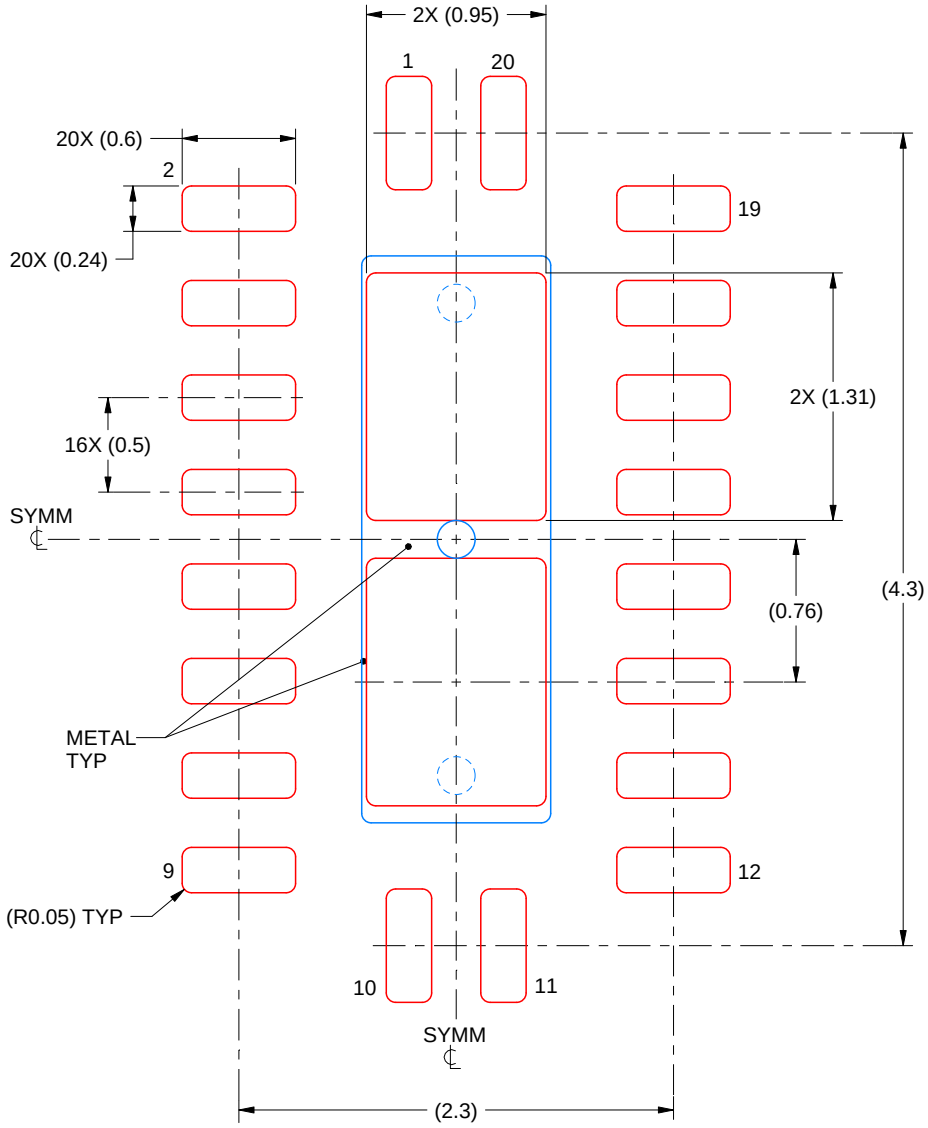


SOLDER MASK DETAILS

4231497/B 03/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4231497/B 03/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月