SN74CBTLV3257 低電圧 4 ビット 1/2 FET マルチプレクサ / デマルチプレクサ

1 特長

- 2 つのポート間を 5Ω スイッチで接続
- データ I/O ポートのレール ツー レール スイッチング
- I_{off} により部分的パワーダウン モード動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
  - 2000V、人体モデル (A114-A)
  - 200V、マシン モデル (A115-A)

2 アプリケーション

- データセンターおよびエンタープライズ コンピューティング
- ブロードバンド固定回線アクセス
- ビル オートメーション
- 有線ネットワーク
- モーター ドライブ

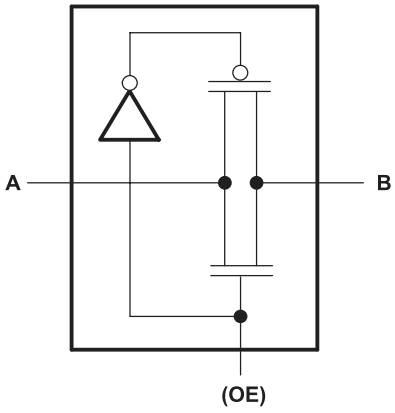
3 説明

SN74CBTLV3257 デバイスは、8 入力から 1 つを選択する高速 FET マルチプレクサ / デマルチプレクサです。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。選択入力 (S0、S1、S2) によって、データの流れが制御されます。出力イネーブル ($\overline{OE}$) 入力が High になると、FET マルチプレクサ / デマルチプレクサは無効化されます。このデバイスは、Ioff を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。Ioff 機能により、電源オフ時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。電源投入または電源切断時に高インピーダンス状態を確保するため、OE はプルアップ抵抗経由で VCC に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74CBTLV3257DBQR	DBQ (SSOP、16)	4.90mm × 3.90mm
SN74CBTLV3257PWR	PW (TSSOP、16)	5.00mm × 4.40mm
SN74CBTLV3257DGVR	DGV (TVSOP、16)	3.60mm × 4.40mm
SN74CBTLV3257DR	D (SOIC、16)	9.90mm × 3.91mm
SN74CBTLV3257RGYR	RGY (VQFN、16)	4.00mm × 3.50mm
SN74CBTLV3257DYY	SOT (16)	4.20mm × 2.00mm
SN74CBTLV3257BQB	WQFN (16)	3.50mm × 2.50mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図 (各 FET スイッチ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 熱に関する情報.....5
5.4 推奨動作条件.....6
5.5 電気的特性 - DBQ、DGV、D、PW、RGY のみ.....6
5.6 電気的特性 - DYY および BQB パッケージのみ.....7
5.7 スイッチング特性 - DBQ、DGV、D、PW、RGY のみ.....7
5.8 スイッチング特性 - DYY および BQB パッケージのみ.....8
5.9 代表的特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 使用上の注意.....12
8.2 代表的なアプリケーション.....12
8.3 電源に関する推奨事項.....13
8.4 レイアウト.....14
9 デバイスおよびドキュメントのサポート.....15
9.1 ドキュメントのサポート.....15
9.2 ドキュメントの更新通知を受け取る方法.....15
9.3 サポート・リソース.....15
9.4 商標.....15
9.5 静電気放電に関する注意事項.....15
9.6 用語集.....15
10 改訂履歴.....16
11 メカニカル、パッケージ、および注文情報.....16

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

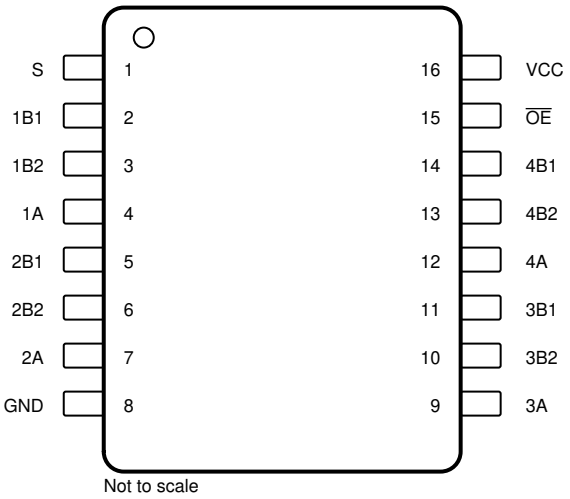


図 4-1. DGV、D、DBQ、DYY、PW パッケージ 16 ピン TVSOP、SOIC、SSOP、SOT-23-THIN、TSSOP (上面図)

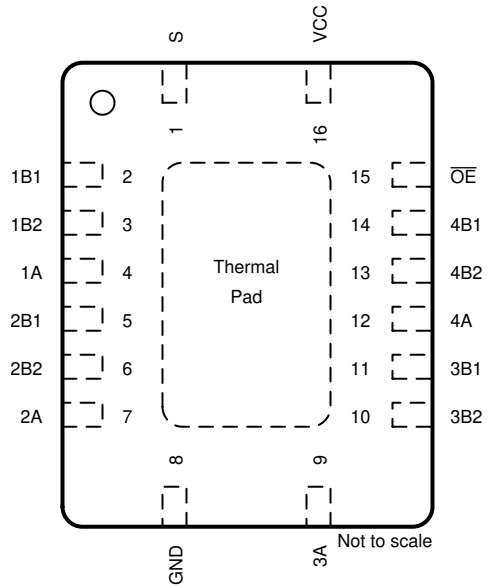
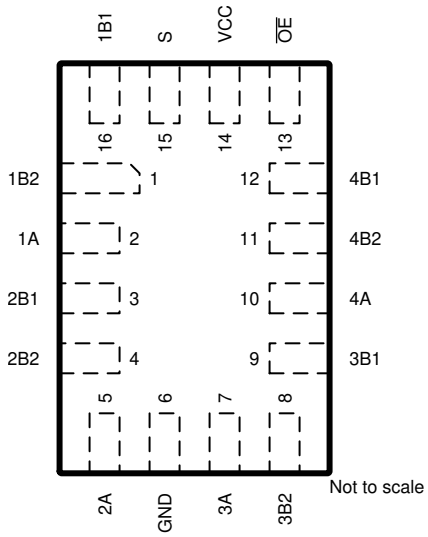


図 4-2. RGY および BQB パッケージ 16 ピン VQFN および WQFN (上面図)



Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ	説明
名称	なし		
1A	4	I/O	チャネル 1 出力 / 入力共通
1B1	2	I/O	チャネル 1 入力 / 出力 1
1B2	3	I/O	チャネル 1 入力 / 出力 2
2A	7	I/O	チャネル 2 出力 / 入力共通
2B1	5	I/O	チャネル 2 入力 / 出力 1
2B2	6	I/O	チャネル 2 入力 / 出力 2
3A	9	I/O	チャネル 3 出力 / 入力共通
3B1	11	I/O	チャネル 3 入力 / 出力 1
3B2	10	I/O	チャネル 3 入力 / 出力 2
4A	12	I/O	チャネル 4 出力 / 入力共通
4B1	14	I/O	チャネル 4 入力 / 出力 1
4B2	13	I/O	チャネル 4 入力 / 出力 2
GND	8	—	グランド
$\overline{OE}$	15	I	出力イネーブル、アクティブ Low
S	1	I	選択
V_{CC}	16	—	電源

表 4-2. UQFN のピンの機能

ピン		I/O	説明
名称	番号		
1A	2	I/O	チャネル 1 出力 / 入力共通
1B1	16	I/O	チャネル 1 入力 / 出力 1
1B2	1	I/O	チャネル 1 入力 / 出力 2
2A	5	I/O	チャネル 2 出力 / 入力共通
2B1	3	I/O	チャネル 2 入力 / 出力 1
2B2	4	I/O	チャネル 2 入力 / 出力 2
3A	7	I/O	チャネル 3 出力 / 入力共通
3B1	9	I/O	チャネル 3 入力 / 出力 1
3B2	8	I/O	チャネル 3 入力 / 出力 2
4A	10	I/O	チャネル 4 出力 / 入力共通
4B1	12	I/O	チャネル 4 入力 / 出力 1
4B2	11	I/O	チャネル 4 入力 / 出力 2
GND	6	—	グランド
$\overline{OE}$	13	I	出力イネーブル、アクティブ Low
S	15	I	選択
V_{CC}	14	—	電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	4.6	V
V_I	入力電圧(2)		-0.5	4.6	V
	連続チャネル電流			128	mA
I_{IK}	入力クランプ電流	$V_{I/O}$ < 0		-50	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	2000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 熱に関する情報

熱評価基準(1)		SN74CBTLV3257							単位
		D (SOIC)	DBQ (SSOP)	DGV (TVSOP)	PW (TSSOP)	RGY (VQFN)	DYY (SOT)	BQB (WQFN)	
		16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.5	116.6	123.1	129.1	78.4	129.9	88.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	65.4	70	48.7	67	52.5	78.4	58.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	65.2	75	54.9	87.1	21.74	73.3	17.0	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	25.5	17	5.2	14.5	52.5	17.2	58.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	64.6	74.1	54.3	86.3	76.6	72.4	85.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	37.3	該当なし	37.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2.3	3.6	V
V_{IH}	High レベル制御入力電圧	V_{CC} = 2.3V～2.7V	1.7		V
		V_{CC} = 2.7V～3.6V	2		
V_{IL}	Low レベル制御入力電圧	V_{CC} = 2.3V～2.7V		0.7	V
		V_{CC} = 2.7V～3.6V		0.8	
T_A	自由空気での動作温度	PKG = RGY、DBQ、D、PW、DGV	-40	85	°C
T_A	自由空気での動作温度	PKG = DYY、BQB	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』を参照してください。

5.5 電気的特性 - DBQ、DGV、D、PW、RGY のみ

自由空気での推奨動作温度範囲内、T_A = -40 ～ 85°C (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{IK}		V_{CC} = 3V、	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V、	V_I = V_{CC} または GND				±1	µA
I_{off}		V_{CC} = 0、	V_I または V_O = 0～3.6V				15	µA
I_{CC}		V_{CC} = 3.6V、	I_O = 0、	V_I = V_{CC} または GND			10	µA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、	3V の単一入力、	他の入力は V_{CC} または GND			300	µA
C_i		V_I = 3V または 0				3		pF
$C_{io(OFF)}$	A ポート	V_O = 3V または 0、	$\overline{OE}$ = V_{CC}			10.5		pF
	B ポート					5.5		
r_{on} (3)		V_{CC} = 2.3V、 V_{CC} = 2.5V での標準値	V_I = 0	I_I = 64mA		5	8	Ω
				I_I = 24mA		5	8	
			V_I = 1.7V	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	7	
				I_I = 24mA		5	7	
			V_I = 2.4V	I_I = 15mA		10	15	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性 - DYY および BQB パッケージのみ

自由空気での推奨動作温度範囲内、T_A = -40 ～ 125℃ (PKG = DYY、BQB) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{IK}		V_{CC} = 3V、	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V、	V_I = V_{CC} または GND				±1	μA
I_{off}		V_{CC} = 0、	V_I または V_O = 0～3.6V				15	μA
I_{CC}		V_{CC} = 3.6V、	I_O = 0、	V_I = V_{CC} または GND			10	μA
ΔI_{CC} (2)	制御入力	V_{CC} = 3.6V、	3V の単一入力、	他の入力は V_{CC} または GND			300	μA
C_i		V_I = 3V または 0				3		pF
$C_{io(OFF)}$	A ポート	V_O = 3V または 0、	$\overline{OE}$ = V_{CC}			10.5		pF
	B ポート					6		
r_{on} (3)		V_{CC} = 2.3V、V_{CC} = 2.5V での標準値	V_I = 0	I_I = 64mA		5	10	Ω
				I_I = 24mA		5	10	
			V_I = 1.7V	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	9	
				I_I = 24mA		5	9	
			V_I = 2.4V	I_I = 15mA		10	20	

(1) すべての標準値は、V_{CC} = 3.3V (特に記述のない限り)、T_A = 25°C における値です。
(2) これは、V_{CC} や GND ではなく、規定電圧レベルにおける各入力の電源電流の増加量です。
(3) スイッチを流れる電流における A 端子と B 端子の間の電圧降下によって測定されます。オン状態の抵抗は、A 端子または B 端子のうち電圧が低い方によって決まります。

5.7 スイッチング特性 - DBQ、DGV、D、PW、RGY のみ

自由空気での推奨動作温度範囲内、-40 ～ 85℃ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5 ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd}	A または B(1)	B または A		0.15		0.25	ns
	S	A	1.8	6.1	1.8	5.3	
t_{en}	S	B	1.7	6.1	1.7	5.3	ns
t_{dis}	S	B	1	4.8	1	4.5	ns
t_{en}	$\overline{OE}$	A または B	1.9	5.6	2	5	ns
t_{dis}	$\overline{OE}$	A または B	1	5.5	1.6	5.5	ns

(1) 伝播遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性 - DYY および BQB パッケージのみ

自由空気での推奨動作温度範囲内、-40 ～ 125℃ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 2.5 ± 0.2V		V_{CC} = 3.3V ± 0.3V		単位
			最小値	最大値	最小値	最大値	
t_{pd}	A または B(1)	B または A		3		1.6	ns
	S	A	0.6	3	0.5	1.6	
t_{en}	S	B	3.8	6.6	3.2	5.6	ns
t_{dis}	S	B	3.8	6.5	3.3	5.5	ns
t_{en}	$\overline{OE}$	A または B	5	6.5	4.5	5.6	ns
t_{dis}	$\overline{OE}$	A または B	4.6	6.4	4.3	5.2	ns

5.9 代表的特性

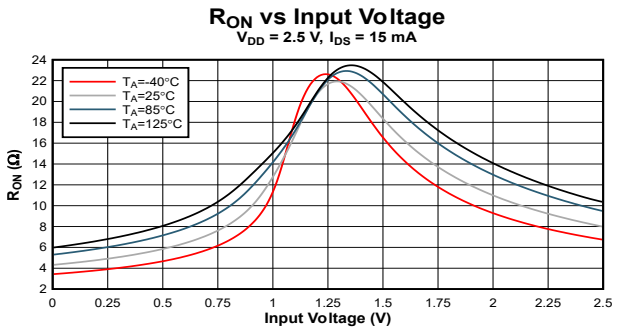


図 5-1. V_{DD} = 2.5V、I_{DS} = 15mA

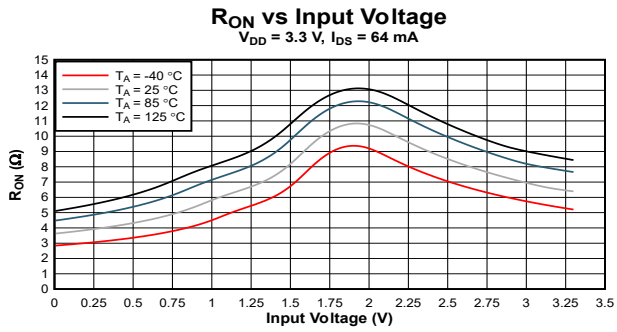
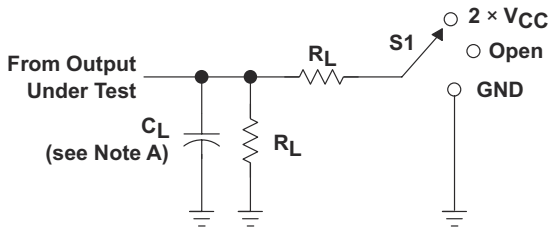


図 5-2. V_{DD} = 3.3V、I_{DS} = 64mA

Copyright © 2026 Texas Instruments Incorporated

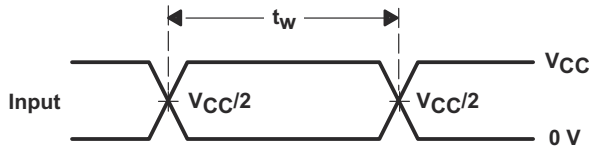
6 パラメータ測定情報



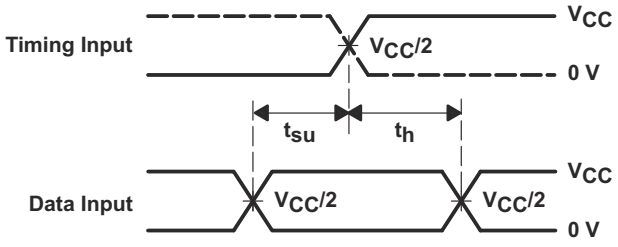
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

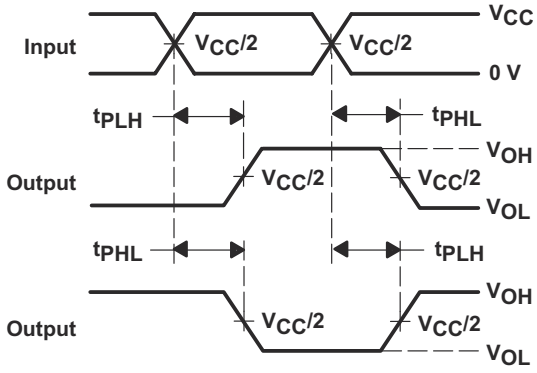
V_{CC}	C_L	R_L	V_Δ
2.5 V ± 0.2 V	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	50 pF	500 Ω	0.3 V



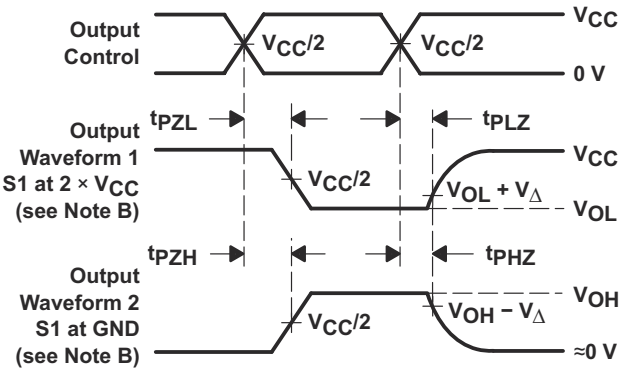
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2 ns, t_f ≤ 2 ns.
D. The outputs are measured one at a time with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

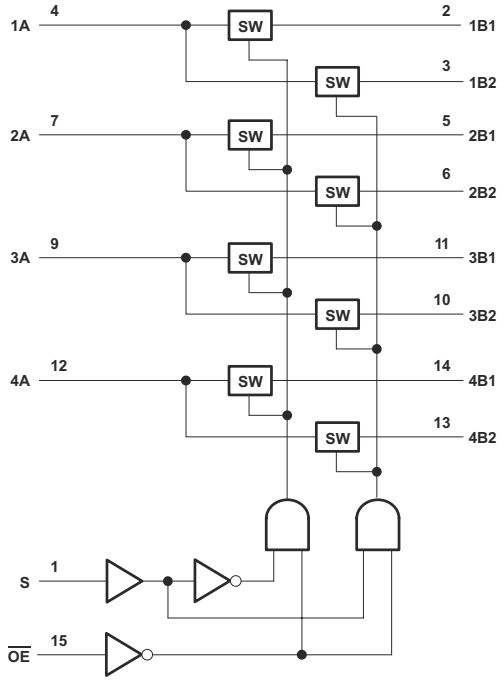
SN74CBTLV3257 デバイスは、4 ビットの 1/2 高速 FET マルチプレクサおよびデマルチプレクサです。スイッチの ON 状態の抵抗が低いため、最小の伝播遅延で接続が可能です。

セレクト (S) 入力はデータ フローを制御します。出力イネーブル ($\overline{OE}$) 入力が High の場合、FET マルチプレクサおよびデマルチプレクサは無効化されます。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 機能により、電源オフ時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図



7.3 機能説明

SN74CBTLV3257 は、ポート間に 5Ω のスイッチ接続があり、スイッチ両端における信号損失を小さくできます。データ I/O でのレール ツー レール スイッチングにより、完全な電圧スイング出力が可能です。I_{off} では部分的パワーダウン モード動作をサポートしているため、チップの電源がオンになっていないときの出力ポート電圧からチップを保護します。JESD 78、Class II 準拠で 100 mA 超のラッチアップ性能。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

表 7-1 に、SN74CBTLV3257 の機能モードを表示します。

表 7-1. 機能表

入力		FUNCTION
$\overline{OE}$	S	
L	L	A ポート = B1 ポート
L	H	A ポート = B2 ポート
H	X	切断

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74CBTLV3257 は、2:1 構成で最大 4 チャンネルを同時に多重化および逆多重化する用途に使用できます。ここに示すアプリケーションは、2 つのデバイス間で多重化された 4 ビット バスです。$\overline{OE}$ および S ピンは、バス コントローラからチップを制御するために使用されます。これは、さまざまな状況に適用できる非常に一般的な例です。アプリケーションで必要なビットが 4 ビット未満の場合、必ず A 側を未使用のチャネルの High または Low に接続してください。

8.2 代表的なアプリケーション

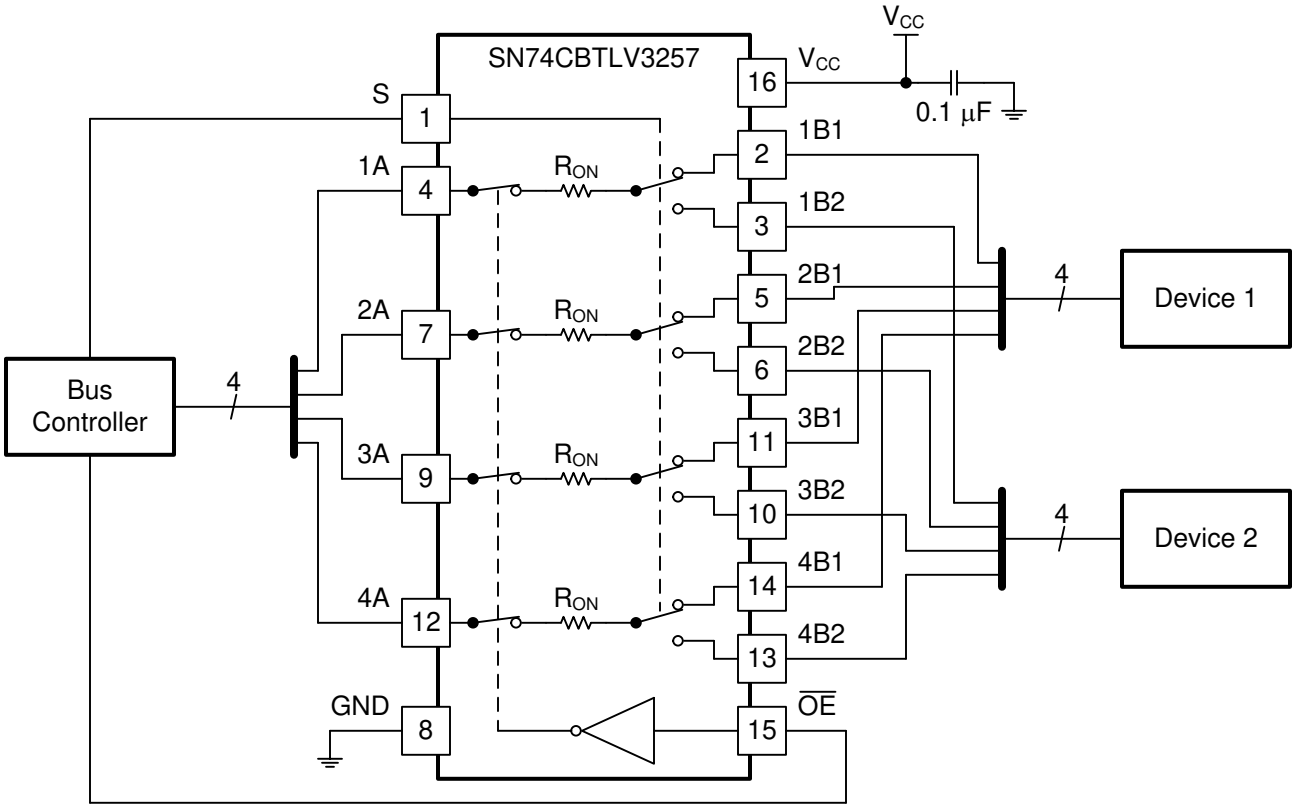


図 8-1. SN74CBTLV3257 の代表的なアプリケーション

Copyright © 2026 Texas Instruments Incorporated

8.2.1 設計要件

1. 推奨入力条件:
   - 規定された High および Low レベルについては、「」の V_{IH} および V_{IL} を参照してください。セクション 5.4
   - 入力および出力は過電圧に対して耐性があり、任意の有効な V_{CC} において最大 4.6V に対応できます。
2. 推奨出力条件:
   - 負荷電流は、チャネルごとに ±128mA を超えてはなりません。
3. 周波数選択の基準:
   - テストした最大周波数は 200MHz です。
   - パターンの抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。セクション 8.4 に示すレイアウト手法を使用してください。

8.2.2 詳細な設計手順

4 ビット バスは、SN74CBTLV3257 の 1A、2A、3A、4A ポート (xA ポートと呼ばれます) に直接接続されており、そこから実質的に 2 つのバスに分岐して、xB1 および xB2 ポートから出力されます。S が High のとき、xB2 がアクティブ バス、S が Low のとき、xB1 がアクティブ バスです。つまり、S が High のときはデバイス 2 がバス コントローラに接続され、S が Low のときはデバイス 1 がバス コントローラに接続されます。この設定は、2 つのデバイスが同じアドレスでハード コードされ、1 つのバスしか使用できない場合に便利です。$\overline{OE}$ 接続を使用して、必要に応じてすべてのデバイスをバス コントローラから切断できます。

V_{CC} の 0.1µF コンデンサは、デカップリング コンデンサであるため、できる限りデバイスの近くに配置してください。

8.2.3 アプリケーション曲線

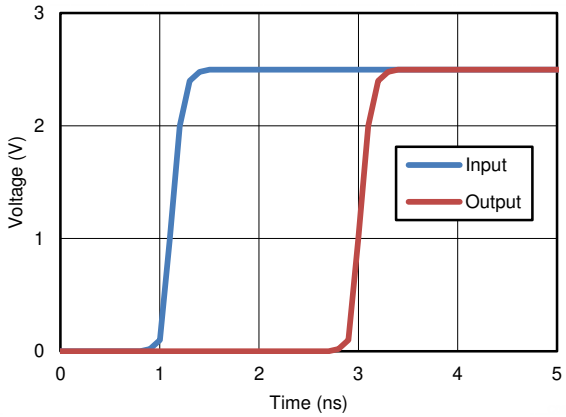


図 8-2. 伝搬遅延 (t_{pd})、V_{CC} = 2.5V でのシミュレーション結果

8.3 電源に関する推奨事項

電源には、の表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。セクション 5.4

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します 。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

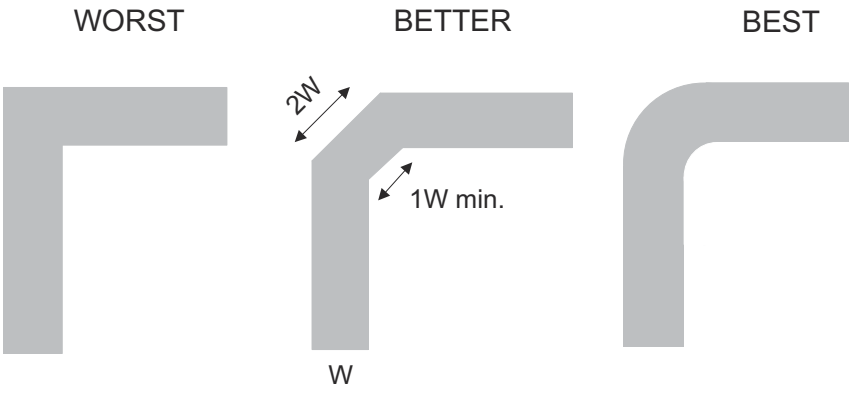


図 8-3. パターン例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション レポート
- テキサス インスツルメンツ、『適切なテキサス インスツルメンツ信号スイッチの選択』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (July 2018) to Revision N (July 2026) — **Page**

- 新しいアプリケーションを追加 1
- 熱定格を更新 5
- 新しいパッケージの「電気的仕様」セクションを追加 7
- 新しいパッケージの「スイッチング仕様」セクションを追加 8
- 「代表的特性」曲線を追加 8

Changes from Revision L (October 2016) to Revision M (July 2018) — **Page**

- ピン画像の外観を変更 3

Changes from Revision K (April 2015) to Revision L (October 2016) — **Page**

- 「デバイス情報」表に TSSOP (16) を追加 1
- 「絶対最大定格」に接合部温度 T_J を追加 5
- デバイスの動作を明確化するため、「詳細な設計手順」の表現を変更 13
- 「ドキュメントの更新通知を受け取る方法」セクションおよび「コミュニティリソース」セクションを追加 16

Changes from Revision J (December 2012) to Revision K (April 2015) — **Page**

- 詳細については、「メカニカル、パッケージ、および注文情報」の「注文情報」表を参照してください 1
- 「ピン構成および機能」セクション、「ESD 定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「アプリケーション」を追加 1
- 「デバイス情報」表を追加。 1

Changes from Revision I (October 2003) to Revision J (December 2012) — **Page**

- QFN の注文情報とパッケージのピン配置を追加 1
- 125°C 対応の新しいパッケージを追加 6

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3257DBQRG4	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
74CBTLV3257DBQRG4.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
74CBTLV3257DBQRG4.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
74CBTLV3257DGVRG4	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
74CBTLV3257DGVRG4.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
74CBTLV3257PWRE4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
74CBTLV3257PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
74CBTLV3257PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
74CBTLV3257RSVRG4	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR
74CBTLV3257RSVRG4.A	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR
74CBTLV3257RSVRG4.B	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR
SN74CBTLV3257BQBR	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	CBTLV3257
SN74CBTLV3257DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257DBQR.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257DBQR.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257DGVR.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257DR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3257
SN74CBTLV3257DR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3257
SN74CBTLV3257DR.B	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3257
SN74CBTLV3257DYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257
SN74CBTLV3257PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL257

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CBTLV3257RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257RGYR.B	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL257
SN74CBTLV3257RSVR	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR
SN74CBTLV3257RSVR.A	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR
SN74CBTLV3257RSVR.B	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ZTR

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV3257 :

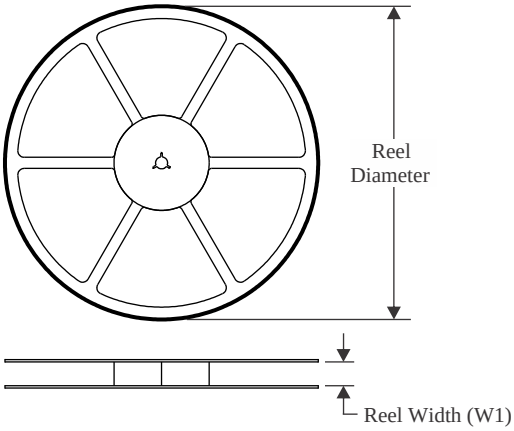
- Automotive : SN74CBTLV3257-Q1
- Enhanced Product : SN74CBTLV3257-EP

NOTE: Qualified Version Definitions:

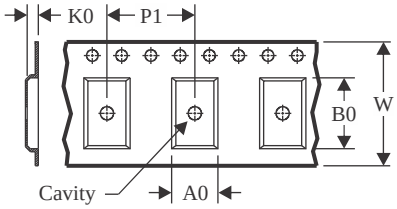
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

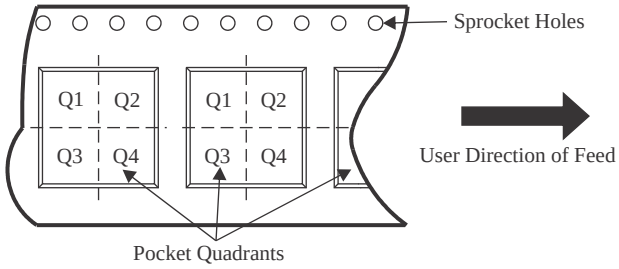


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

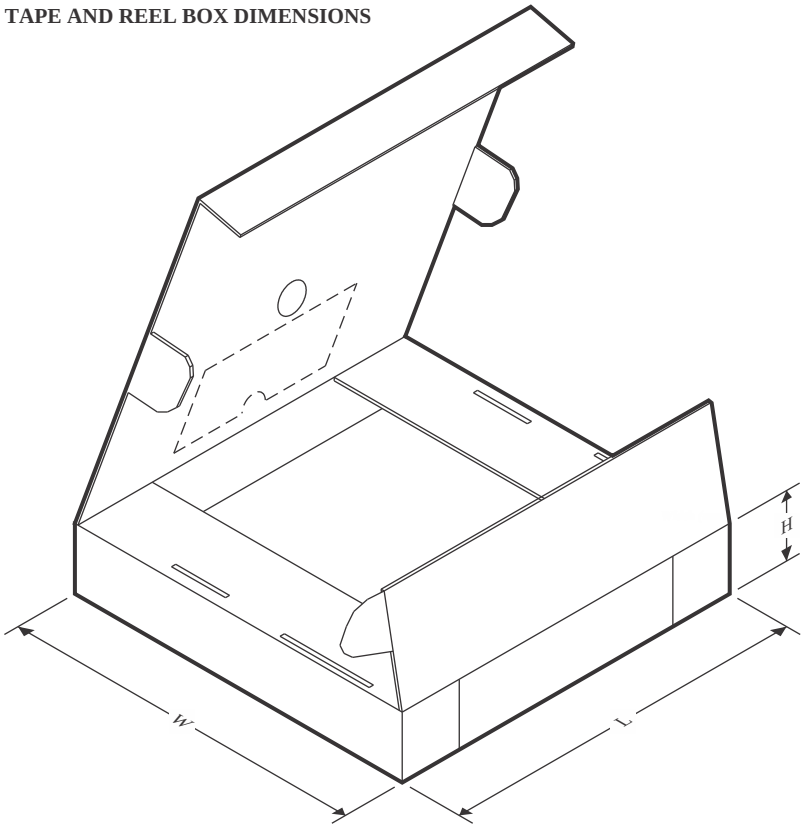


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74CBTLV3257DBQRG4	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
74CBTLV3257DGVRG4	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
74CBTLV3257PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
74CBTLV3257RSVRG4	UQFN	RSV	16	3000	180.0	13.2	2.1	2.9	0.75	4.0	12.0	Q1
SN74CBTLV3257BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74CBTLV3257DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CBTLV3257DBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN74CBTLV3257DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CBTLV3257DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74CBTLV3257DYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.5	3.56	1.35	8.0	12.0	Q3
SN74CBTLV3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74CBTLV3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3257PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CBTLV3257RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1
SN74CBTLV3257RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1
SN74CBTLV3257RSVR	UQFN	RSV	16	3000	180.0	13.2	2.1	2.9	0.75	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

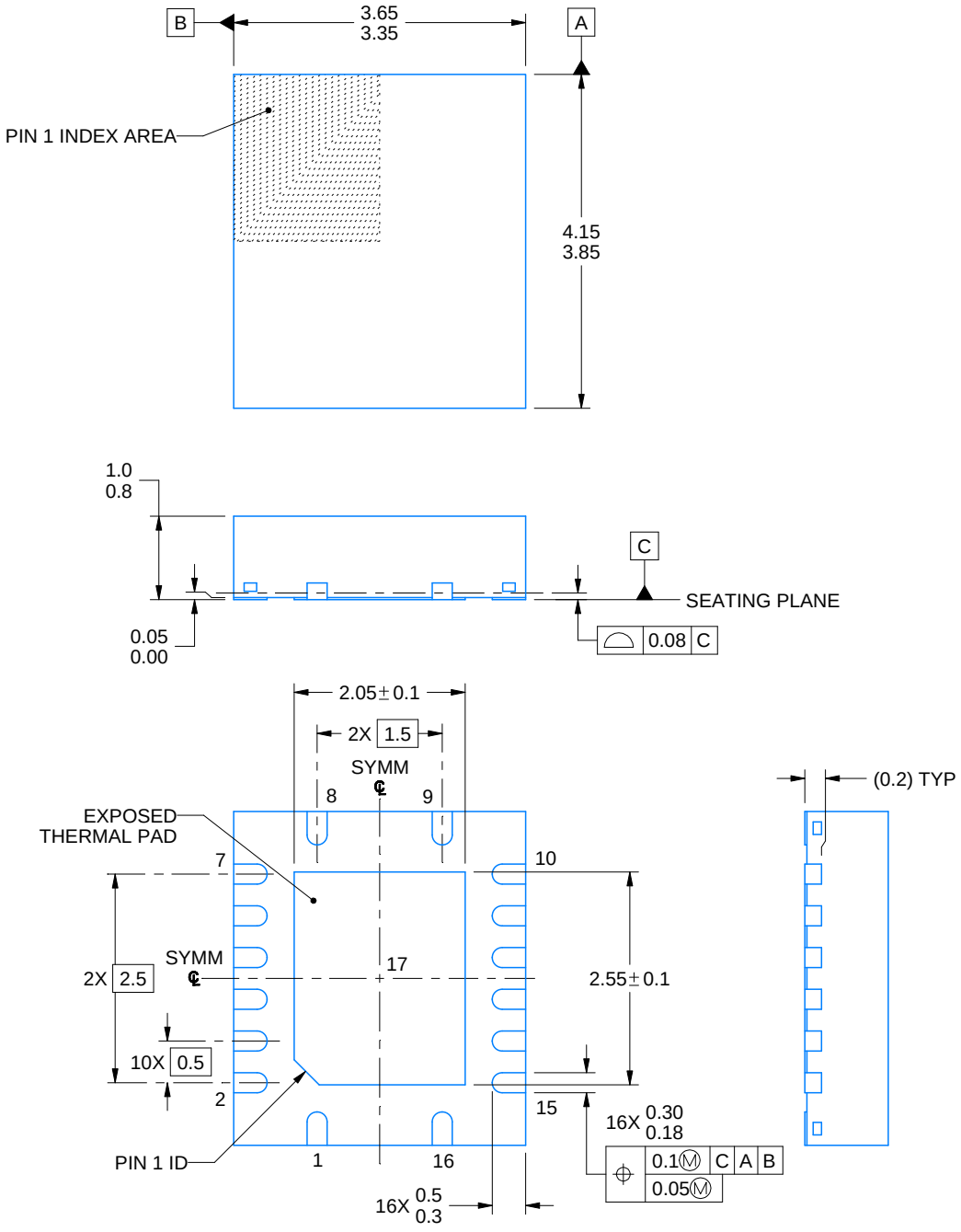
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74CBTLV3257DBQRG4	SSOP	DBQ	16	2500	353.0	353.0	32.0
74CBTLV3257DGVRG4	TVSOP	DGV	16	2000	353.0	353.0	32.0
74CBTLV3257PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
74CBTLV3257RSVRG4	UQFN	RSV	16	3000	180.0	180.0	30.0
SN74CBTLV3257BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74CBTLV3257DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CBTLV3257DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CBTLV3257DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CBTLV3257DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74CBTLV3257DYYR	SOT-23-THIN	DYY	16	3000	360.0	360.0	36.0
SN74CBTLV3257PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74CBTLV3257PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74CBTLV3257PWR	TSSOP	PW	16	2000	364.0	364.0	27.0
SN74CBTLV3257PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CBTLV3257PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CBTLV3257RGYR	VQFN	RGY	16	3000	360.0	360.0	36.0
SN74CBTLV3257RGYR	VQFN	RGY	16	3000	353.0	353.0	32.0
SN74CBTLV3257RSVR	UQFN	RSV	16	3000	180.0	180.0	30.0

RGY0016A

PACKAGE OUTLINE

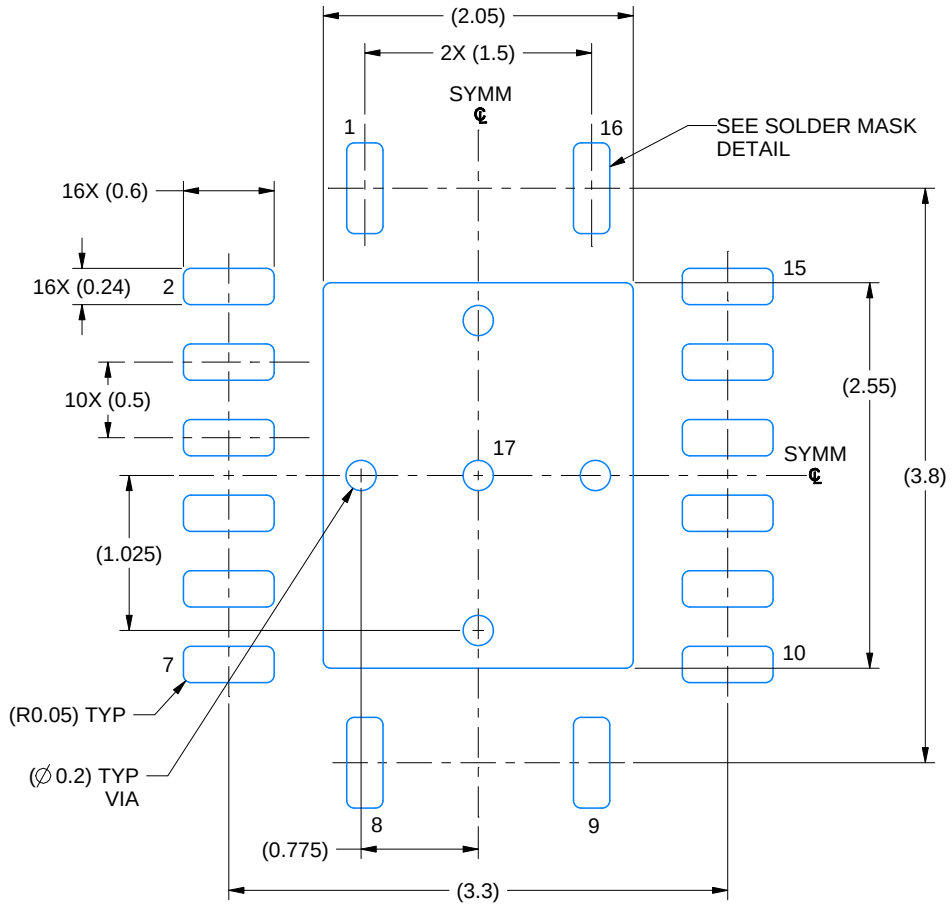
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

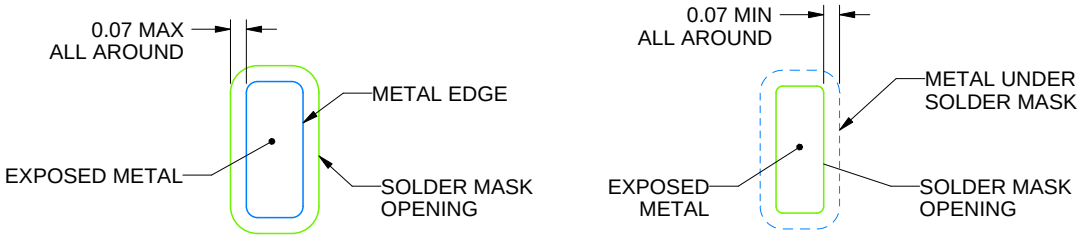


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

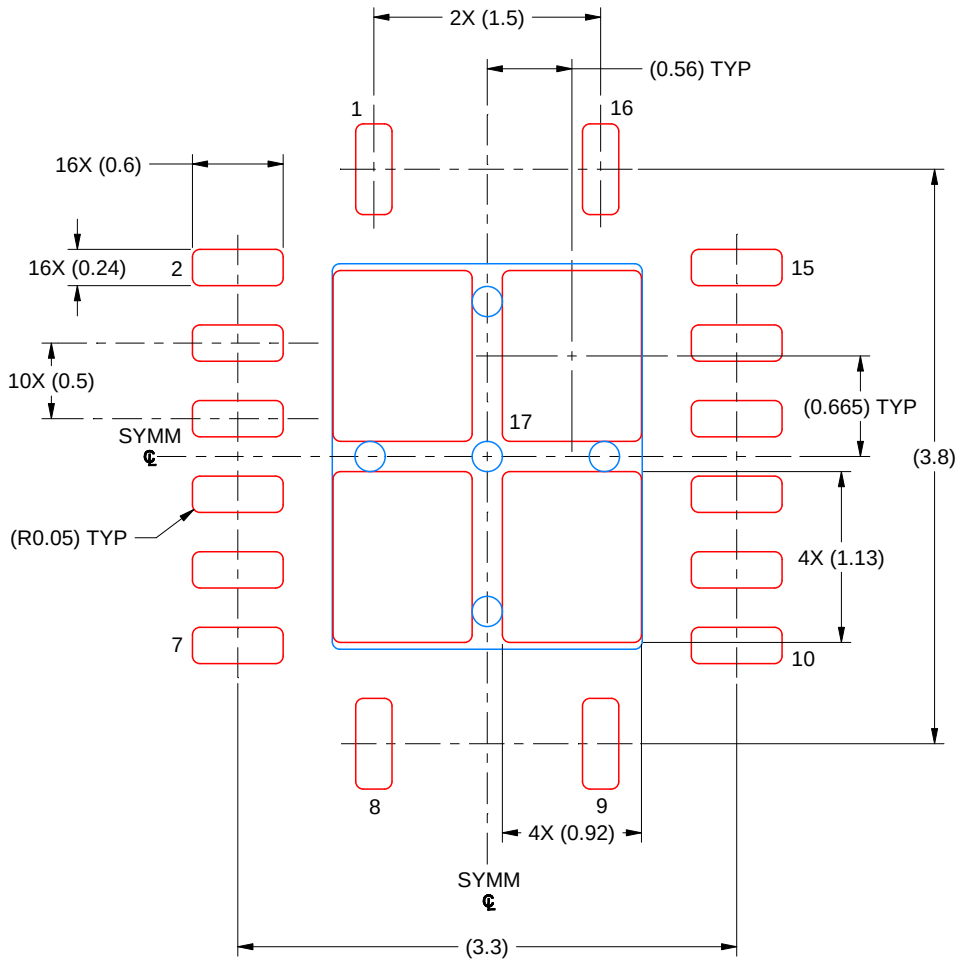


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

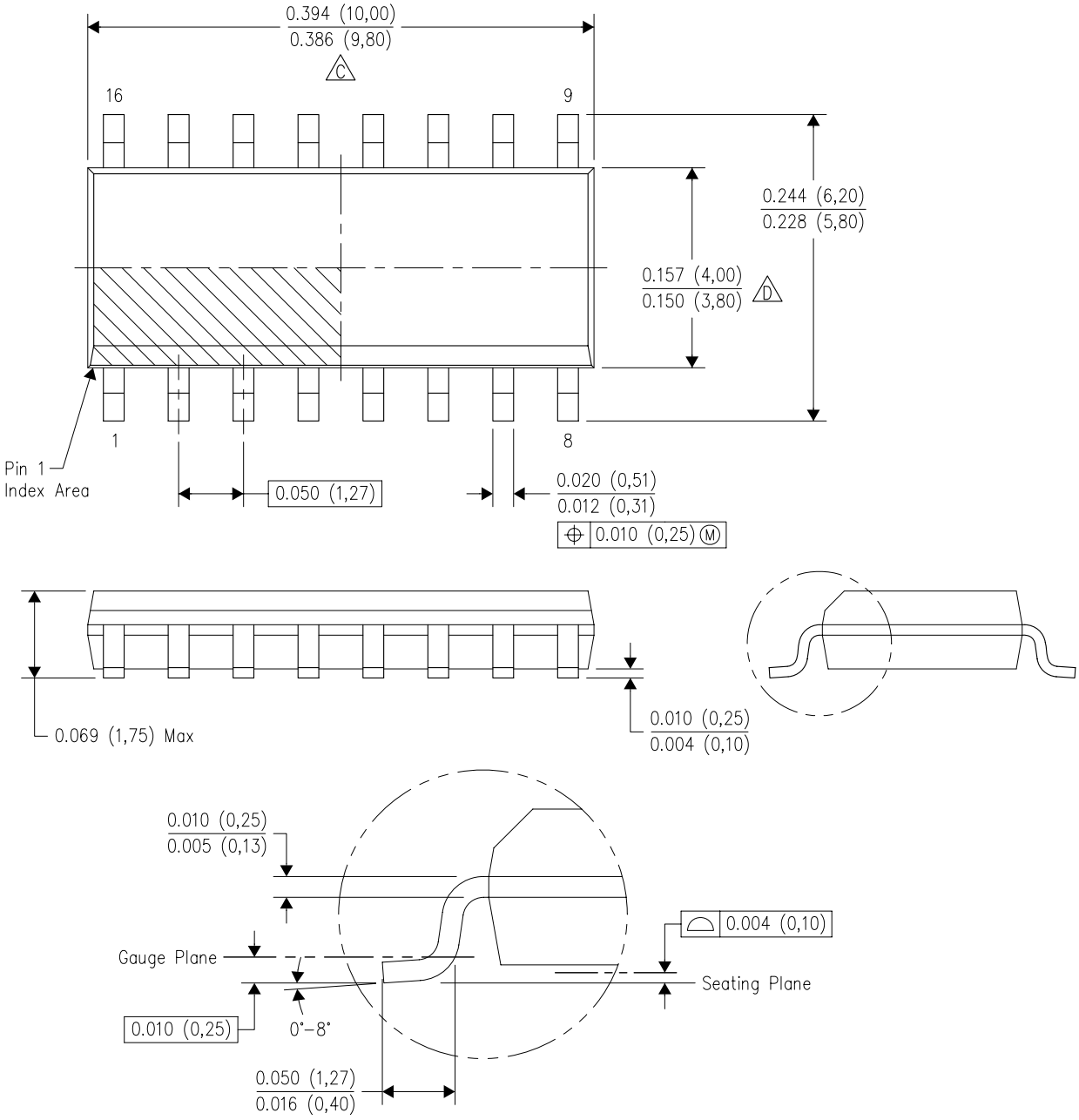
EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

GENERIC PACKAGE VIEW

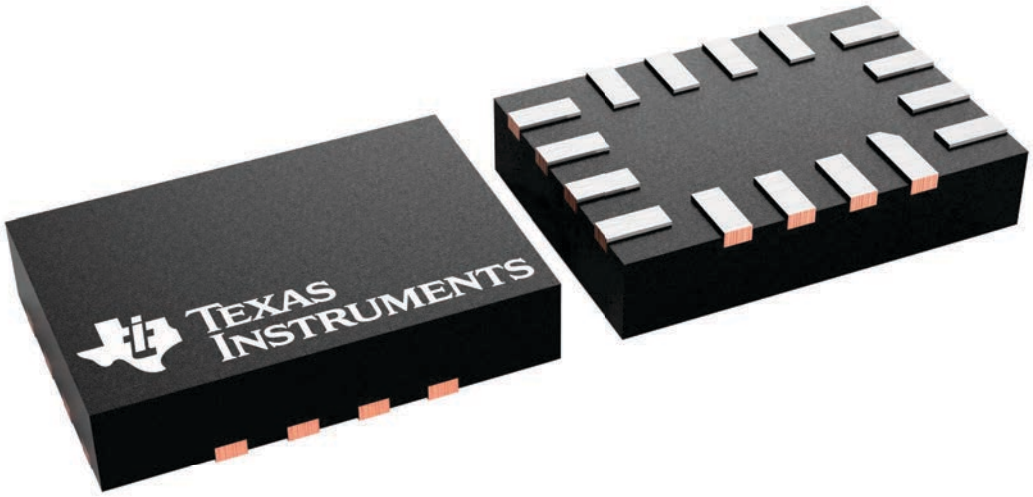
RSV 16

UQFN - 0.55 mm max height

1.8 x 2.6, 0.4 mm pitch

ULTRA THIN QUAD FLATPACK - NO LEAD

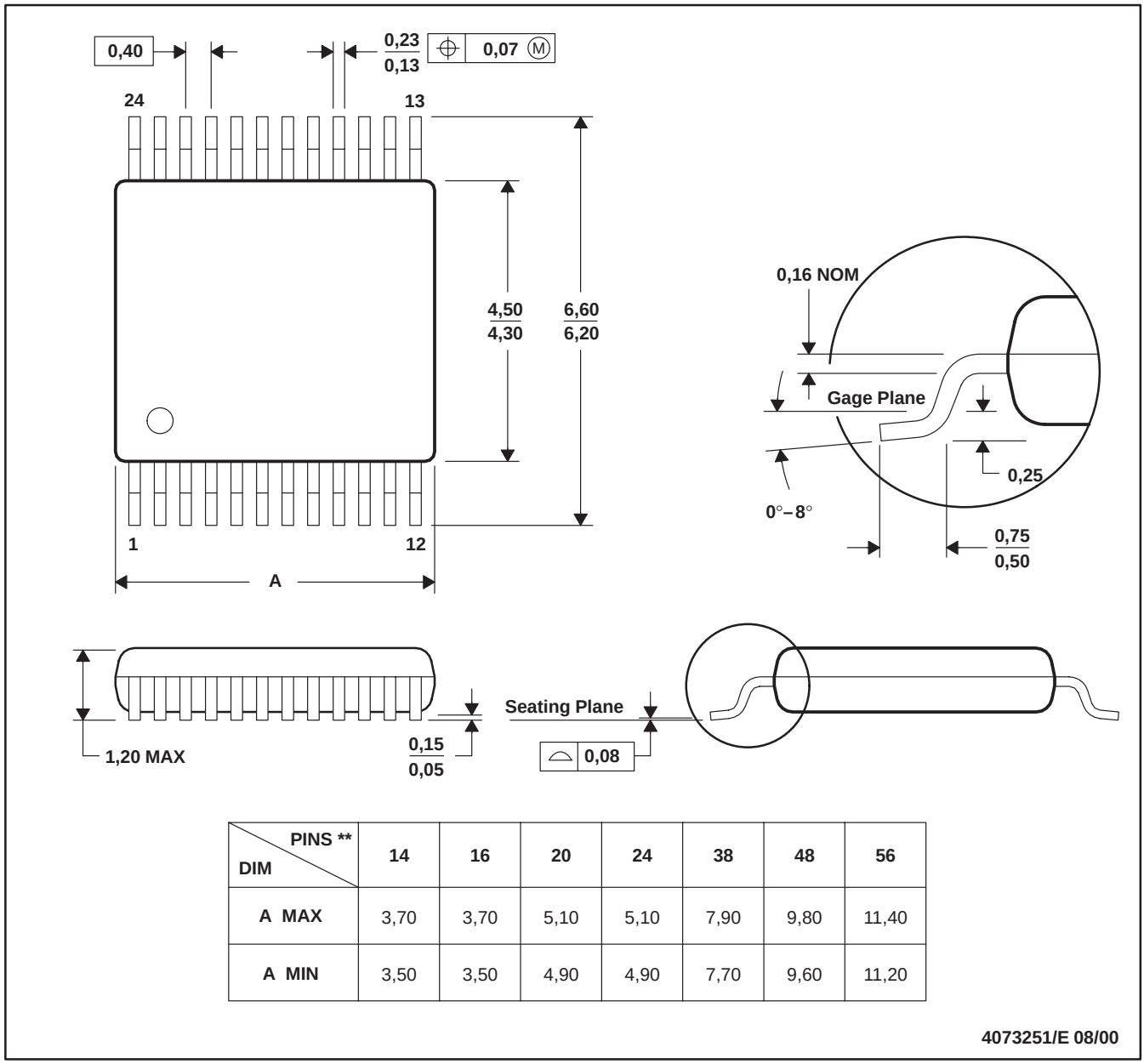
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231225/A

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

GENERIC PACKAGE VIEW

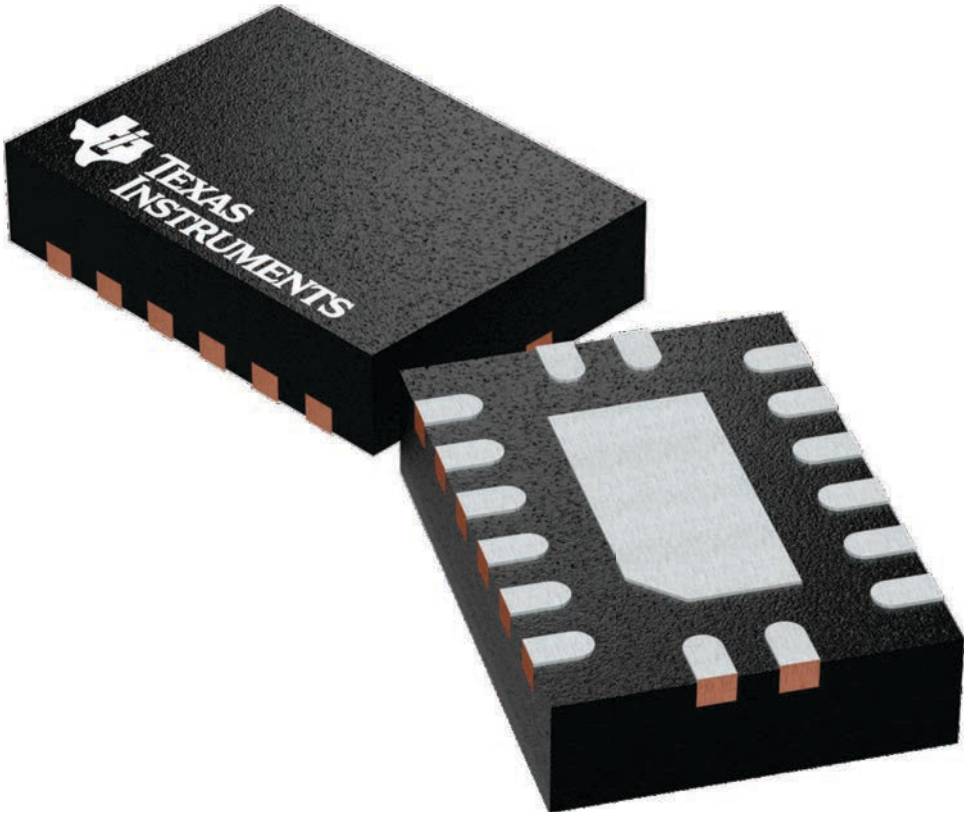
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



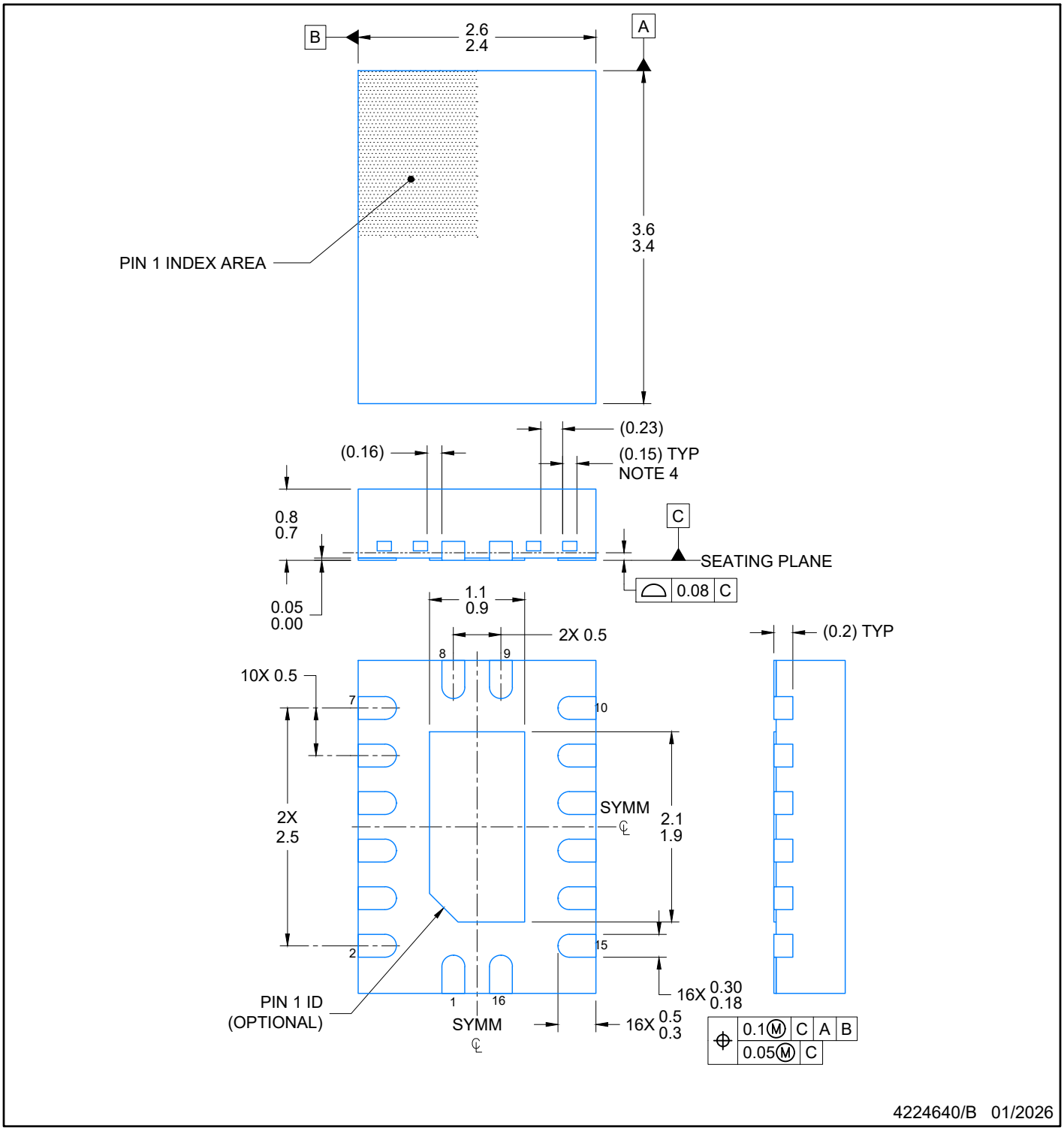
4226161/A

PACKAGE OUTLINE

BQB0016A

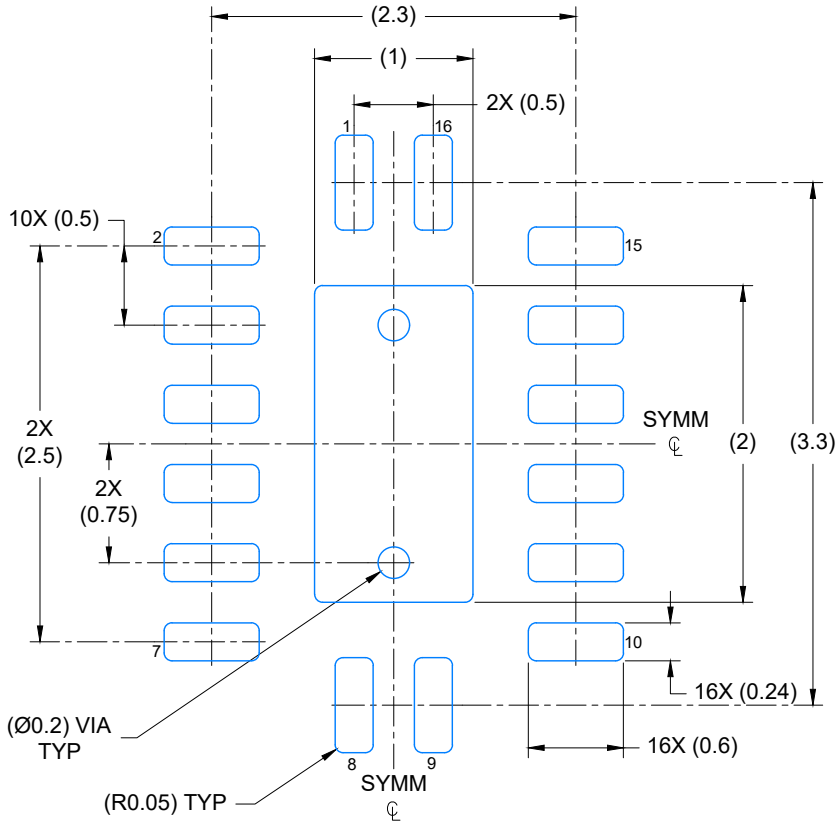
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

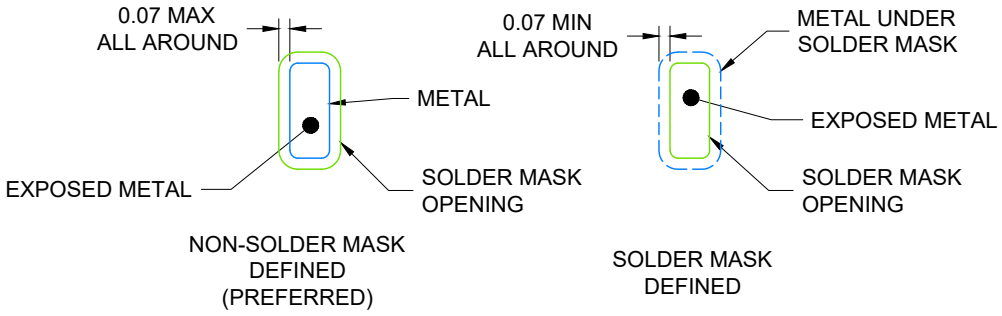


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may differ or may not be present



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

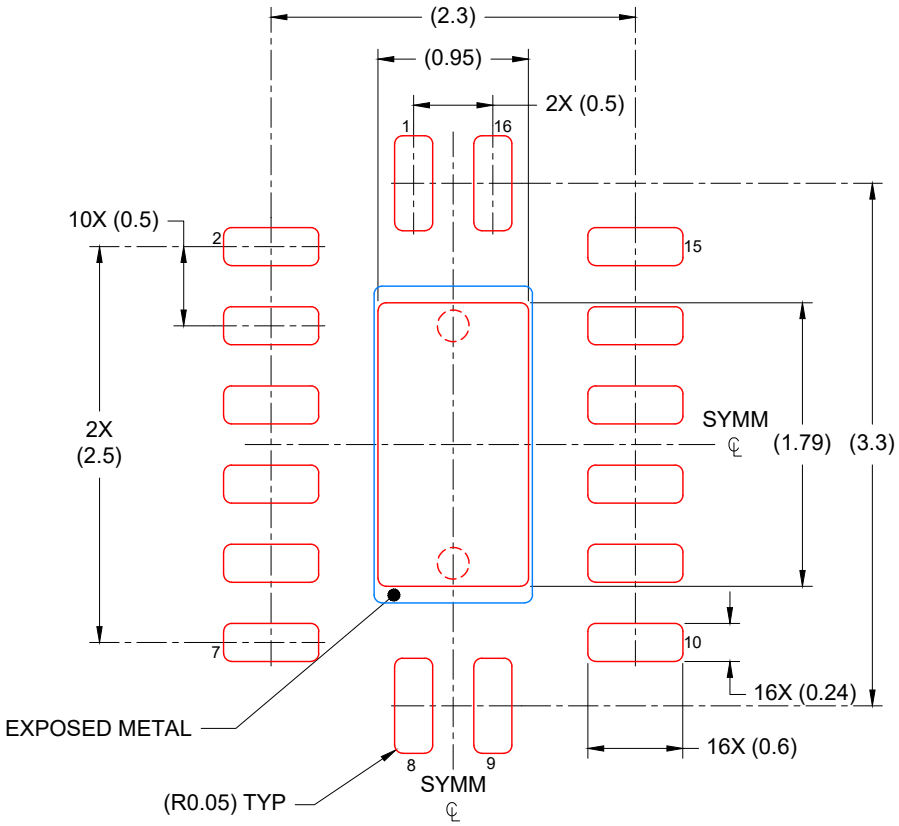


4224640/B 01/2026

1. NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/B 01/2026

NOTES: (continued)

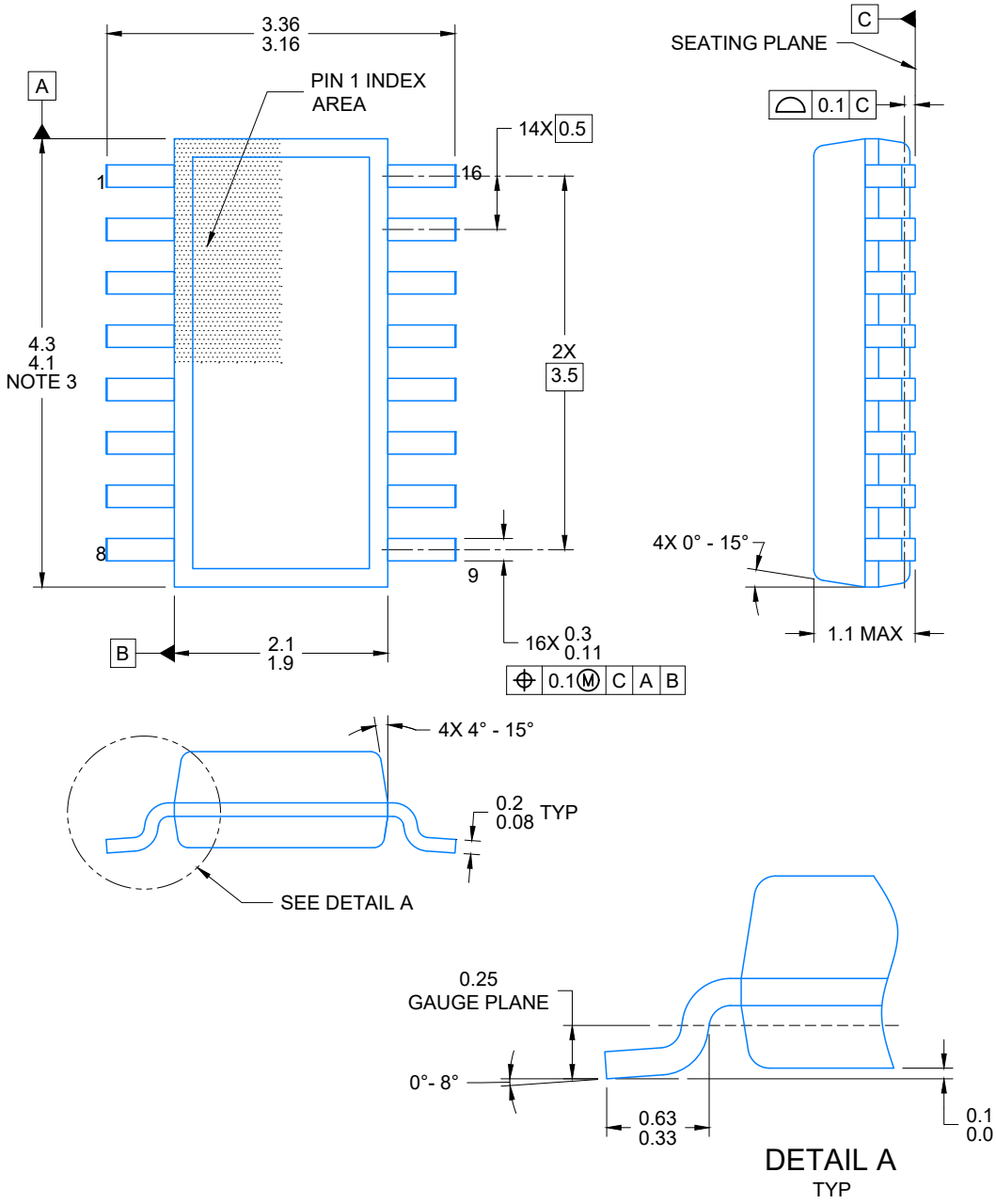
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0016A

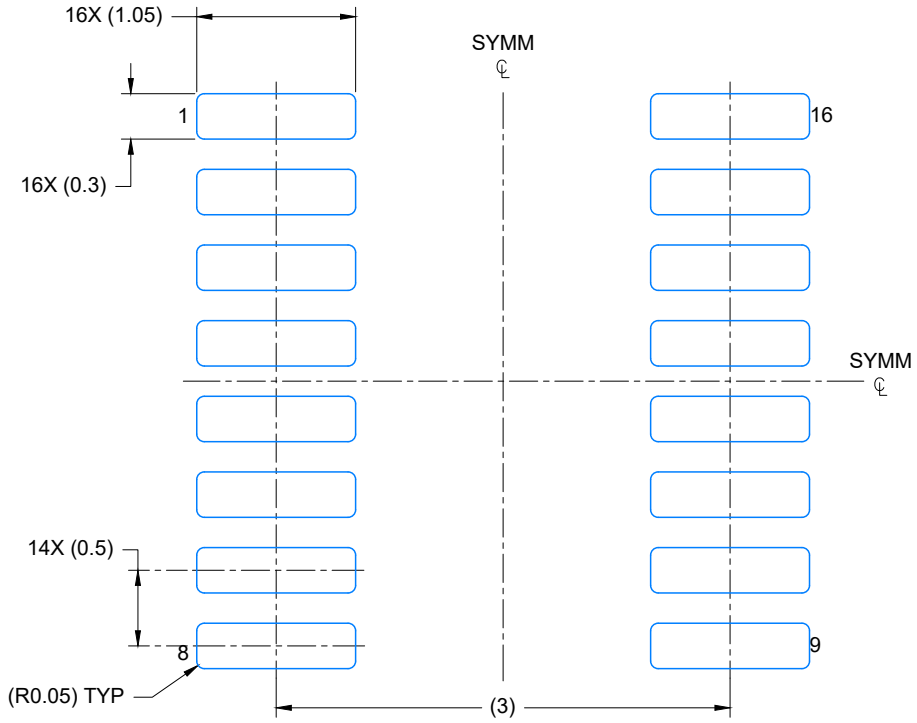
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

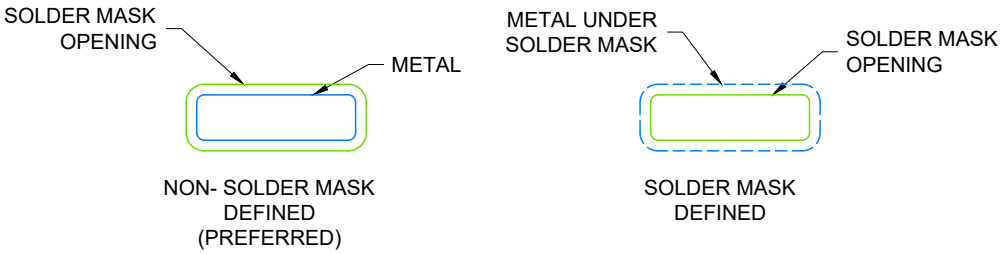


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

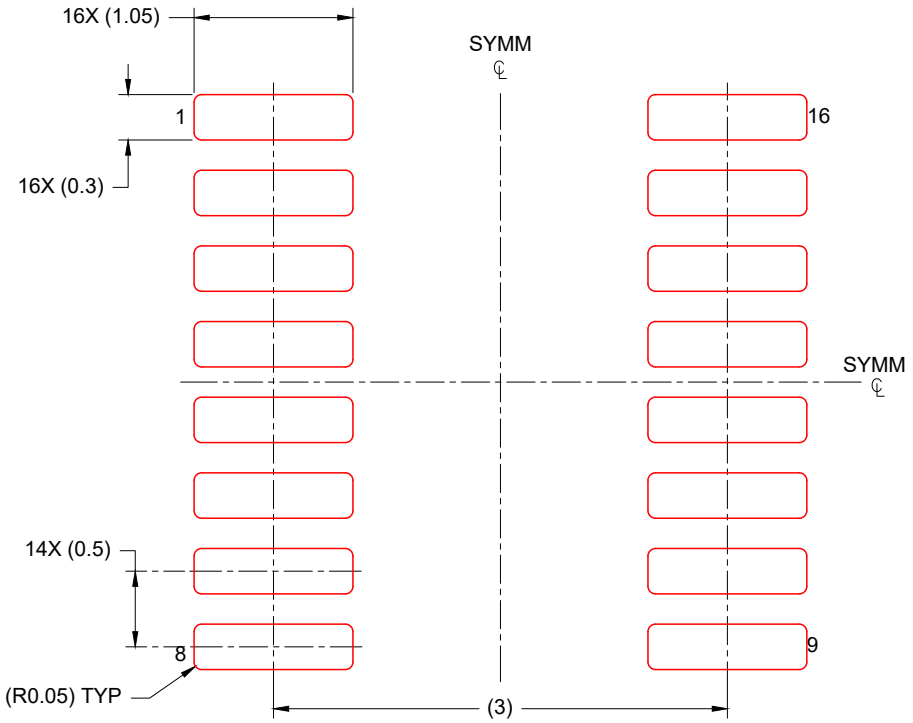
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

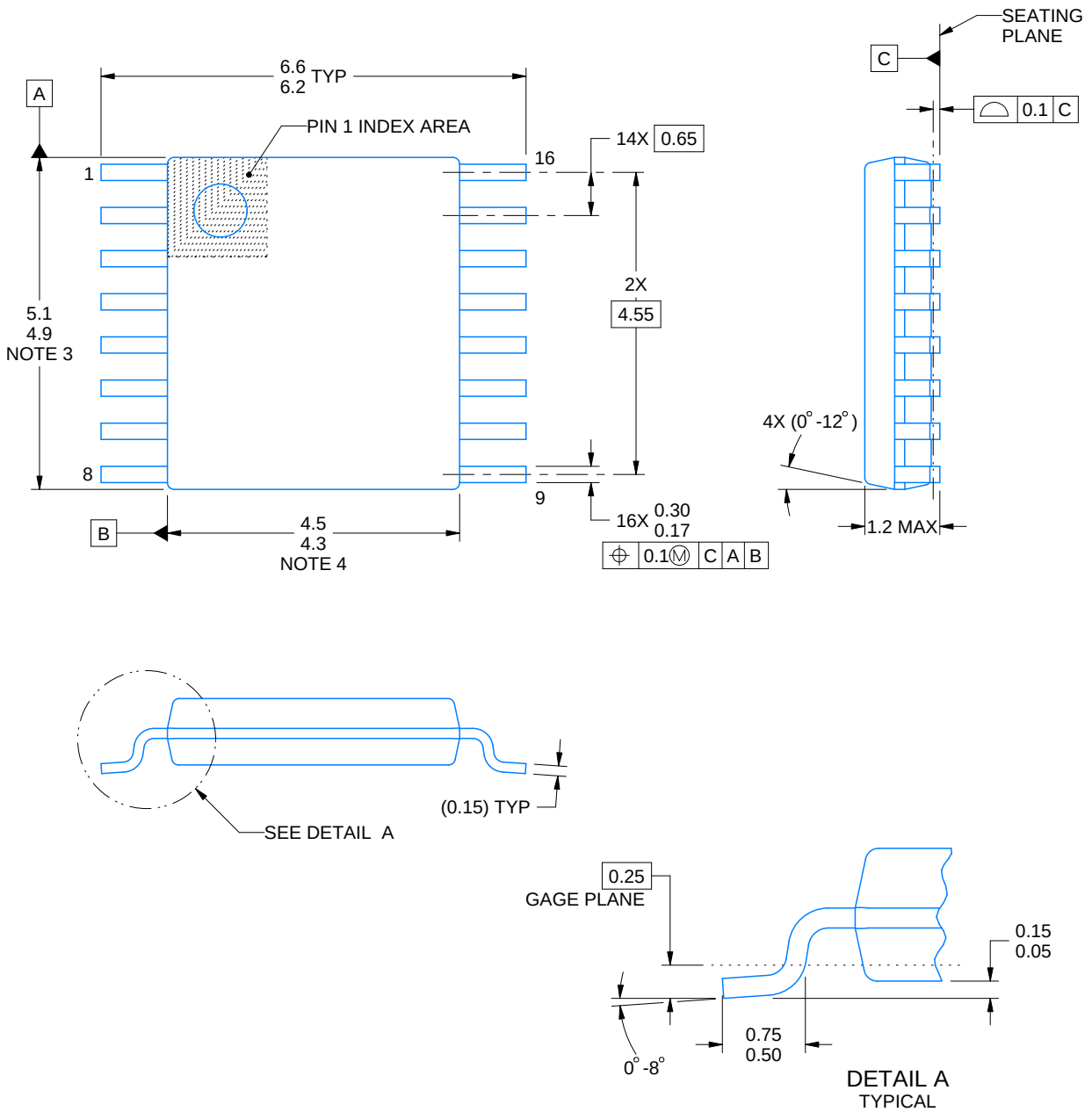
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

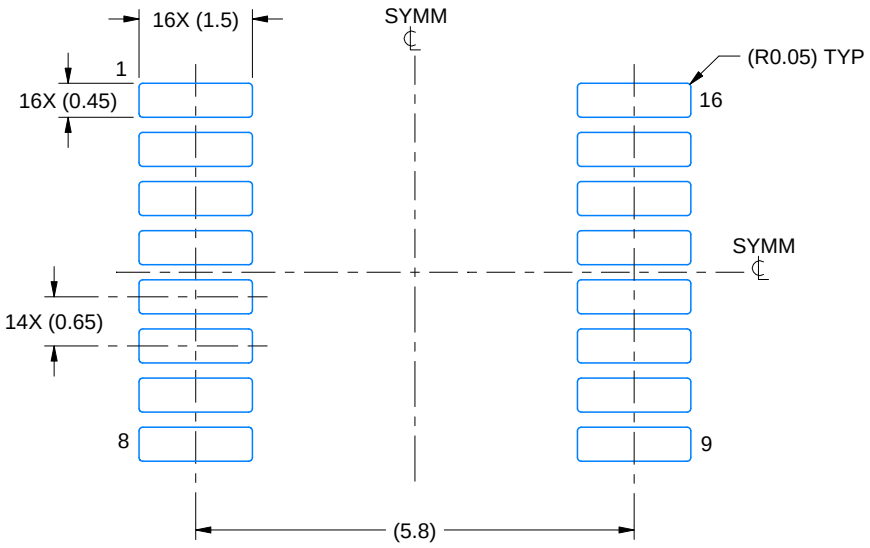
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

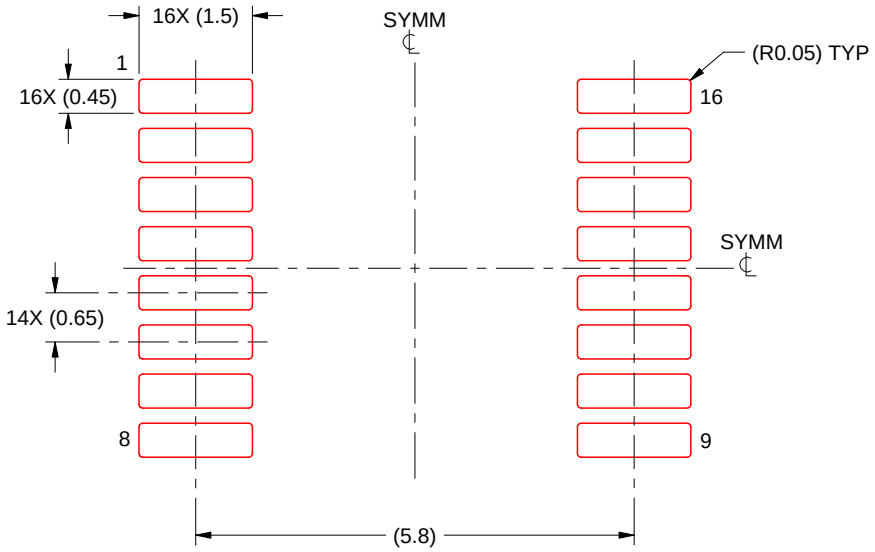


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

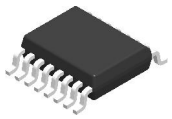


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

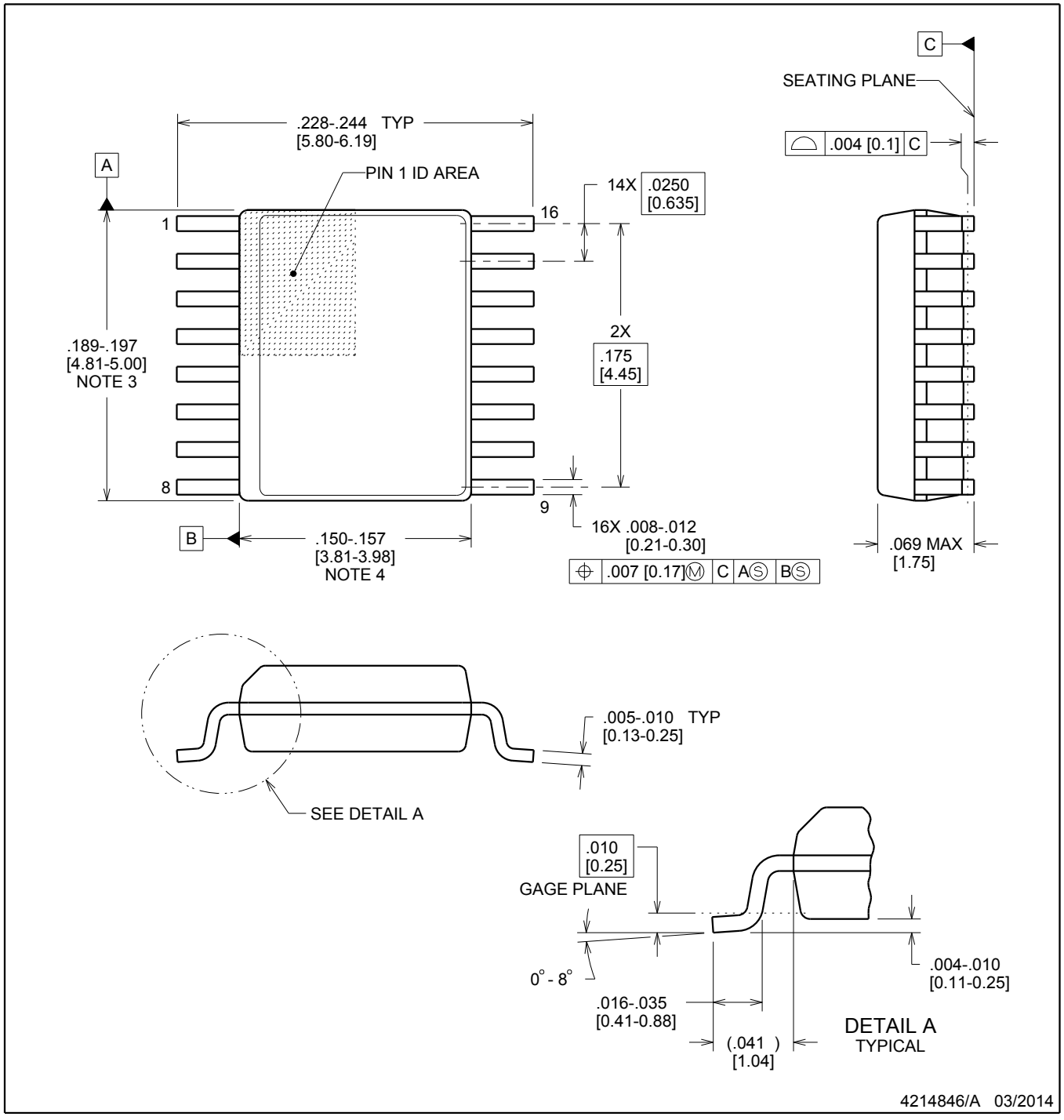


PACKAGE OUTLINE

DBQ0016A

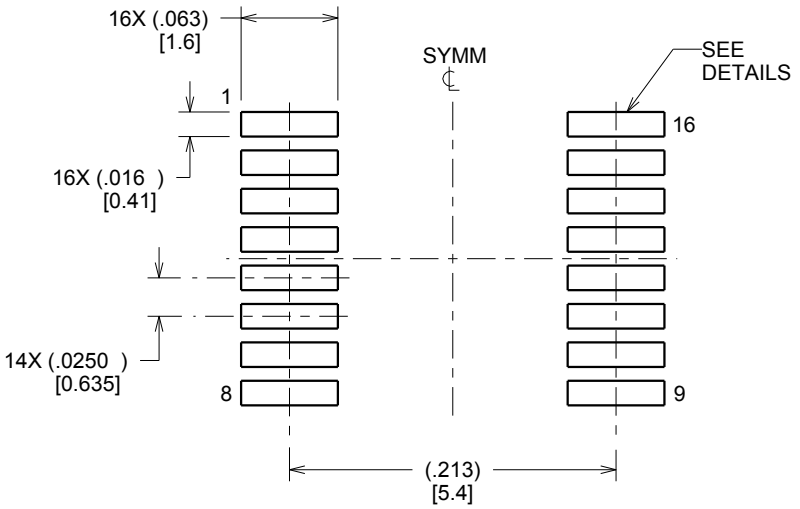
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

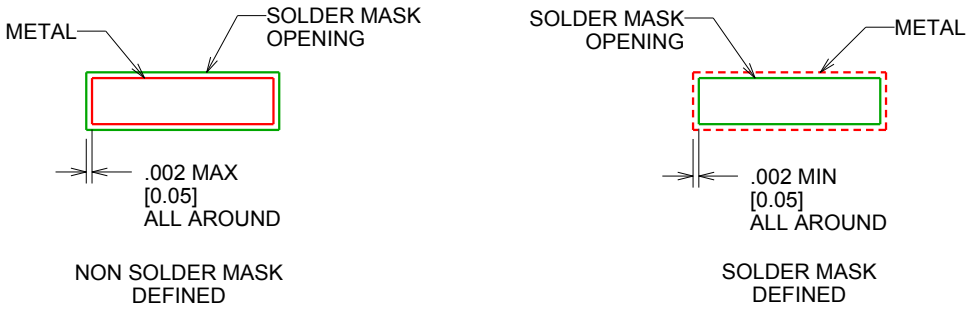


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

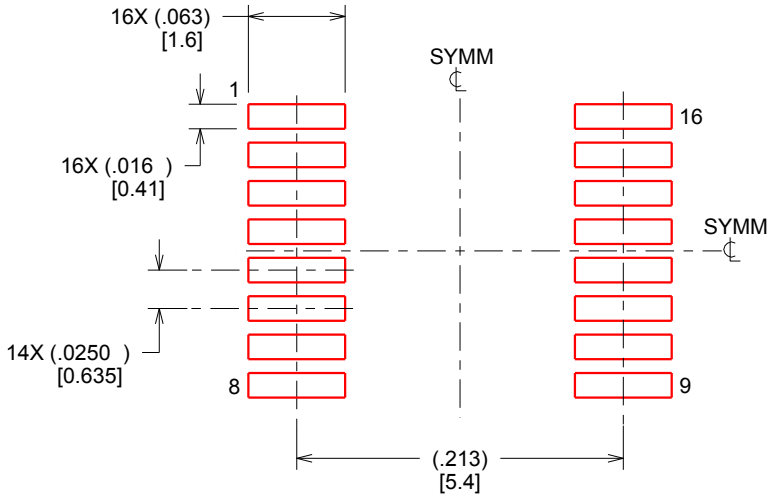
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月