TEXAS INSTRUMENTS
SN74HC02, SN54HC02
JAJSKW4G – DECEMBER 1982 – REVISED DECEMBER 2020

SNx4HC02 クワッド、2 入力、正論理 NOR ゲート

1 特長

- バッファ付き入力
- 広い動作電圧範囲:2V～6V
- 広い動作温度範囲:
  -40℃～+85℃
- 最大 10 個の LSTTL 負荷ファンアウトに対応
- LSTTL ロジック IC に比べて消費電力を大幅削減

2 アプリケーション

- アラーム / タンパ検出回路
- S-R ラッチ

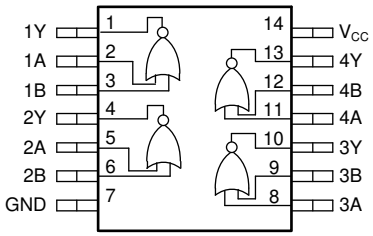
3 概要

このデバイスには、4 つの独立した 2 入力 NOR ゲートが内蔵されています。各ゲートはブール関数 $Y = \overline{A \bullet B}$ を正論理で実行します。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74HC02D	SOIC (14)	8.65 mm × 3.90 mm
SN74HC02DB	SSOP (14)	6.20 mm × 5.30 mm
SN74HC02N	PDIP (14)	19.30 mm × 6.40 mm
SN74HC02NS	SO (14)	10.20 mm × 5.30 mm
SN74HC02PW	TSSOP (14)	5.00 mm × 4.40 mm
SN54HC02J	CDIP (14)	19.94 mm × 7.62 mm
SN54HC02W	CDIP (14)	9.20 mm × 6.29 mm
SN54HC02FK	LCCC (20)	8.89 mm × 8.89 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



デバイスの機能とピン配置

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
ピンの機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 ... 4
6.4 熱に関する情報 ... 5
6.5 電気的特性 - 商用 (74xx) ... 5
6.6 電気的特性 - 軍事用 (54xx) ... 6
6.7 スイッチング特性 - 商用 (74xx) ... 6
6.8 スイッチング特性 - 軍事用 (54xx) ... 6
6.9 動作特性 ... 7
6.10 代表的特性 ... 7
7 パラメータ測定情報 ... 8
8 詳細説明 ... 9
8.1 概要 ... 9
8.2 機能ブロック図 ... 9
8.3 平衡化された CMOS プッシュプル出力 ... 9
8.4 標準 CMOS 入力 ... 9
8.5 クランプ ダイオード構造 ... 10
8.6 デバイスの機能モード ... 10
9 アプリケーションと実装 ... 11
9.1 アプリケーション情報 ... 11
9.2 代表的なアプリケーション ... 11
10 電源に関する推奨事項 ... 14
11 レイアウト ... 14
11.1 レイアウトのガイドライン ... 14
11.2 レイアウト例 ... 14
12 デバイスおよびドキュメントのサポート ... 15
12.1 ドキュメントのサポート ... 15
12.2 ドキュメントの更新通知を受け取る方法 ... 15
12.3 サポート・リソース ... 15
12.4 商標 ... 15
12.5 静電気放電に関する注意事項 ... 15
12.6 用語集 ... 15
13 メカニカル、パッケージ、および注文情報 ... 16

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (April 2015) to Revision G (December 2020) **Page**

- 新しいデータシート テンプレートに更新 ... 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 ... 1

Changes from Revision E (August 2003) to Revision F (April 2015) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 ... 1
- 注文情報を削除 ... 1

Copyright © 2024 Texas Instruments Incorporated

5 ピン構成および機能

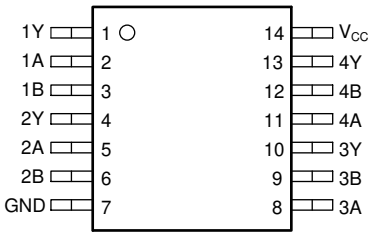


図 5-1. D、DB、N、NS、PW、J、W パッケージ
14 ピン SOIC、SSOP、PDIP、SO、TSSOP、CDIP、CFP
上面図

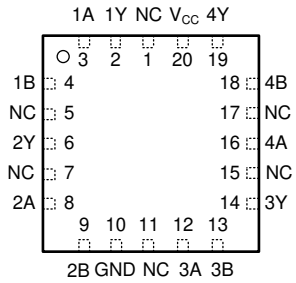


図 5-2. FK パッケージ
20 ピン LCCC
上面図

ピンの機能

ピン			I/O	説明
名称	D、DB、N、NS、PW、J、または W	FK		
1Y	1	2	出力	チャネル 1、出力 Y
1A	2	3	入力	チャネル 1、入力 A
1B	3	4	入力	チャネル 1、入力 B
2Y	4	6	出力	チャネル 2、出力 Y
2A	5	8	入力	チャネル 2、入力 A
2B	6	9	入力	チャネル 2、入力 B
GND	7	10	—	グランド
3A	8	12	入力	チャネル 3、入力 A
3B	9	13	入力	チャネル 3、入力 B
3Y	10	14	出力	チャネル 3、出力 Y
4A	11	16	入力	チャネル 4、入力 A
4B	12	18	入力	チャネル 4、入力 B
4Y	13	19	出力	チャネル 4、出力 Y
V_{CC}	14	20	—	正の電源
NC		1、5、7、11、15、17	—	内部接続なし

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
I_{IK}	入力クランプ電流(2)	$V_I < 0V$ または $V_I > V_{CC}$		±20	mA
I_{OK}	出力クランプ電流(2)	$V_O < 0V$ または $V_O > V_{CC}$		±20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_J	接合部温度 (3)			150	℃
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。
(3) 設計により保証。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±2000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		2	5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5			V
		V_{CC} = 4.5 V	3.15			
		V_{CC} = 6 V	4.2			
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V			0.5	V
		V_{CC} = 4.5 V			1.35	
		V_{CC} = 6 V			1.8	
V_I	入力電圧		0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	V
t_t	入力遷移の立ち上がり時間と立ち下がり時間	V_{CC} = 2 V			1000	ns
		V_{CC} = 4.5 V			500	
		V_{CC} = 6 V			400	
T_A	自由空気での動作温度	SN54HC00	-55		125	℃
		SN74HC00	-40		85	

Copyright © 2024 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		SN74H02					SN54H02			単位
		D (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	J (CDIP)	W (CFP)	FK (LCCC)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	94	105.4	54.9	88.8	119.6	該当なし	該当なし	該当なし	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.2	57.3	42.5	46.5	48.4	53.8	89.6	61.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	48.7	52.7	34.7	47.6	61.3	73.1	164.1	59.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	15.6	22.6	27.9	16.8	5.6	該当なし	該当なし	該当なし	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	48.4	52.2	34.6	47.2	60.7	該当なし	該当なし	該当なし	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	26.7	15.5	11.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性 - 商用 (74xx)

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件		V_{CC}	自由気流での動作温度 (T_A)						単位
					25°C			-40℃～85℃			
					最小値	代表値	最大値	最小値	代表値	最大値	
V_{OH}	High レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OH} = -20μA	2 V	1.9	1.998		1.9			V
				4.5 V	4.4	4.499		4.4			
				6 V	5.9	5.999		5.9			
			I_{OH} = -4 mA	4.5 V	3.98	4.3		3.84			
			I_{OH} = -5.2 mA	6 V	5.48	5.8		5.34			
V_{OL}	Low レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OL} = 20 μA	2 V		0.002	0.1			0.1	V
				4.5 V		0.001	0.1			0.1	
			I_{OL} = 20 μA	6 V		0.001	0.1			0.1	
			I_{OL} = 4 mA	4.5 V		0.17	0.26			0.33	
			I_{OL} = 5.2 mA	6 V		0.15	0.26			0.33	
I_I	入力リーク電流	V_I = V_{CC} または 0		6 V		±0.1	±100			±1000	nA
I_{CC}	電源電流	V_I = V_{CC} または 0	V_I = V_{CC} または 0	6 V			2			20	μA
C_i	入力容量			2V～6V		3	10			10	pF

6.6 電気的特性 - 軍事用 (54xx)

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件		V_{CC}	自由気流での動作温度 (T_A)						単位
					25°C			-55℃～125℃			
					最小値	代表値	最大値	最小値	代表値	最大値	
V_{OH}	High レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OH} = -20μA	2 V	1.9	1.998		1.9	1.998		V
				4.5 V	4.4	4.499		4.4	4.499		
				6 V	5.9	5.999		5.9	5.999		
			I_{OH} = -6 mA	4.5 V	3.98	4.3		3.7			
			I_{OH} = -7.8 mA	6 V	5.48	5.8		5.2			
V_{OL}	Low レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OL} = 20 μA	2 V		0.002	0.1		0.002	0.1	V
				4.5 V		0.001	0.1		0.001	0.1	
			I_{OL} = 20 μA	6 V		0.001	0.1		0.001	0.1	
			I_{OL} = 6 mA	4.5 V		0.17	0.26			0.4	
			I_{OL} = 7.8 mA	6 V		0.15	0.26			0.4	
I_I	入力リーク電流	V_I = V_{CC} または 0		6 V			±0.1			±1000	nA
I_{CC}	電源電流	V_I = V_{CC} または 0	V_I = V_{CC} または 0	6 V			2			40	μA
C_i	入力容量			2V～6V		3	10		3	10	pF

6.7 スイッチング特性 - 商用 (74xx)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		送信元	送信先	V_{CC}	自由気流での動作温度 (T_A)						単位
					25°C			-40℃～85℃			
					最小値	代表値	最大値	最小値	代表値	最大値	
t_{pd}	伝搬遅延	A または B	Y	2 V		45	90			115	ns
				4.5 V		9	18			23	
				6 V		8	15			20	
t_t	遷移時間		Y	2 V		38	75			95	ns
				4.5 V		8	15			19	
				6 V		6	13			16	

6.8 スイッチング特性 - 軍事用 (54xx)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		送信元	送信先	V_{CC}	自由気流での動作温度 (T_A)						単位
					25°C			-55℃～125℃			
					最小値	代表値	最大値	最小値	代表値	最大値	
t_{pd}	伝搬遅延	A または B	Y	2 V		45	90			135	ns
				4.5 V		9	18			27	
				6 V		8	15			23	
t_t	遷移時間		Y	2 V		38	75			110	ns
				4.5 V		8	15			22	
				6 V		6	13			19	

Copyright © 2024 Texas Instruments Incorporated

6.9 動作特性

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ		テスト条件	V_{CC}	最小値	代表値	最大値	単位
C_{pd}	ゲートあたりの電力散逸容量	無負荷	2V～6V		4.5		pF

6.10 代表的特性

T_A = 25℃

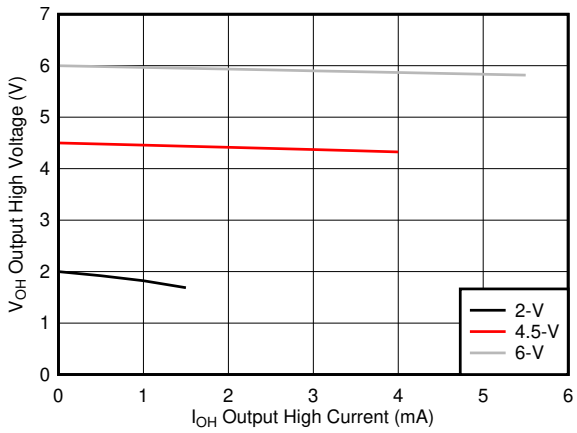


図 6-1. High 状態での標準出力電圧 (V_{OH})

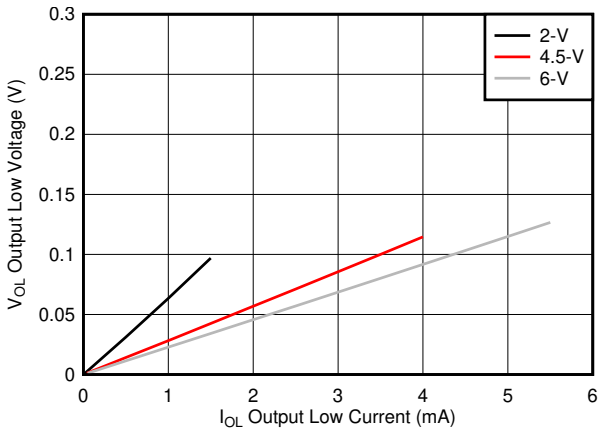


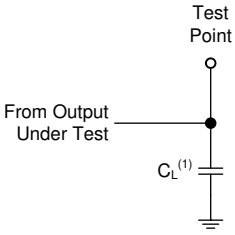
図 6-2. Low 状態での標準出力電圧 (V_{OL})

7 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 6。

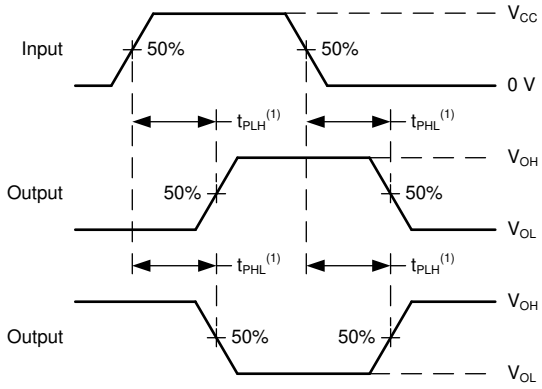
クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



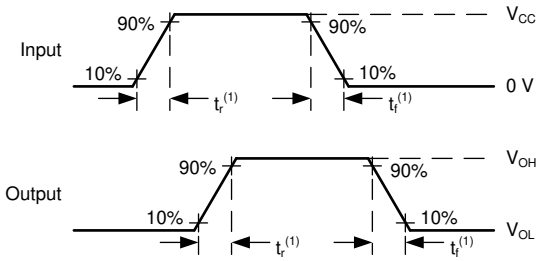
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 7-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 7-3. 電圧波形、入力および出力の遷移時間

Copyright © 2024 Texas Instruments Incorporated

8 詳細説明

8.1 概要

このデバイスには、4 つの独立した 2 入力 NOR ゲートが内蔵されています。各ゲートはブール関数 $Y = \overline{A + B}$ を正論理で実行します。

8.2 機能ブロック図

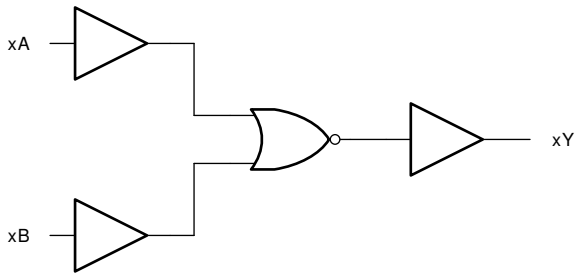


図 8-1. SN74HC02 の論理図 (正論理)

8.3 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡な」という用語 は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

8.4 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

Copyright © 2024 Texas Instruments Incorporated

8.5 クランプ ダイオード構造

このデバイスの入出力には、「各入力と出力に対するクランプ ダイオードの電気的配置」に示されているように、正と負の両方のクランプ ダイオードがあります。

注意

「絶対最大定格」の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

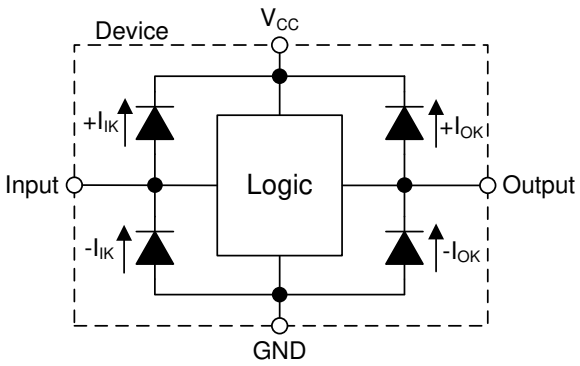


図 8-2. 各入力と出力に対するクランプ ダイオードの電気的配置

8.6 デバイスの機能モード

表 8-1. 機能表

入力		出力
A	**B**	**Y**
L	L	H
H	X	L
X	H	L

Copyright © 2024 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このアプリケーションでは、SN74HC02 を使用してアクティブ Low SR ラッチを作成します。2 つの追加ゲートは、ロジック機能のために個別に使用する 2 番目のアクティブ Low SR ラッチに使用できます。または、入力を接地して両方のチャネルを未使用のままにすることもできます。このデバイスを使用して、改ざんインジケータ LED を駆動し、1 ビットのデータをシステム コントローラに提供します。改ざんスイッチが Low を出力すると、出力 Q は High になります。システム コントローラがこのイベントに応答し、R 入力に Low 信号を送出するまで、Q 出力は High に保持されます。その後、Q 出力は Low に戻ります。

9.2 代表的なアプリケーション

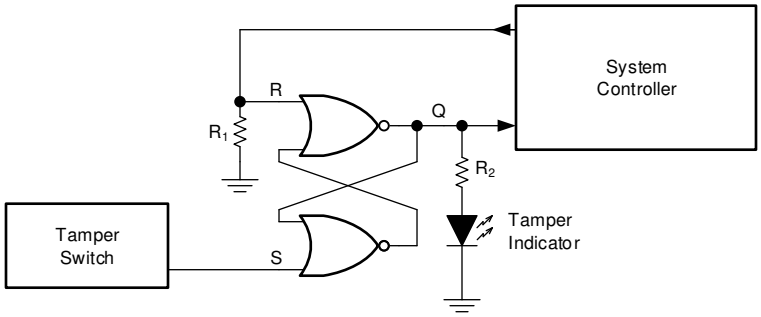


図 9-1. 代表的なアプリケーションの図

9.2.1 設計要件

9.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」に記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74HC02 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。 ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SN74HC02 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グランド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74HC02 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74HC02 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

温度上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

9.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74HC02 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74HC02 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、性能が最適化されます。これは、SN74HC02 から受信デバイスへのパターンを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これにより、*絶対最大定格*の出力電流の最大値を上回らないようにします。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートで懸念されることはほとんどありませんが、消費電力と熱の上昇はアプリケーション レポート『CMOS の消費電力と Cpd の計算』の手順を使用して計算できます。

Copyright © 2024 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

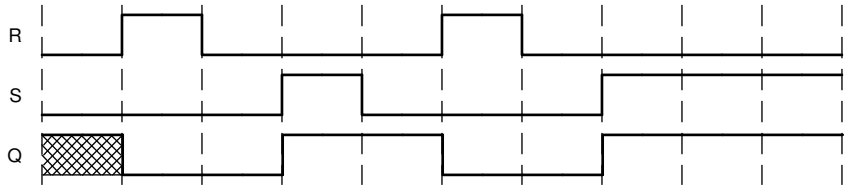


図 9-2. アプリケーションのタイミング図

10 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。レイアウト例の画像に示すように、バイパス コンデンサを電源端子のできるだけ近くに配置すると、最適な結果が得られます。

11 レイアウト

11.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはなりません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

11.2 レイアウト例

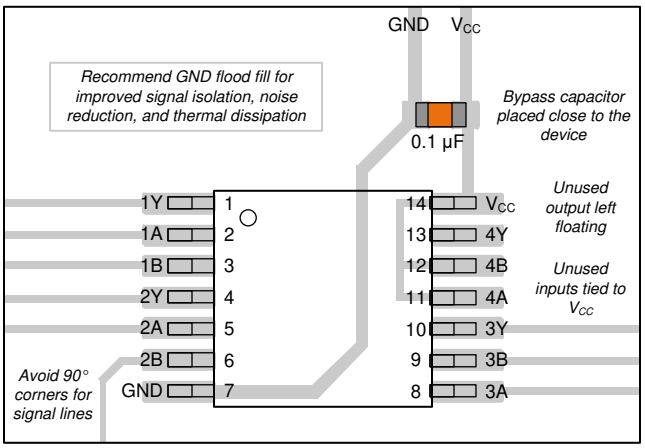


図 11-1. SN74HC02 のレイアウト例。

Copyright © 2024 Texas Instruments Incorporated

12 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

12.1 ドキュメントのサポート

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。*「更新の通知を受け取る」をクリック*して登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 用語集

TI 用語集　この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8404101VCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404101VC A SNV54HC02J
5962-8404101VCA.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404101VC A SNV54HC02J
84041012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84041012A SNJ54HC 02FK
8404101CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101CA SNJ54HC02J
8404101DA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101DA SNJ54HC02W
JM38510/65101B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101B2A
JM38510/65101B2A.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101B2A
JM38510/65101BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BCA
JM38510/65101BCA.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BCA
JM38510/65101BDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BDA
JM38510/65101BDA.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BDA
M38510/65101B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101B2A
M38510/65101BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BCA
M38510/65101BDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65101BDA
SN54HC02J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC02J
SN54HC02J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC02J

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HC02D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC02
SN74HC02DBR	Last Time Buy	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DBR.A	Last Time Buy	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02DT	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC02
SN74HC02N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC02N
SN74HC02N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC02N
SN74HC02NE4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC02N
SN74HC02NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02NSRG4	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC02
SN74HC02PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC02
SN74HC02PWT	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC02
SN74HCS02DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS02
SN74HCS02DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS02
SNJ54HC02FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84041012A SNJ54HC 02FK
SNJ54HC02FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84041012A SNJ54HC 02FK

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54HC02J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101CA SNJ54HC02J
SNJ54HC02J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101CA SNJ54HC02J
SNJ54HC02W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101DA SNJ54HC02W
SNJ54HC02W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404101DA SNJ54HC02W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC02, SN54HC02-SP, SN74HC02 :

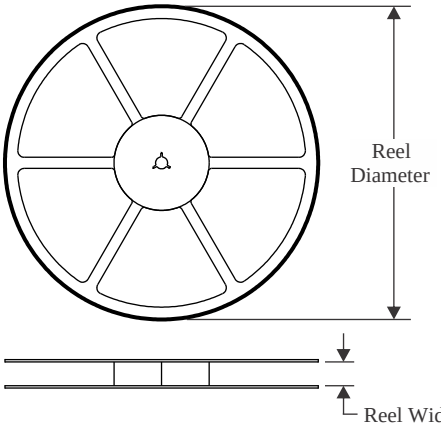
- Catalog : SN74HC02, SN54HC02
- Automotive : SN74HC02-Q1, SN74HC02-Q1
- Enhanced Product : SN74HC02-EP, SN74HC02-EP
- Military : SN54HC02
- Space : SN54HC02-SP

NOTE: Qualified Version Definitions:

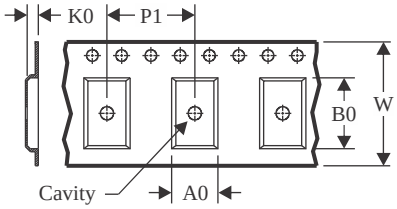
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

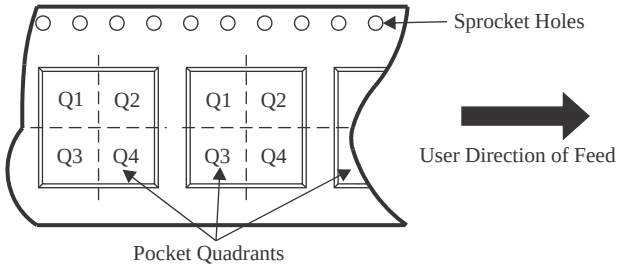


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

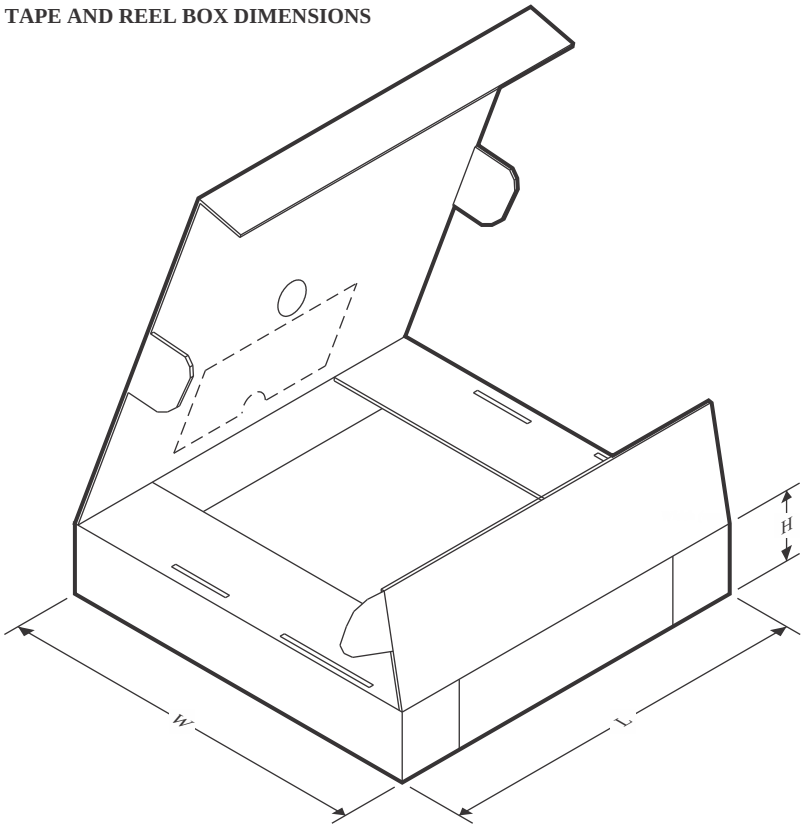
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC02DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC02DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC02NSR	SOP	NS	14	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN74HC02PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC02PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC02PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC02PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC02PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HCS02DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

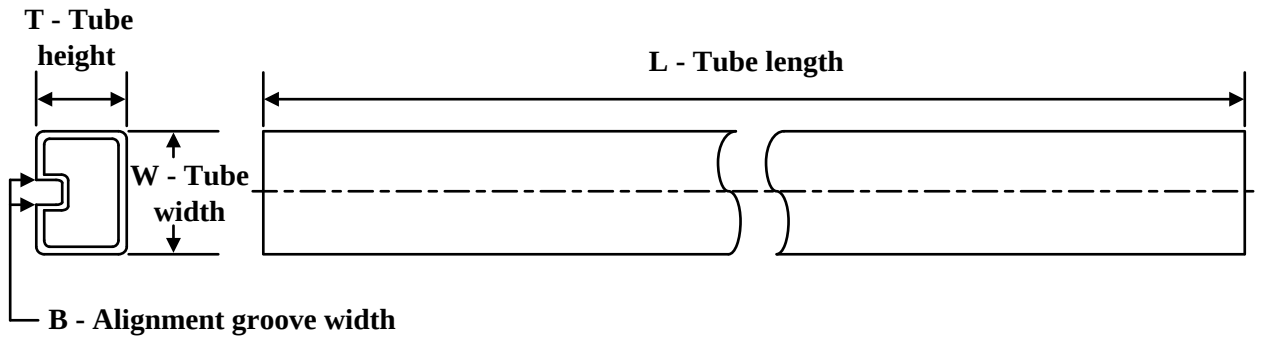
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC02DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74HC02DRG4	SOIC	D	14	2500	340.5	336.1	32.0
SN74HC02NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74HC02PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HC02PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74HC02PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HC02PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HC02PWRG4	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HCS02DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

TUBE



*All dimensions are nominal

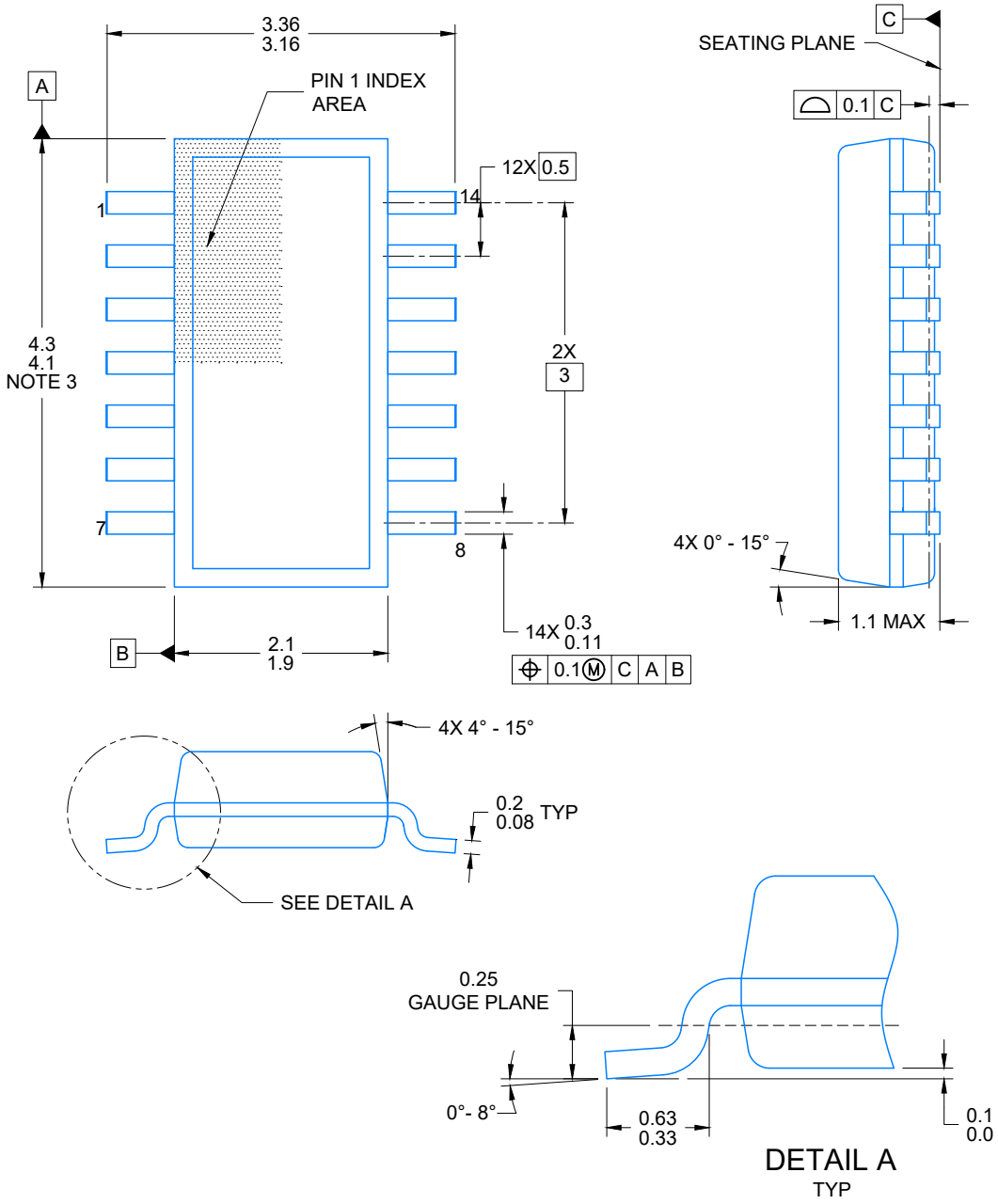
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
84041012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8404101DA	W	CFP	14	25	506.98	26.16	6220	NA
JM38510/65101B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65101B2A.A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65101BDA	W	CFP	14	25	506.98	26.16	6220	NA
JM38510/65101BDA.A	W	CFP	14	25	506.98	26.16	6220	NA
M38510/65101B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
M38510/65101BDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74HC02N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC02N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC02N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC02N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC02NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC02NE4	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54HC02FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC02FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC02W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54HC02W.A	W	CFP	14	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DYY0014A

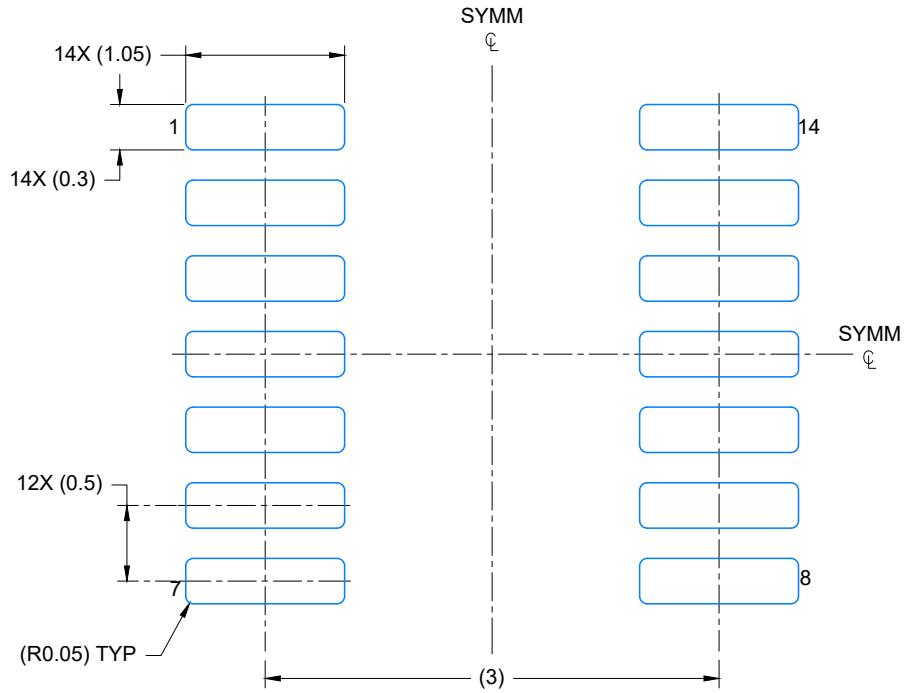
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

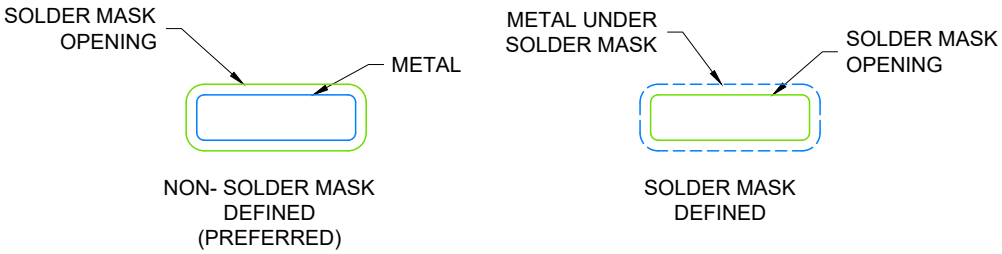


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

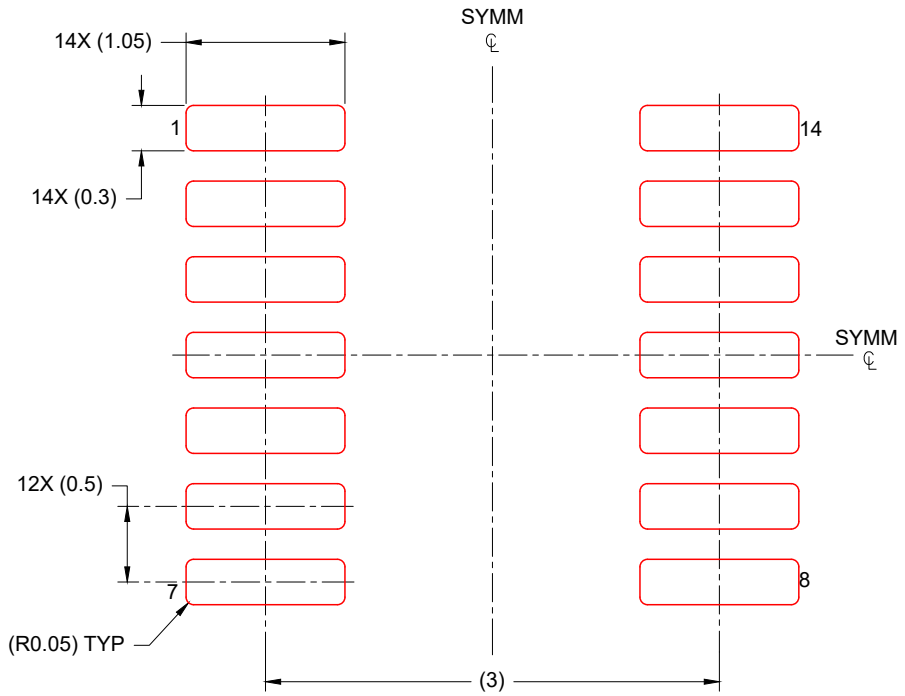


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

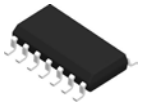


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

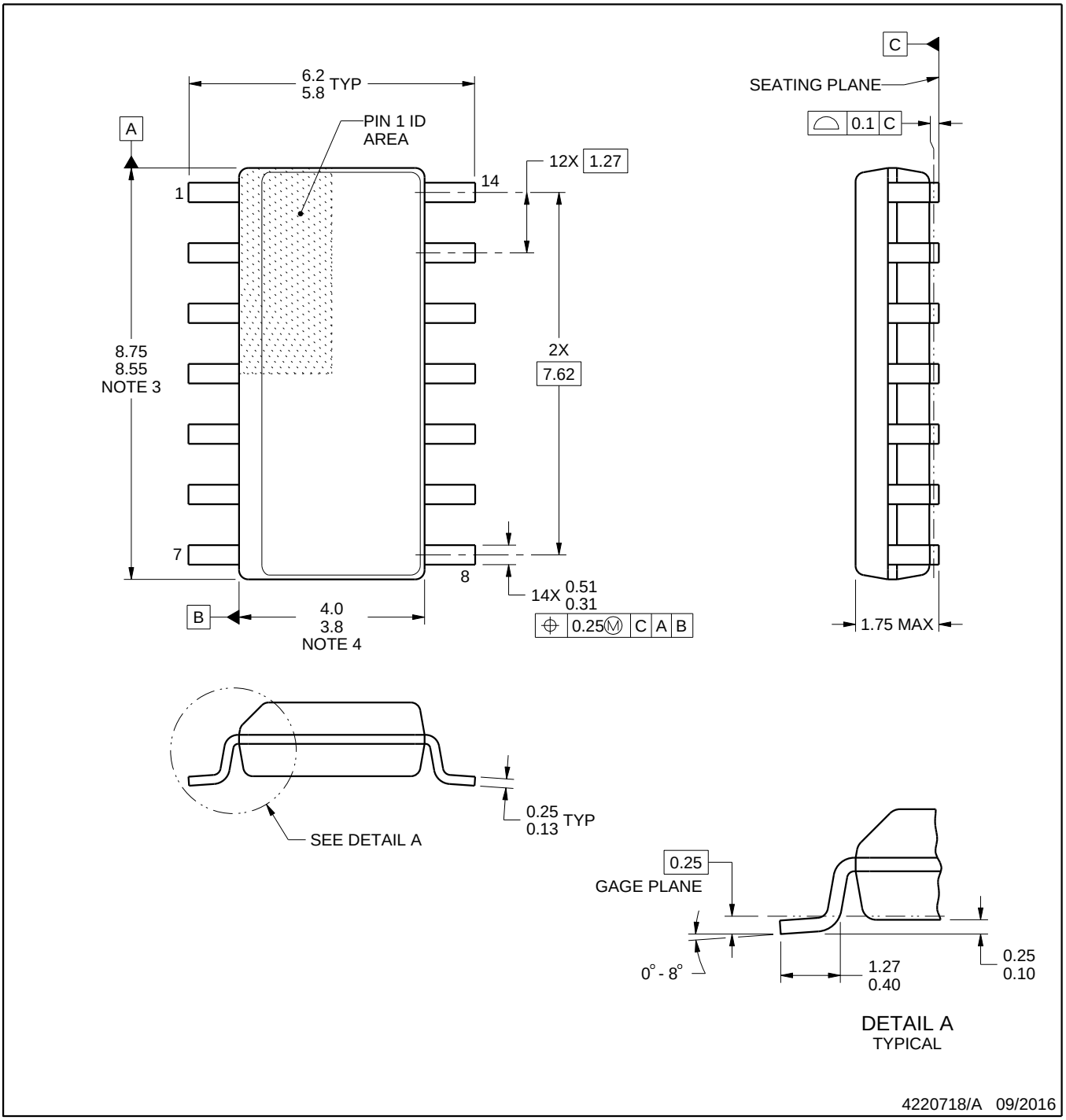


PACKAGE OUTLINE

D0014A

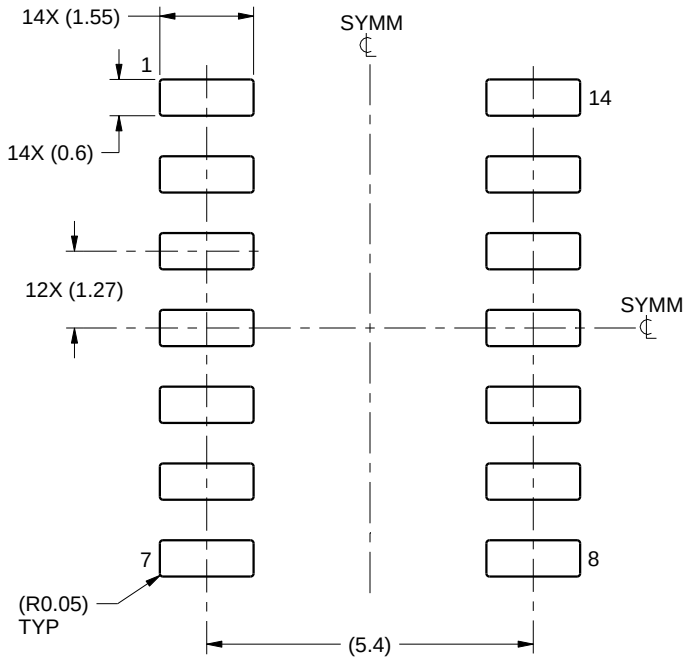
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

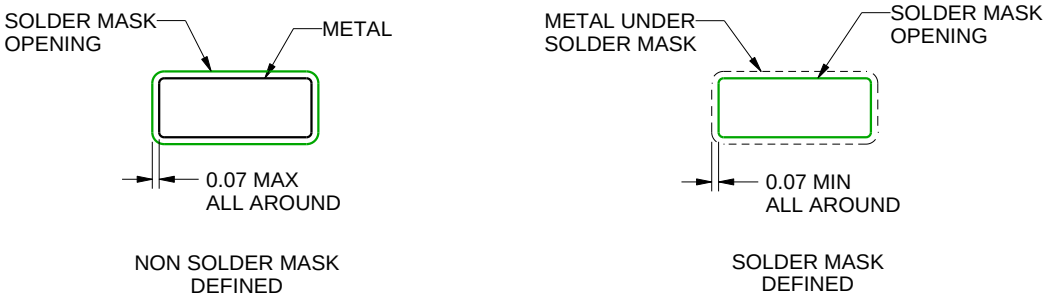


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

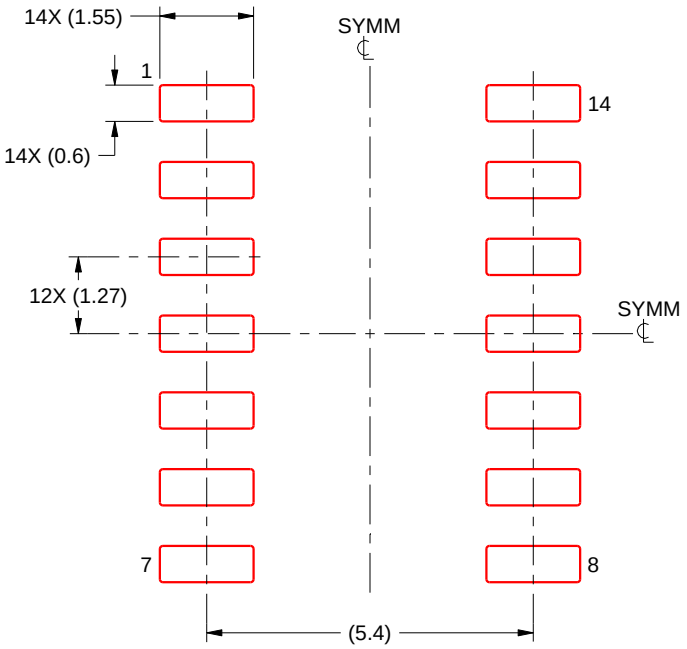
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

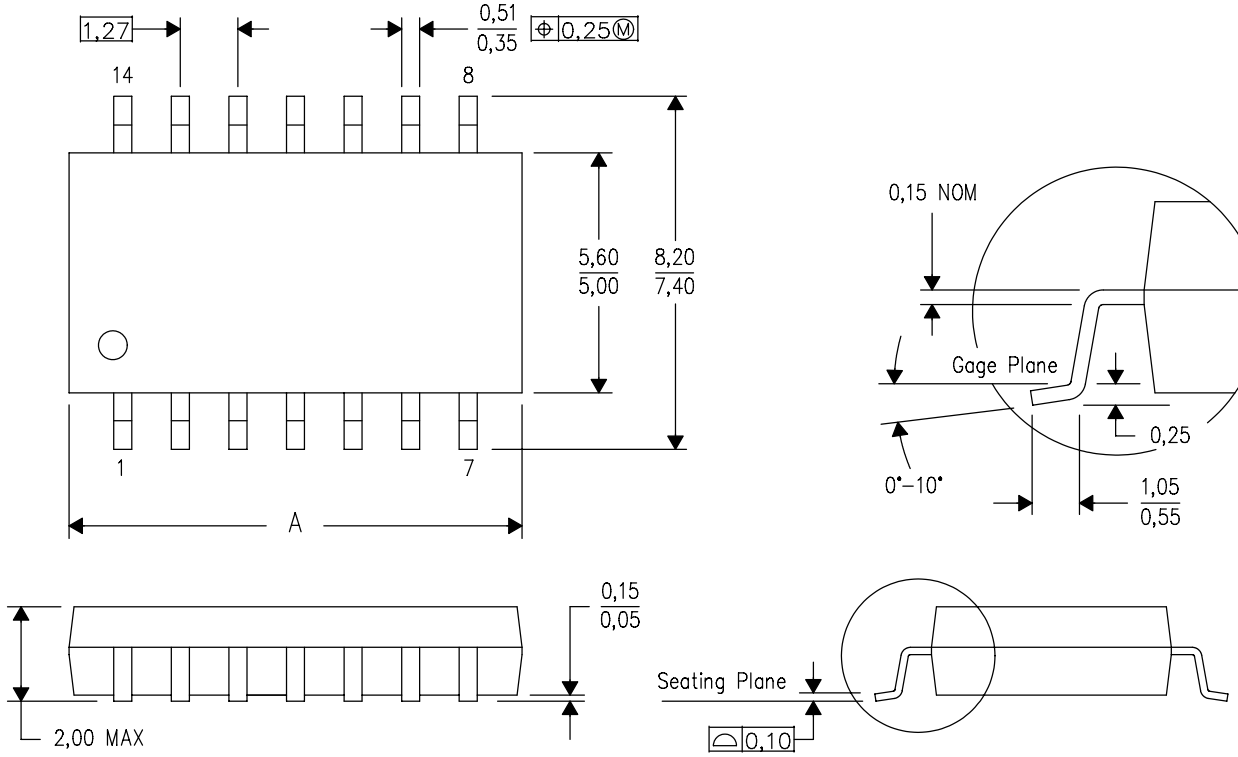
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

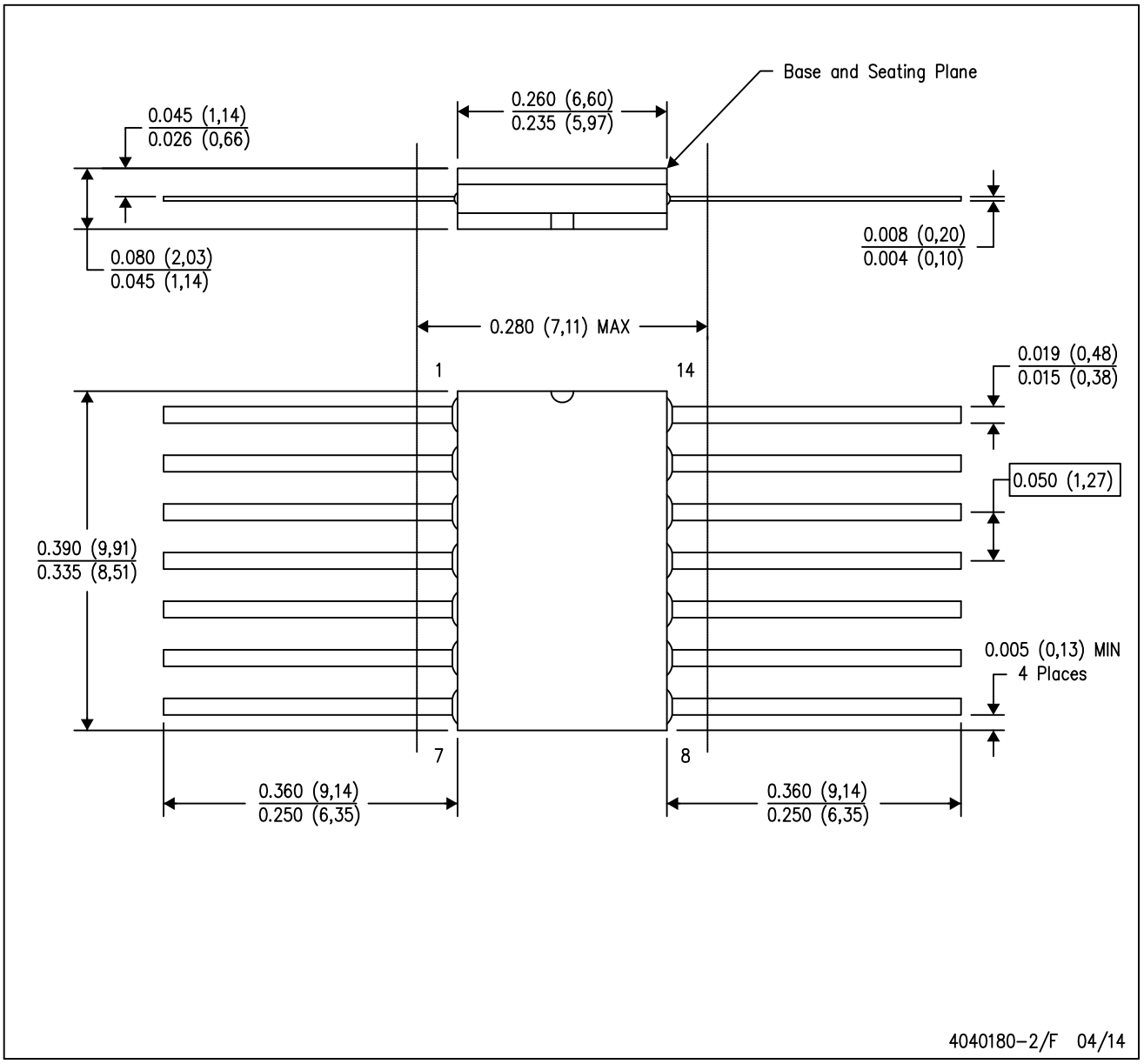


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



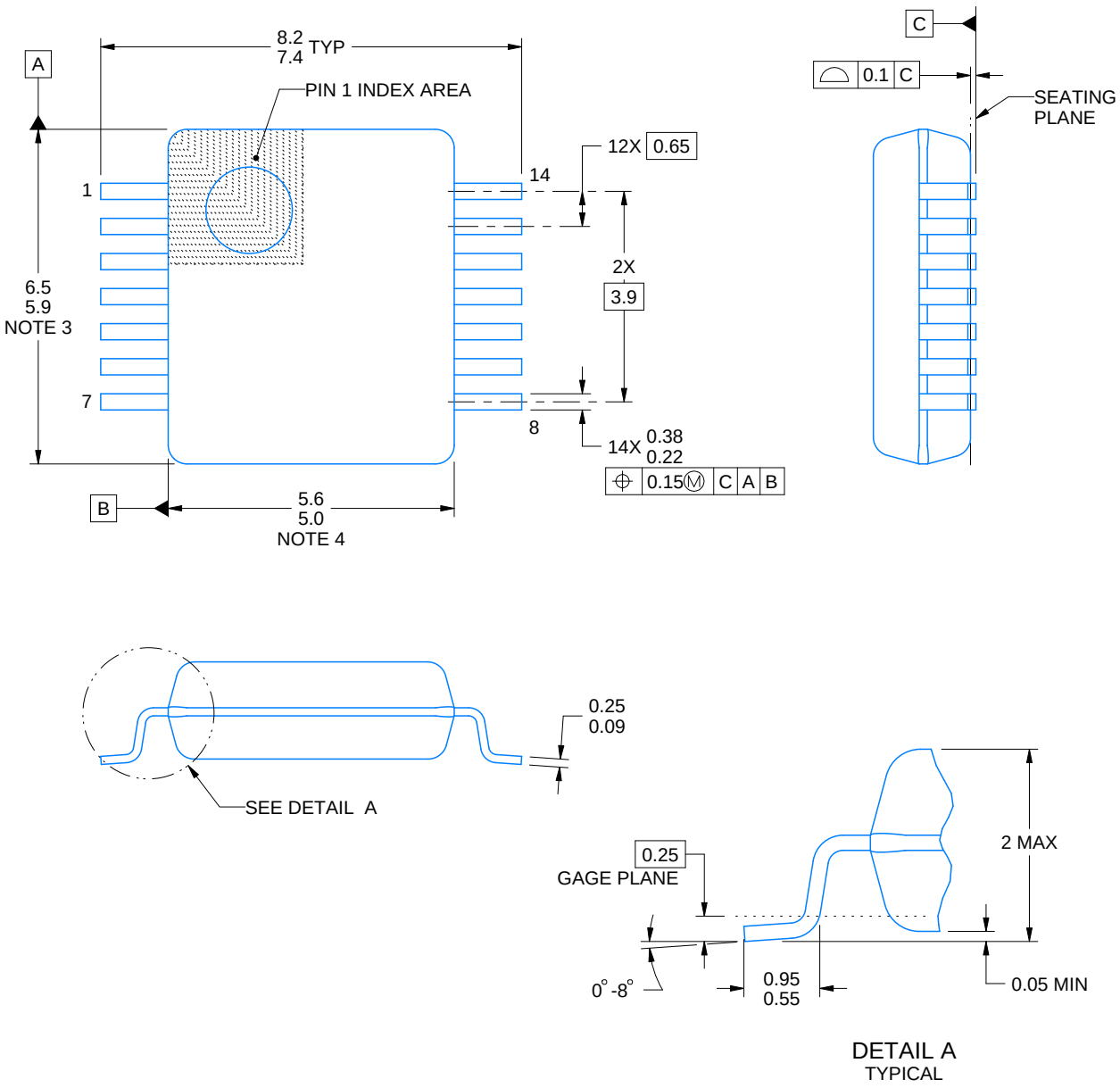
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

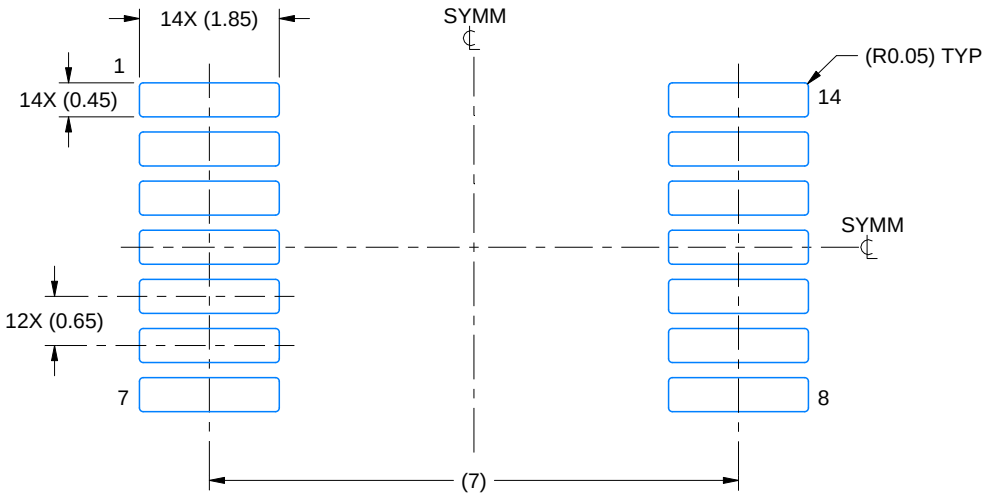
SMALL OUTLINE PACKAGE



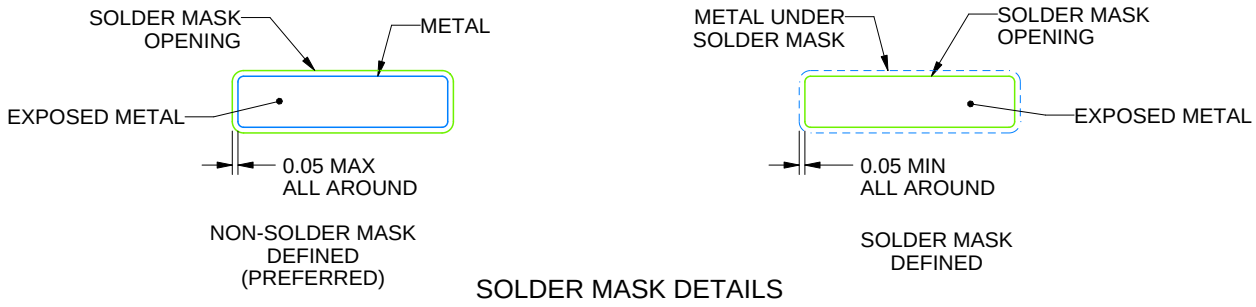
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

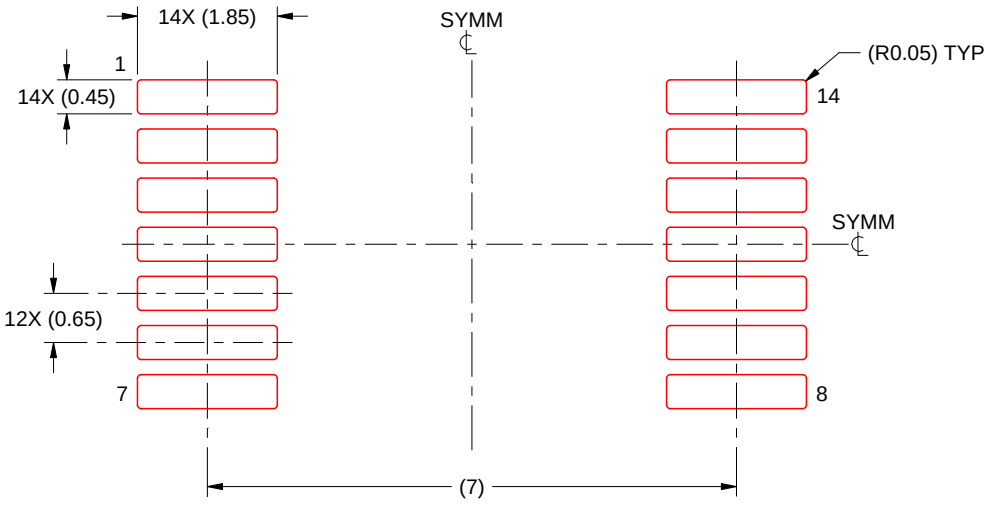


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

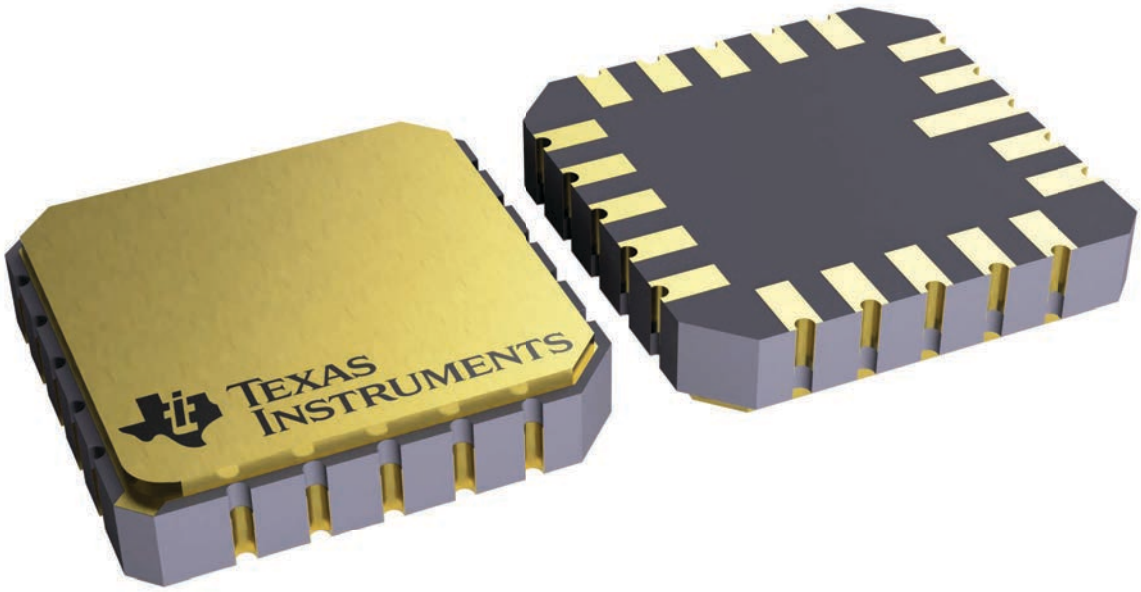
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

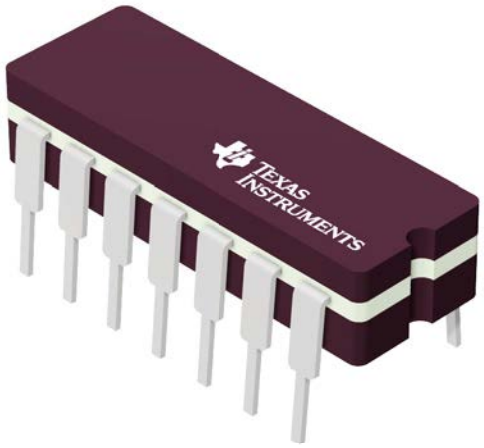


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

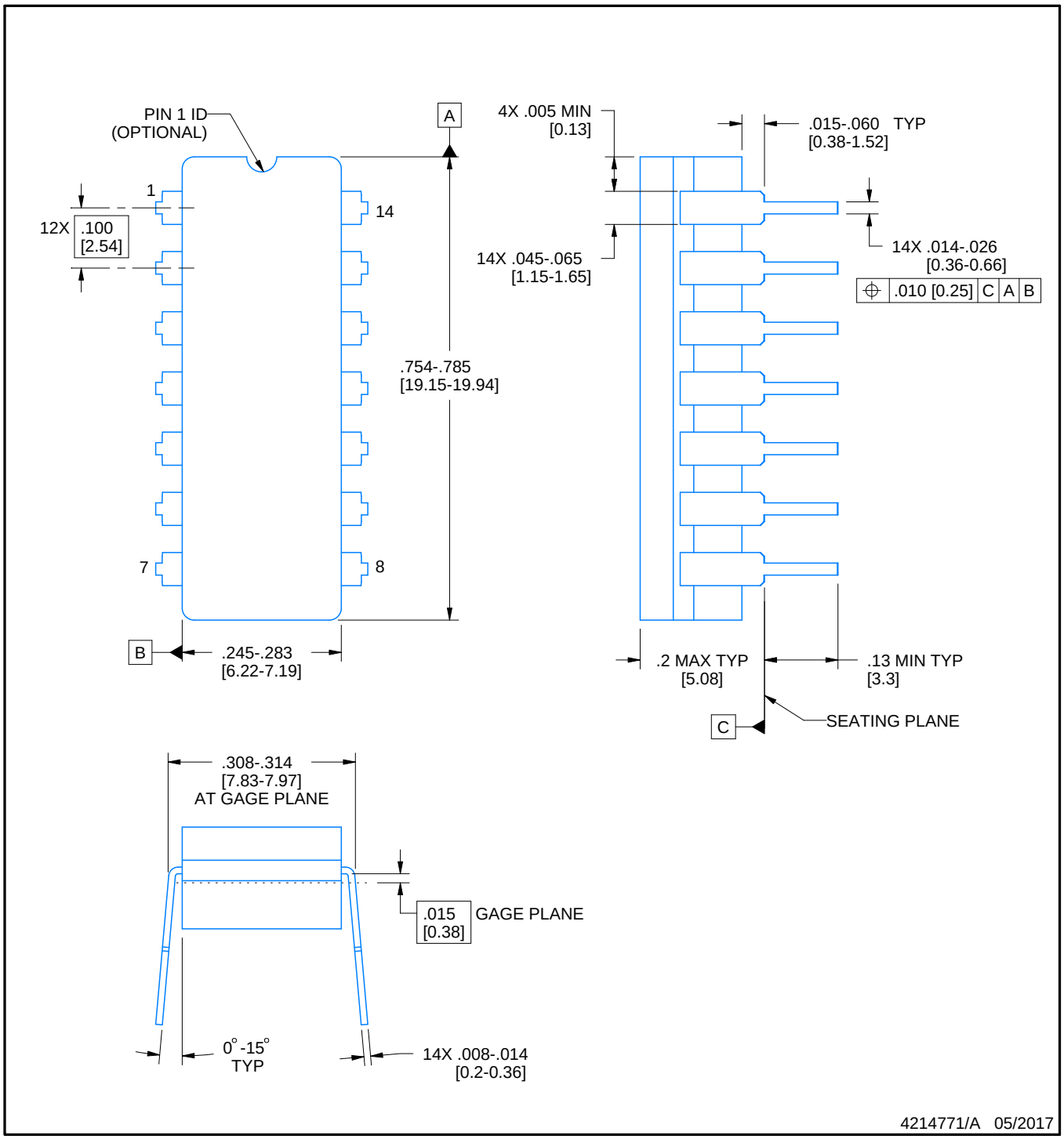


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

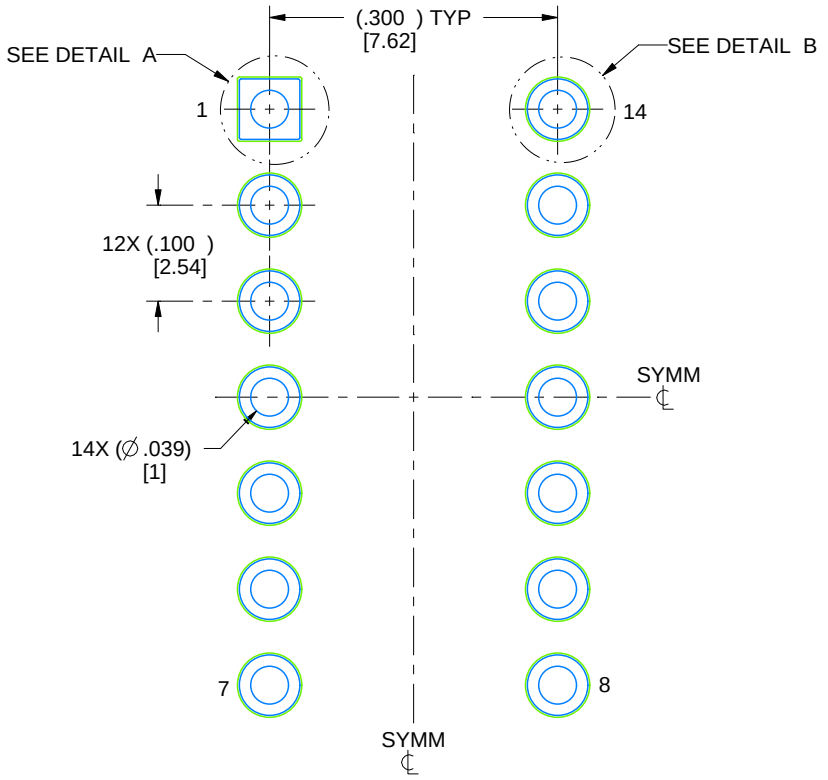
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

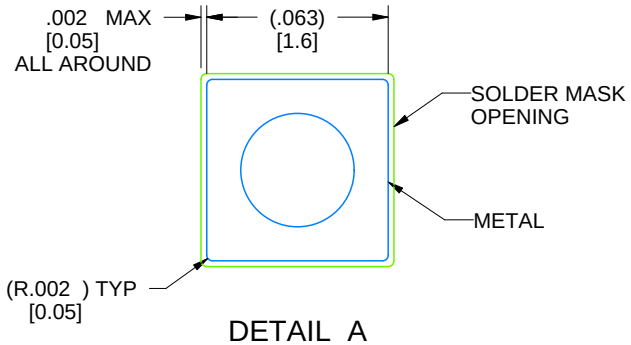
J0014A

CDIP - 5.08 mm max height

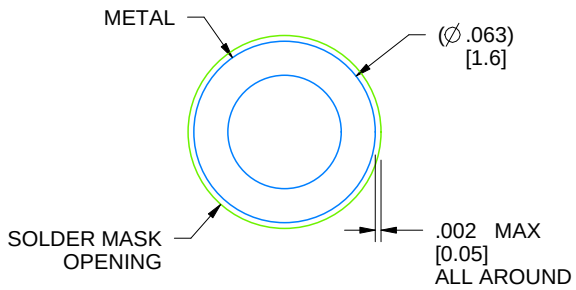
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



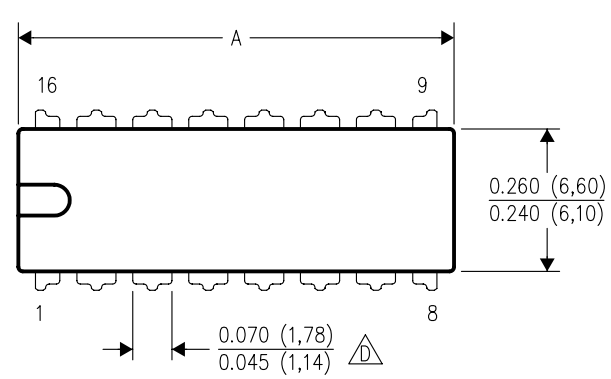
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

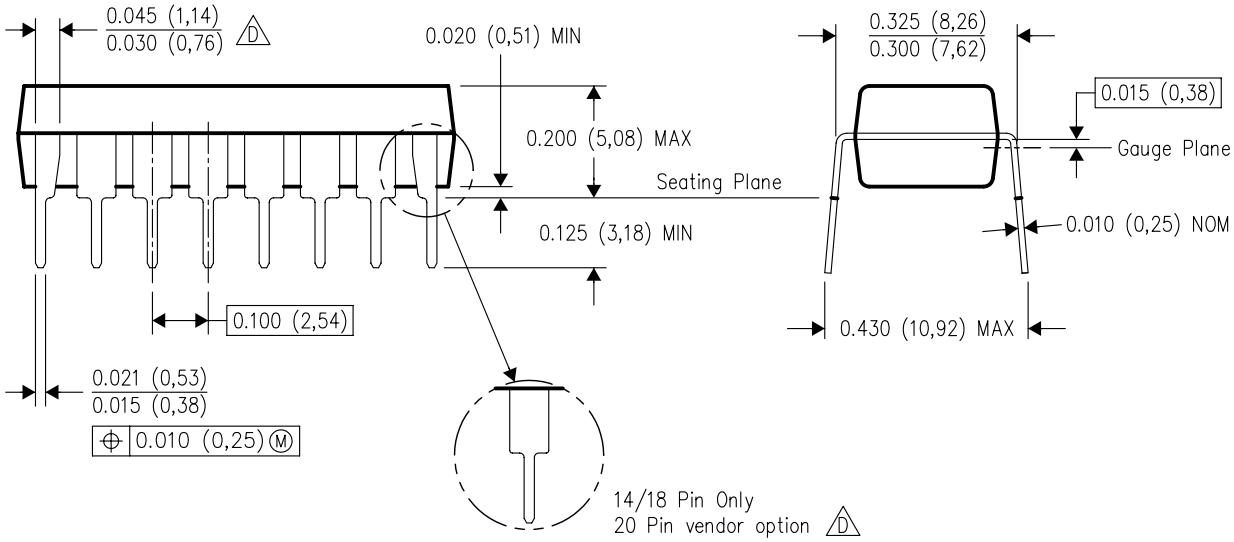
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

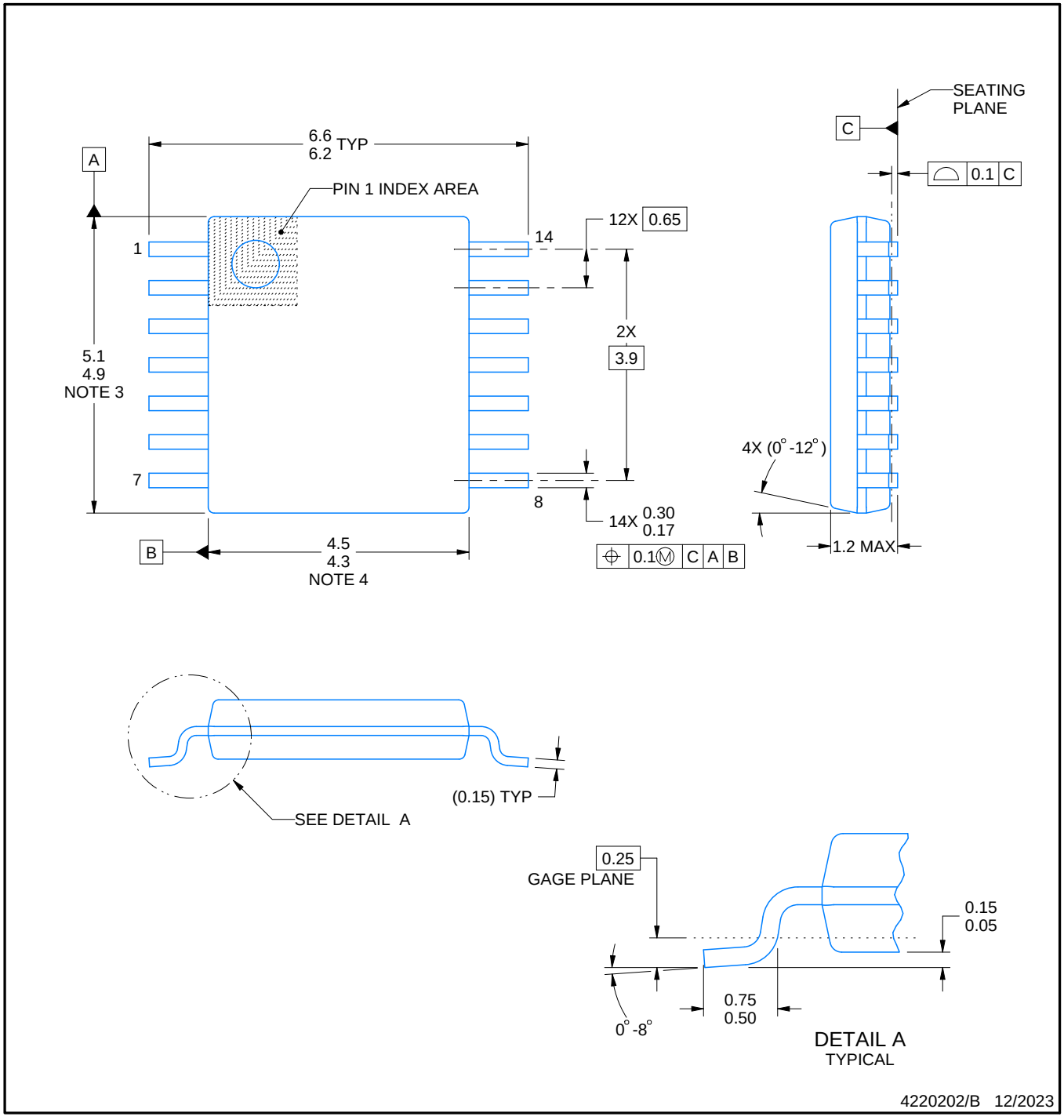
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

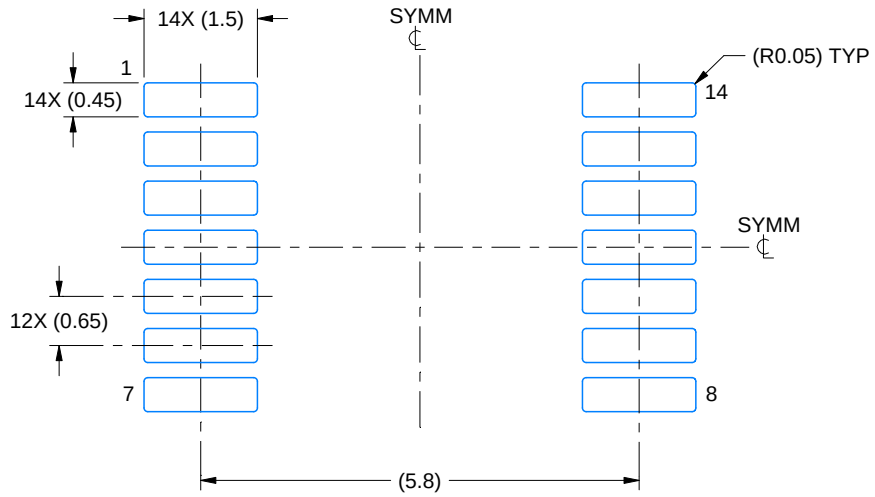
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

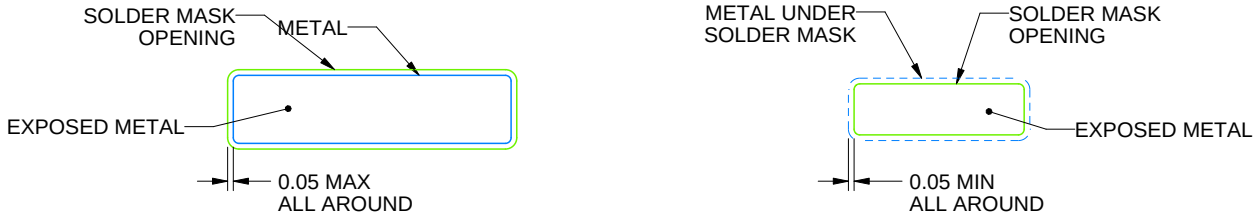


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

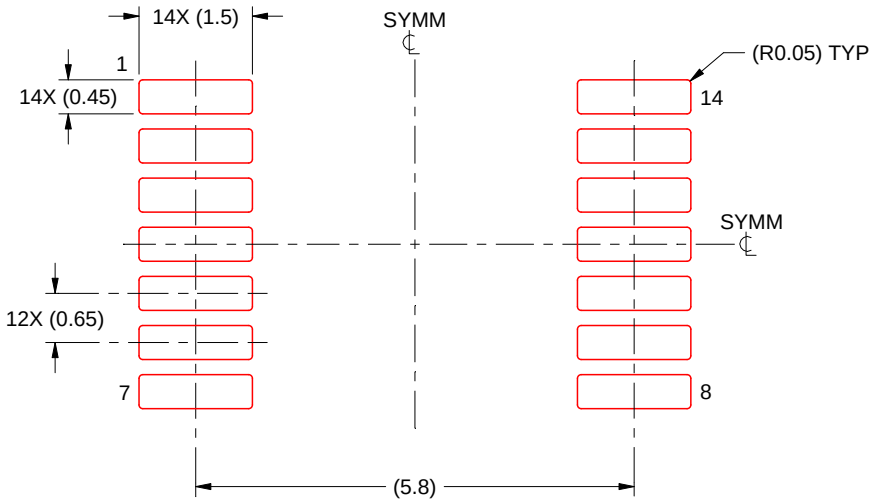


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月