SNx4HC166 8 ビット、パラレルロード シフト レジスタ

1 特長

- 広い動作電圧範囲:2V～6V
- 出力は最大 10 個の LSTTL 負荷を駆動可能
- 低消費電力、最大 I_{CC}:80µA
- t_{pd} = 13ns (標準値)
- 5V で ±4mA の出力駆動能力
- 低い入力電流:1µA 以下
- 同期ロード
- ダイレクト オーバーライドのクリア
- パラレルからシリアルへの変換

2 アプリケーション

- マイクロコントローラの入力数の増加

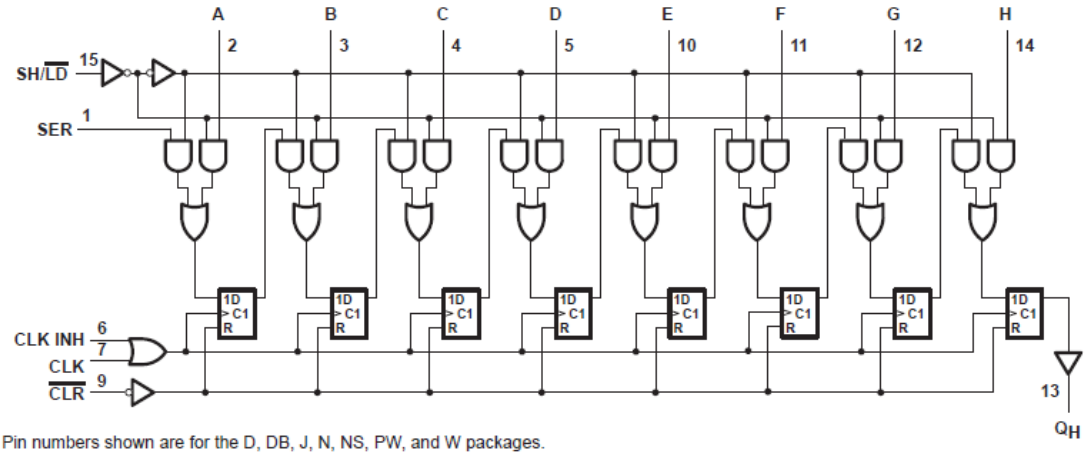
3 説明

SNx4HC166 デバイスは、1 つのシリアル入力と 8 つのパラレルロード入力を備えた 8 ビット シフト レジスタを内蔵しています。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)(2)
SN74HC166	D (SOIC、16)	9.90mm × 3.90mm
	DB (SSOP、16)	6.20mm × 5.30mm
	N (PDIP、16)	19.31mm × 6.35mm
	NS (SOP、16)	6.20mm × 5.30mm
	PW (TSSOP、16)	5.00mm × 4.40mm
SN54HC166	J (CDIP、16)	24.38mm × 6.92mm
	FK (LCCC、20)	8.89mm × 8.45mm
	W (CFP、16)	10.16mm × 6.73mm

(1) 詳細については、セクション 11 を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



Pin numbers shown are for the D, DB, J, N, NS, PW, and W packages.

機能ブロック図

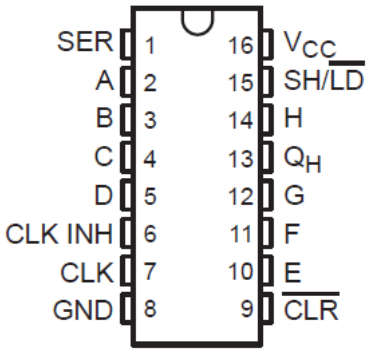
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

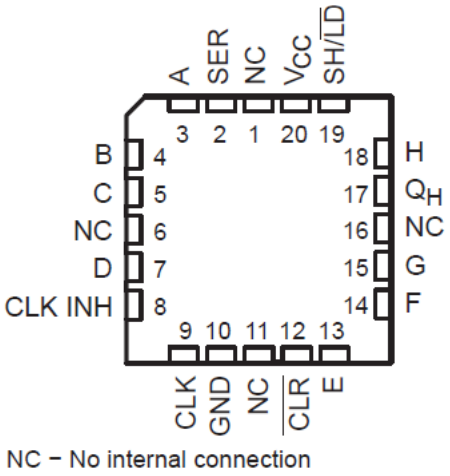
1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 推奨動作条件.....4
5.3 熱に関する情報.....4
5.4 電気的特性.....5
5.5 タイミング要件.....6
5.6 スイッチング特性.....7
5.7 動作特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....9
7.1 概要.....9
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 アプリケーション情報.....12
8.2 代表的なアプリケーション.....12
8.3 電源に関する推奨事項.....15
8.4 レイアウト.....15
9 デバイスおよびドキュメントのサポート.....17
9.1 ドキュメントのサポート.....17
9.2 ドキュメントの更新通知を受け取る方法.....17
9.3 サポート・リソース.....17
9.4 商標.....17
9.5 静電気放電に関する注意事項.....17
9.6 用語集.....17
10 改訂履歴.....17
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



J、D、DB、N、NS、PW パッケージ
16 ピン CDIP、SOIC、SSOP、PDIP、SO、TSSOP
上面図



NC – No internal connection

FK パッケージ
20 ピン LCCC
上面図

ピンの機能

ピン		タイプ	説明
名称	番号 (1)		
SER	1	入力	シリアル入力
A	2	入力	パラレル入力 A
B	3	入力	パラレル入力 B
C	4	入力	パラレル入力 C
D	5	入力	パラレル入力 D
CLK INH	6	入力	クロック禁止入力
CLK	7	入力	クロック入力、立ち上がりエッジトリガ
GND	8	—	グランド
$\overline{CLR}$	9	入力	クリア入力、アクティブ Low
E	10	入力	パラレル入力 E
F	11	入力	パラレル入力 F
G	12	入力	パラレル入力 G
Q_H	13	出力	Q_H 出力
H	14	入力	パラレル入力 H
SH/$\overline{LD}$	15	入力	シフト/$\overline{ロード}$入力は、入力が High のときにシフトを有効にし、Low のときにデータをロード
V_{CC}	16	—	正電源

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
I_{IK}	入力クランプ電流(2)	$V_I < 0$ または $V_I > V_{CC}$		±20	mA
I_{OK}	出力クランプ電流(2)	$V_O < 0$ または $V_O > V_{CC}$		±20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_J	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、このデータシートのセクション 5.2 に示された値と等しい、またはそれを超える条件で本デバイスが正常に動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)(1)

			SN54HC166			SN74HC166			単位
			最小値	公称値	最大値	最小値	公称値	最大値	
V_{CC}	電源電圧		2	5	6	2	5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5			1.5			V
		V_{CC} = 4.5 V	3.15			3.15			
		V_{CC} = 6 V	4.2			4.2			
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V			0.5			0.5	V
		V_{CC} = 4.5 V			1.35			1.35	
		V_{CC} = 6 V			1.8			1.8	
V_I	入力電圧		0		V_{CC}	0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$(2)	入力遷移の立ち上がり / 立ち下がり時間	V_{CC} = 2V			1000			1000	ns
		V_{CC} = 4.5 V			500			500	
		V_{CC} = 6 V			400			400	
T_A	自由空気での動作温度		-55		125	-55		125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。
(2) このデバイスをスレッショルド領域 (V_{IL}max = 0.5V から V_{IH}min = 1.5V) で使用すると、誘導されたグランドにより誤った状態になる可能性があり、二重クロックが発生します。t_t = 1000ns および V_{CC} = 2V の入力で動作しても、デバイスの損傷はありません。ただし、シフト、カウント、トグルの各動作モードでの CLK 入力の機能は保証されません。

5.3 熱に関する情報

熱評価基準		D (SOIC) 16 ピン	DB (SSOP) 16 ピン	N (PDIP) 16 ピン	NS (SO) 16 ピン	PW (TSSOP) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗 (1)	73	82	67	64	108	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件(1)	V_{CC} (V)	T_A = 25℃			SN54HC166		SN74HC166		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -20μA	2	1.9	1.998		1.9		1.9		V
		4.5	4.4	4.499		4.4		4.4		
		6	5.9	5.999		5.9		5.9		
	I_{OH} = -4mA	4.5	3.98	4.3		3.7		3.7		
	I_{OH} = -5.2mA	6	5.48	5.8		5.2		5.2		
V_{OL}	I_{OL} = 20μA	2		0.002	0.1		0.1		0.1	V
		4.5		0.001	0.1		0.1		0.1	
		6		0.001	0.1		0.1		0.1	
	I_{OL} = 4mA	4.5		0.17	0.26		0.4		0.4	
	I_{OL} = 5.2mA	6		0.15	0.26		0.4		0.4	
I_I	V_I = V_{CC} または 0	6		±0.1	±100		±1000		±1000	nA
I_{CC}	V_I = V_{CC} または 0、I_O = 0	6			8		160		160	μA
C_i		2～6		3	10		10		10	pF

(1) V_I = V_{IH} または V_{IL} (特に記述のない限り)。

5.5 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

			V_{CC}(V)	T_A = 25℃		SN54HC166		SN74HC166		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数		2		6		4.2		5	MHz
			4.5		31		21		25	
			6		36		25		29	
t_w	パルス幅	$\overline{CLR}$ が Low	2	100		150		125		ns
			4.5	20		30		25		
			6	17		26		21		
		CLK が High または Low	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
t_{su}	セットアップ時間	CLK ↑ の前の SH/$\overline{LD}$ が High	2	145		220		180		ns
			4.5	29		44		36		
			6	25		38		31		
		CLK ↑ の前の SER	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
		CLK ↑ の前の CLK INH が Low	2	100		150		125		
			4.5	20		30		25		
			6	17		26		21		
		CLK ↑ 前のデータ	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
		CLK ↑ の前の $\overline{CLR}$ 非アクティブ	2	40		60		50		
			4.5	8		12		10		
			6	7		10		9		
t_h	ホールド時間	CLK ↑ の後の SH/$\overline{LD}$ High	2	0		0		0		ns
			4.5	0		0		0		
			6	0		0		0		
		CLK ↑ より後の SER	2	5		5		5		
			4.5	5		5		5		
			6	5		5		5		
		CLK ↑ の後の CLK INH High	2	0		0		0		
			4.5	0		0		0		
			6	0		0		0		
		CLK ↑ 後のデータ	2	5		5		5		
			4.5	5		5		5		
			6	5		5		5		

Copyright © 2025 Texas Instruments Incorporated

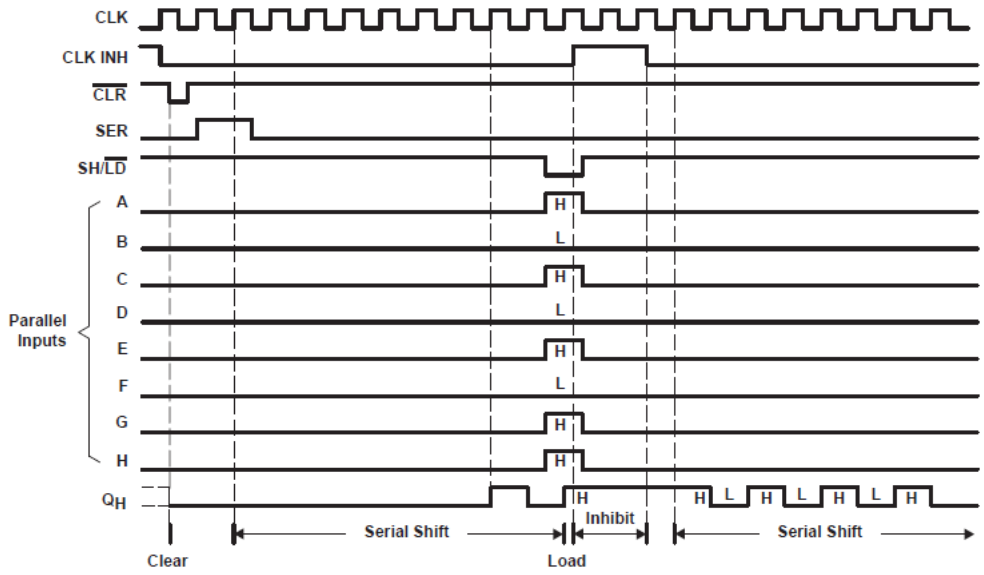


図 5-1. 代表的なクリア、シフト、ロード、インヒビット、シフトのシーケンス

5.6 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り) (図 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} (V)	T_A = 25℃			SN54HC166		SN74HC166		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
f_{max}			2	6	11		4.2		4.2		MHz
			4.5	31	36		21		21		
			6	36	45		25		25		
t_{PHL}	$\overline{CLR}$	Q_H	2		62	120		180		180	ns
			4.5		18	24		36		36	
			6		13	20		31		31	
t_{pd}	CLK	Q_H	2		75	150		225		225	ns
			4.5		15	30		45		45	
			6		13	26		38		38	
t_t		任意	2		38	75		110		110	ns
			4.5		8	15		22		22	
			6		6	13		19		19	

5.7 動作特性

T_A = 25℃

パラメータ		テスト条件	標準値	単位
C_{pd}	電力散逸容量	無負荷	50	pF

6 パラメータ測定情報

t_{pd} は、t_{PLH} と t_{PHL} との間の最大値です

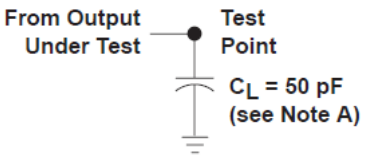


図 6-1. 負荷回路

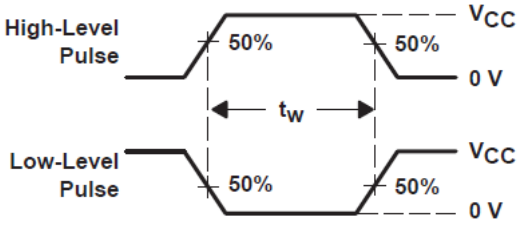


図 6-2. 電圧波形、パルス幅

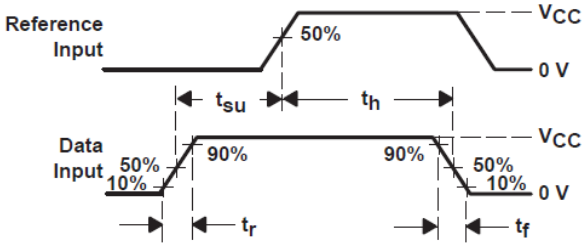


図 6-3. 電圧波形、セットアップ時間とホールド時間、入力の立ち上がり時間と立ち下がり時間

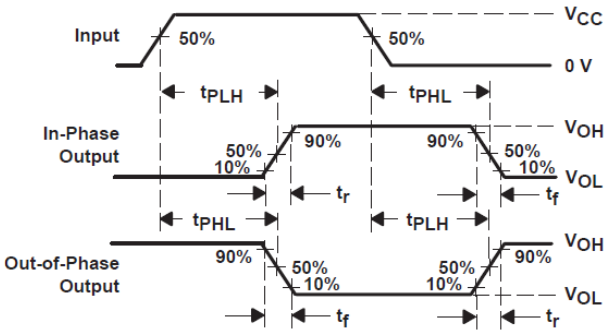


図 6-4. 電圧波形 伝搬遅延および出力遷移時間

A. C_L にはプローブと治具の容量が含まれます。

B. 波形間の位相関係は、任意に選択されました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r = 6ns、t_f = 6ns。

C. クロック入力の場合、f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

D. 出力は一度に 1 つずつ測定され、測定ごとに 1 つの入力が遷移します。

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4HC166 は非同期クリア (CLR) 付きパラレル ロード 8 ビット シフト レジスタです。このパラレル入力またはシリアル入力 / シリアル出力のシフト レジスタはゲート付きクロック (CLK、CLK INH) 入力とオーバーライディング クリア (CLR) 入力を備えています。パラレル入力またはシリアル入力モードは、モード選択 (SH/LD) 入力で設定します。SH/LD を High にすると、シリアル (SER) データ入力が有効化され、各クロック (CLK) パルスで対してシリアル シフトするように 8 つのフリップ フロップが結合されます。Low にすると、パラレル (A～H) データ入力が有効化され、次のクロック パルスで同期ロードが行われます。

パラレル ロード中、シリアル データ フローは禁止されます。クロッキングは CLK または CLK INH の立ち上がりエッジで行われるため、1 つの入力をクロック イネーブルまたはクロック禁止機能として使うことができます。CLK と CLK INH のどちらかを High に保持すると、クロッキングが禁止され、どちらかを Low に保持すると、他方のクロック入力が有効化されます。CLK が High のときに、CLK INH を High レベルに変更する必要があります。

CLR は、CLK を含むその他のすべての入力に優先し、すべてのフリップ フロップをゼロにリセットします。

7.2 機能ブロック図

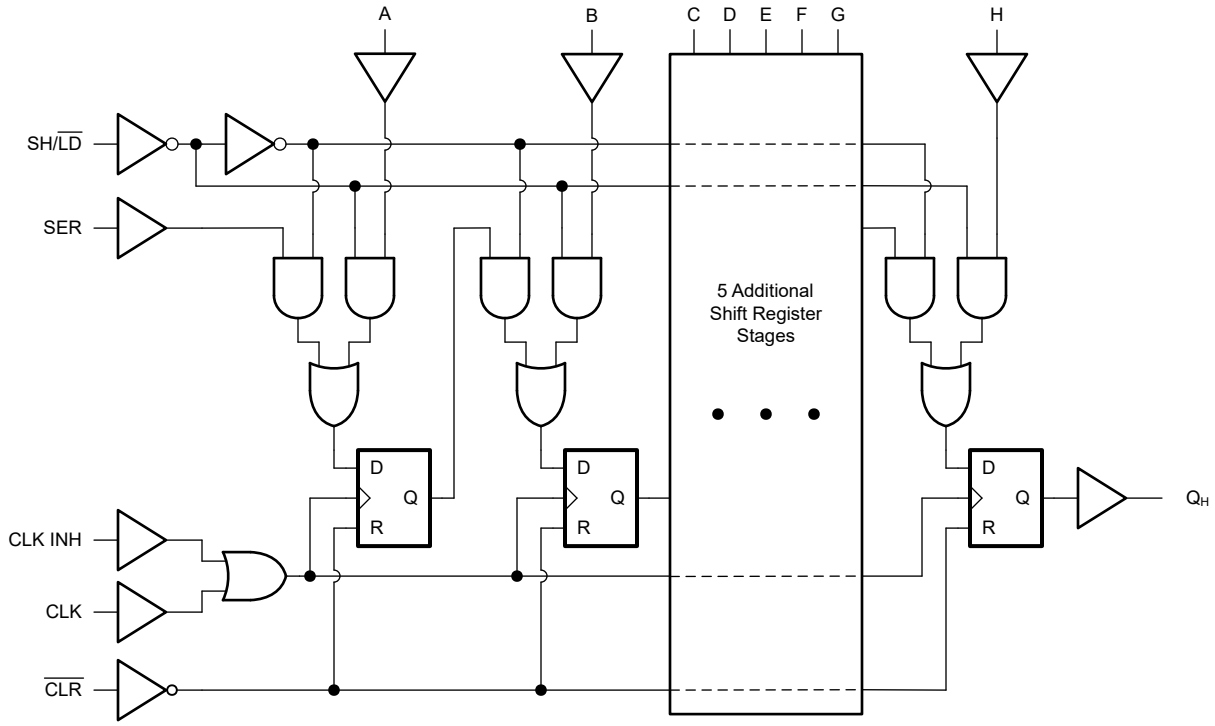


図 7-1. SNx4HC166 の論理図 (正論理)

7.3 機能説明

7.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*『低速またはフローティング CMOS 入力の影響』*アプリケーション レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

表 7-1 に、SNx4HC166 の機能モードを示します。

表 7-1. 動作モード表

入力(1)			機能
SH/$\overline{LD}$	CLK	CLK INH	
L	X	X	パラレル ロード (2)
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト (3)
H	↑	L	シフト (3)

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、↑ = Low から High への遷移
(2) パラレル ロード: 入力 A～H の値は、クロックと同期して各内部レジスタに読み込まれます。
(3) シフト: 各内部レジスタの内容は、クロックと同期してシリアル出力 Q_H にシフトされます。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ (1) (2)		出力(3)
A — G	H	Q
X	L	L
X	H	H

(1) 内部レジスタとは、デバイス内部のシフト レジスタを指します。これらの値は、パラレルまたはシリアル入力からデータを読み込むことで設定されます。
(2) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア
(3) H = High に駆動、L = Low に駆動

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、マイクロコントローラの入力数を増やすために SNx4HC166 を使っています。他の I/O エクスパンダとは異なり、SNx4HC166 では、制御用の通信インターフェイスは必要ありません。シンプルな GPIO ピンで簡単に動作できます。

電源投入時、内部シフト レジスタの初期状態は不定です。0 に定義された状態をこれらのシフト レジスタに与えるため、クリア ($\overline{CLR}$) 入力に Low 信号を印加することで本デバイスをクリアできます。または、ロード モード (SH/$\overline{LD}$ = Low) に切り替えてから、クロック (CLK) 入力に 1 回パルスを印加することで、データを直接読み込むこともできます。

8.2 代表的なアプリケーション

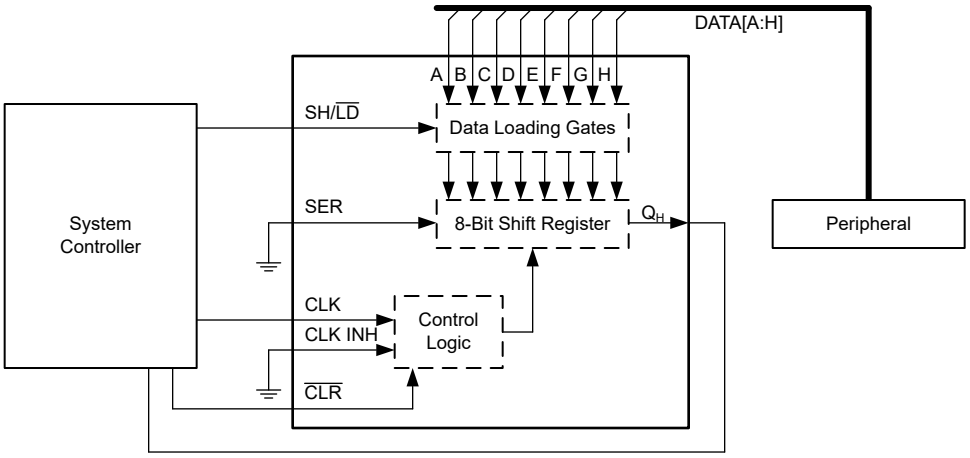


図 8-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グランドは、SNx4HC166 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SNx4HC166 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SNx4HC166 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SNx4HC166 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SNx4HC166 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4HC166 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

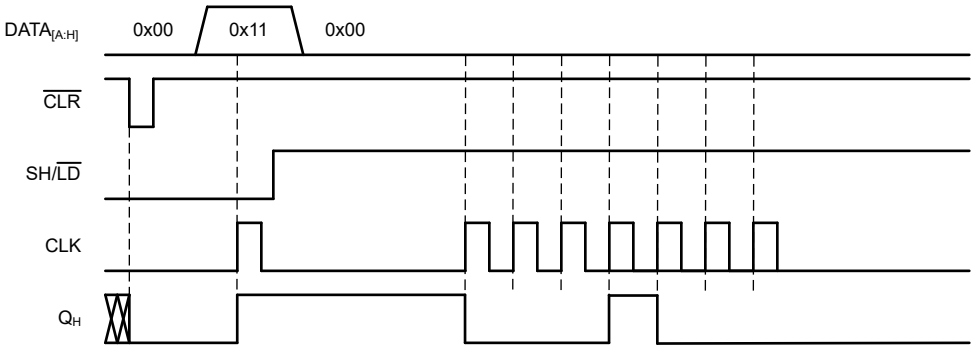


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。SNx4HC166 には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

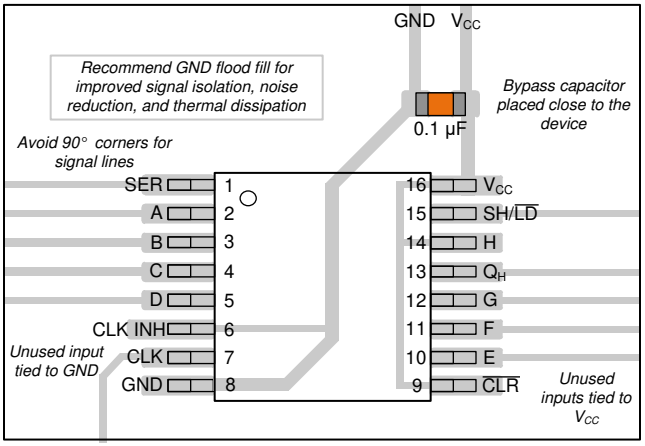


図 8-3. SNx4HC166 のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (February 2022) to Revision F (May 2025)	Page
• 「アプリケーション」を追加	1
• SN74HC166 の動作温度を 125°C に更新し、「*推奨動作条件*」表、「*電気的特性*」表、「*スイッチング特性*」表のそれぞれの値も更新	1
• 「*ピン機能*」および「*ピン構成および機能*」のセクションを追加	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision D (December 1982) to Revision E (February 2022) **Page**

- 最新のデータシート規格を反映するように、文書全体にわたって表、図、相互参照の採番方法を更新.....1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9050101Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC166FK
5962-9050101QEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J
5962-9050101VEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101VEA SNV54HC166J
5962-9050101VEA.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101VEA SNV54HC166J
SN54HC166J	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC166J
SN54HC166J.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC166J
SN74HC166D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HC166DBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRE4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRG4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166N	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC166N
SN74HC166N.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC166N
SN74HC166NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HC166PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HC166PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HCS166DYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS166
SN74HCS166DYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS166
SNJ54HC166FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC 166FK
SNJ54HC166FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC 166FK
SNJ54HC166J	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J
SNJ54HC166J.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC166, SN54HC166-SP, SN74HC166 :

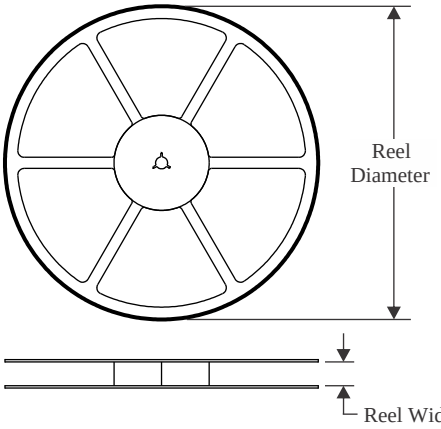
- Catalog : SN74HC166, SN54HC166
- Military : SN54HC166
- Space : SN54HC166-SP

NOTE: Qualified Version Definitions:

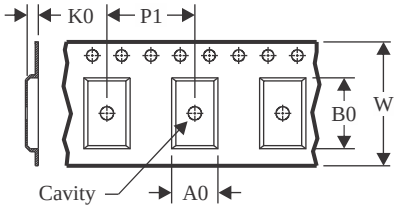
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

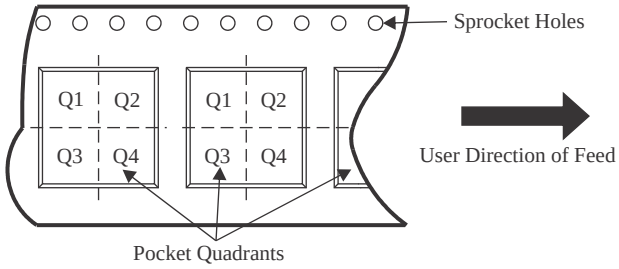


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

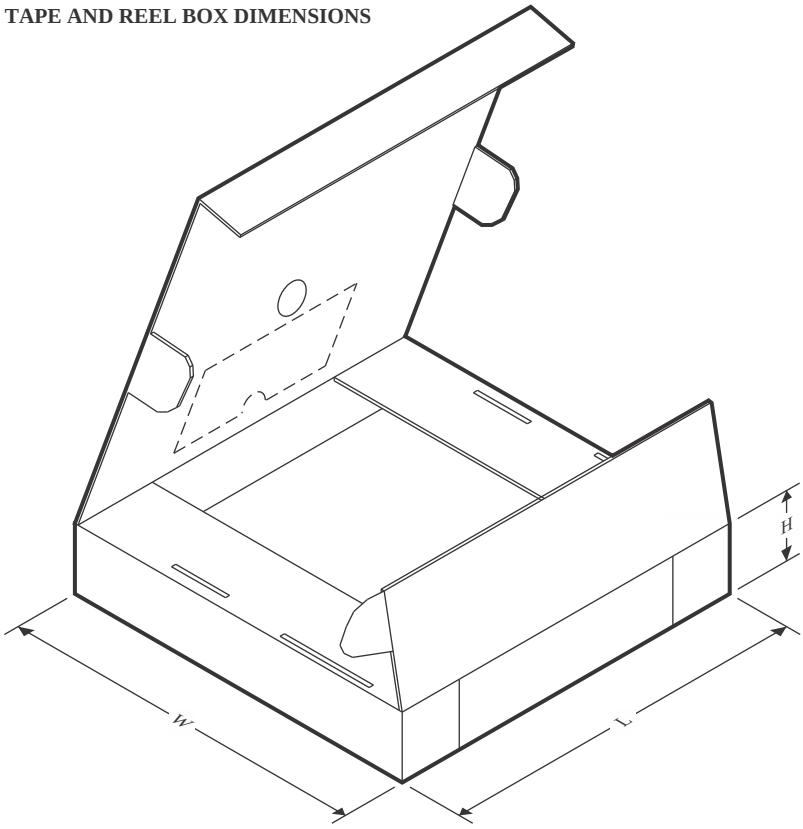
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC166DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC166DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166DRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166NSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN74HC166NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC166PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC166PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCS166DYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

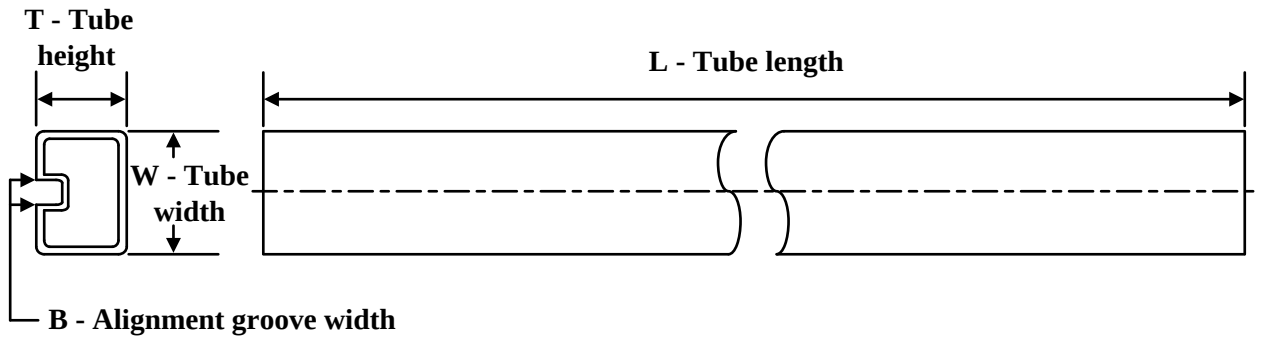
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

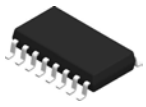
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC166DBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74HC166DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166DRG4	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74HC166NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74HC166PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74HC166PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74HC166PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74HC166PWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74HC166PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74HCS166DYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9050101Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74HC166N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N.A	N	PDIP	16	25	506	13.97	11230	4.32
SNJ54HC166FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC166FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA

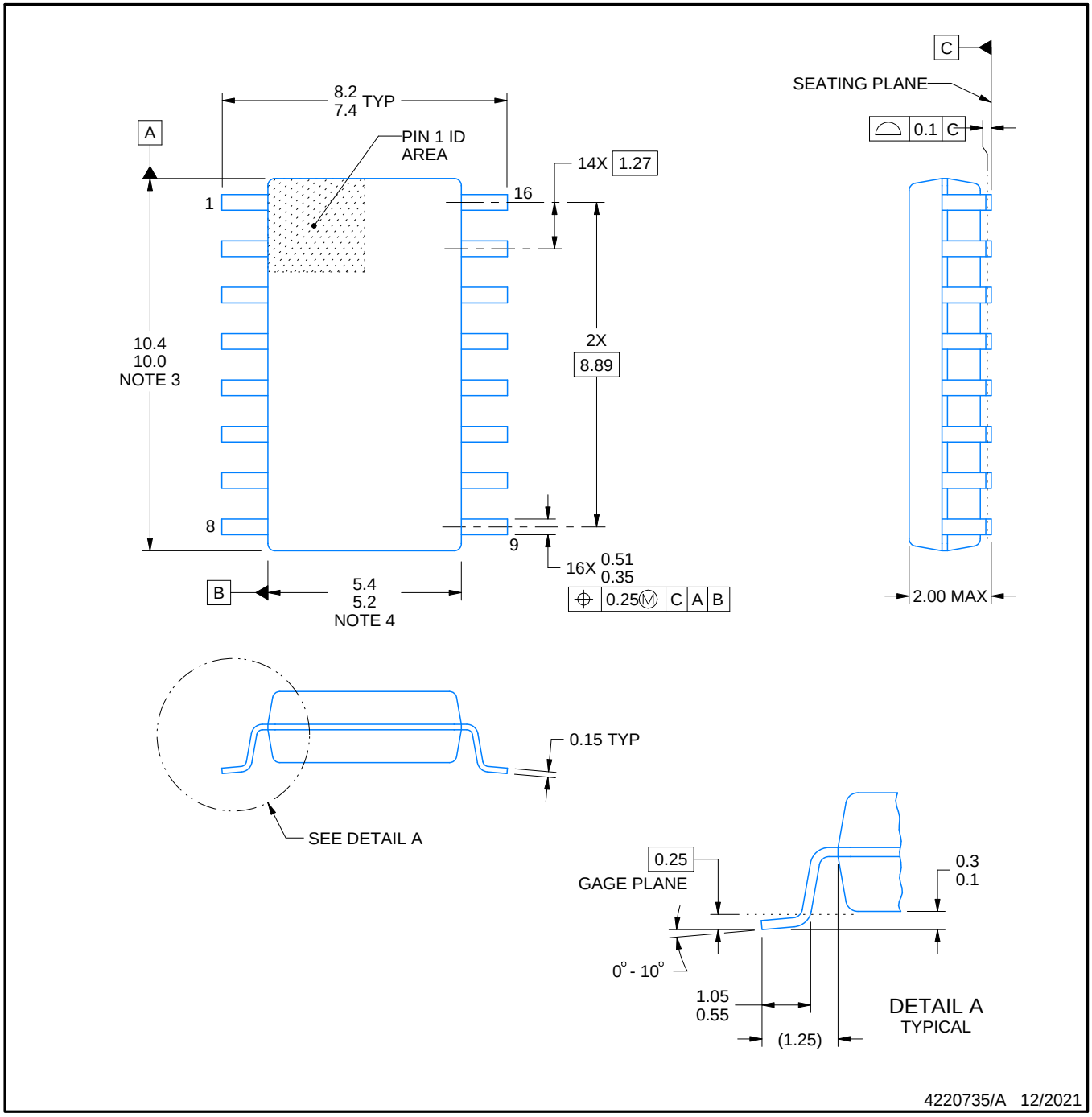


PACKAGE OUTLINE

NS0016A

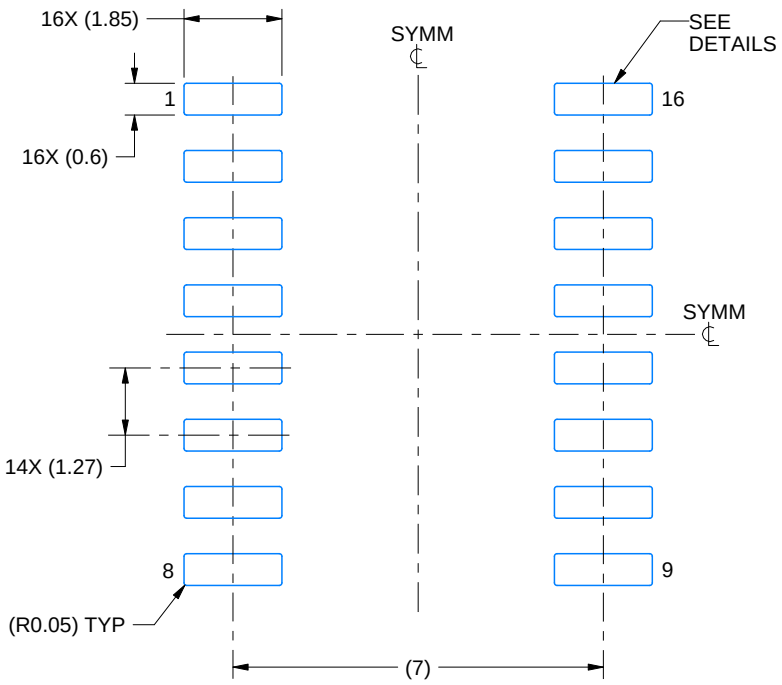
SOP - 2.00 mm max height

SOP

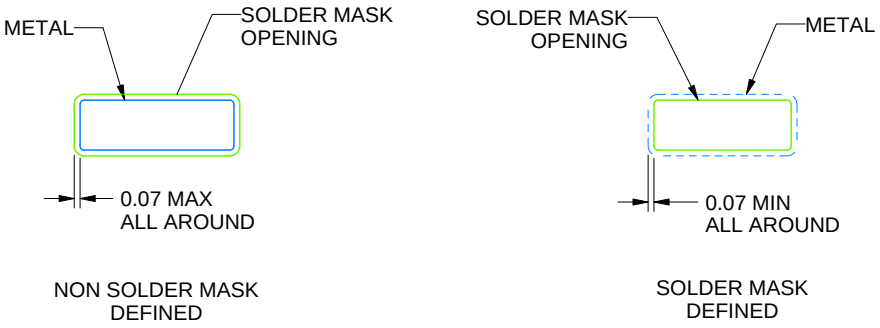


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

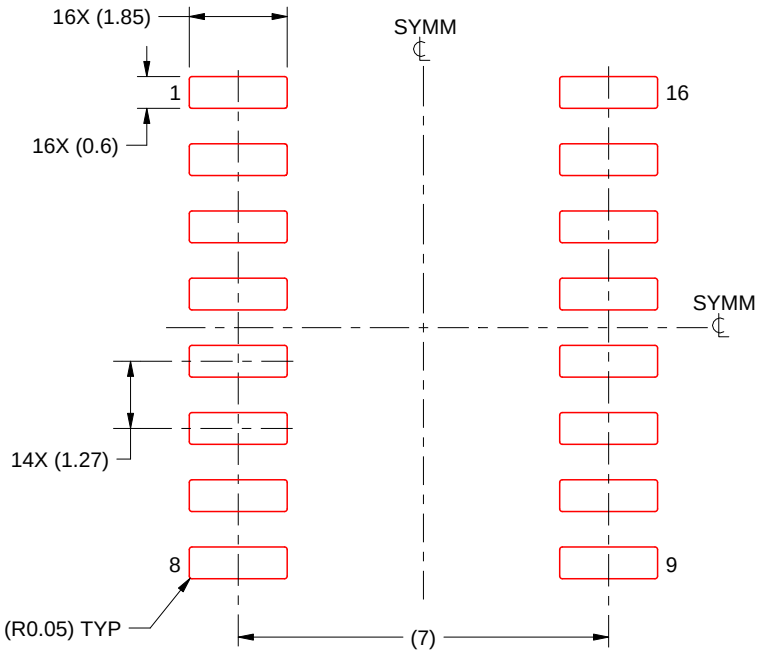
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



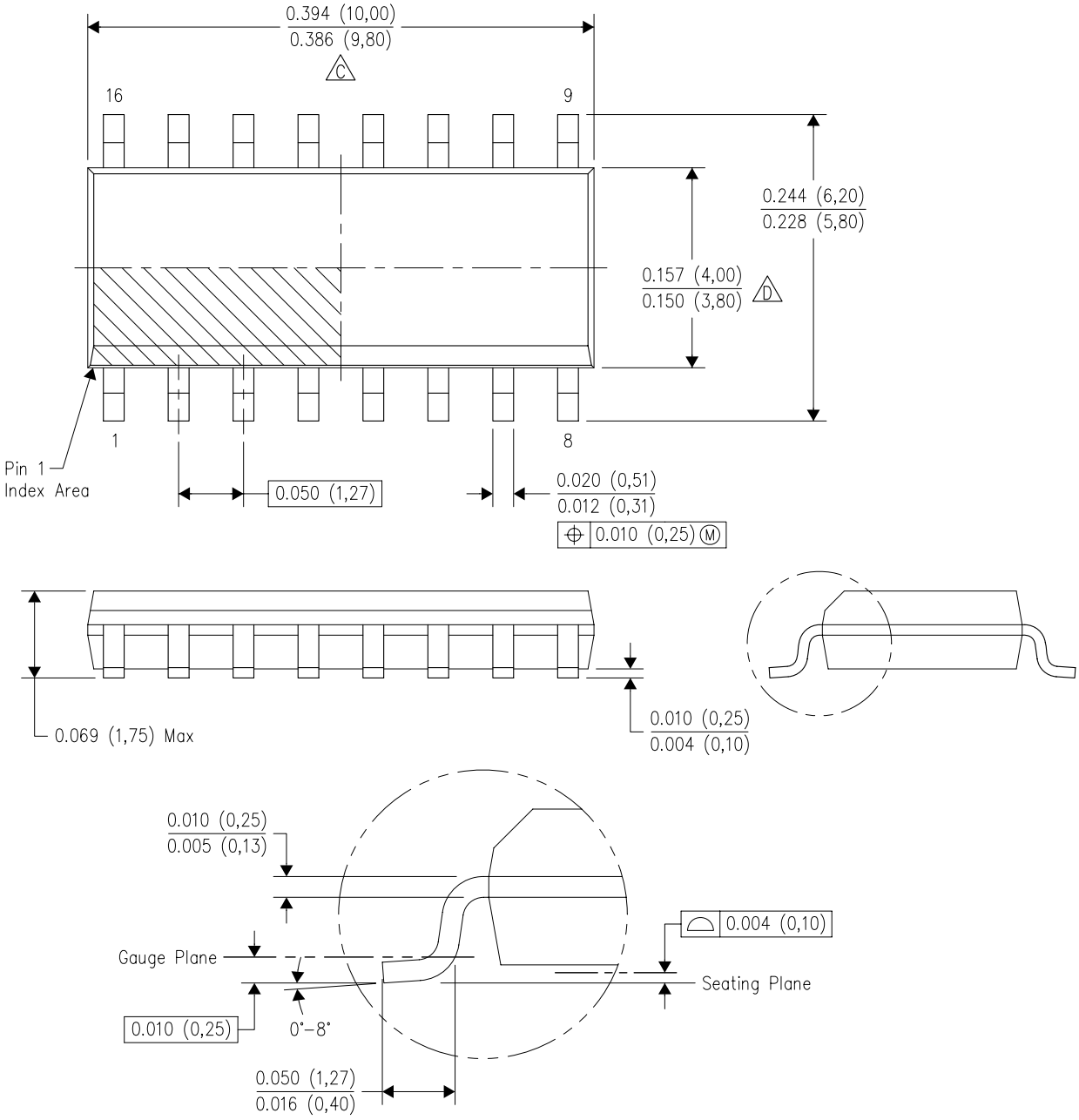
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



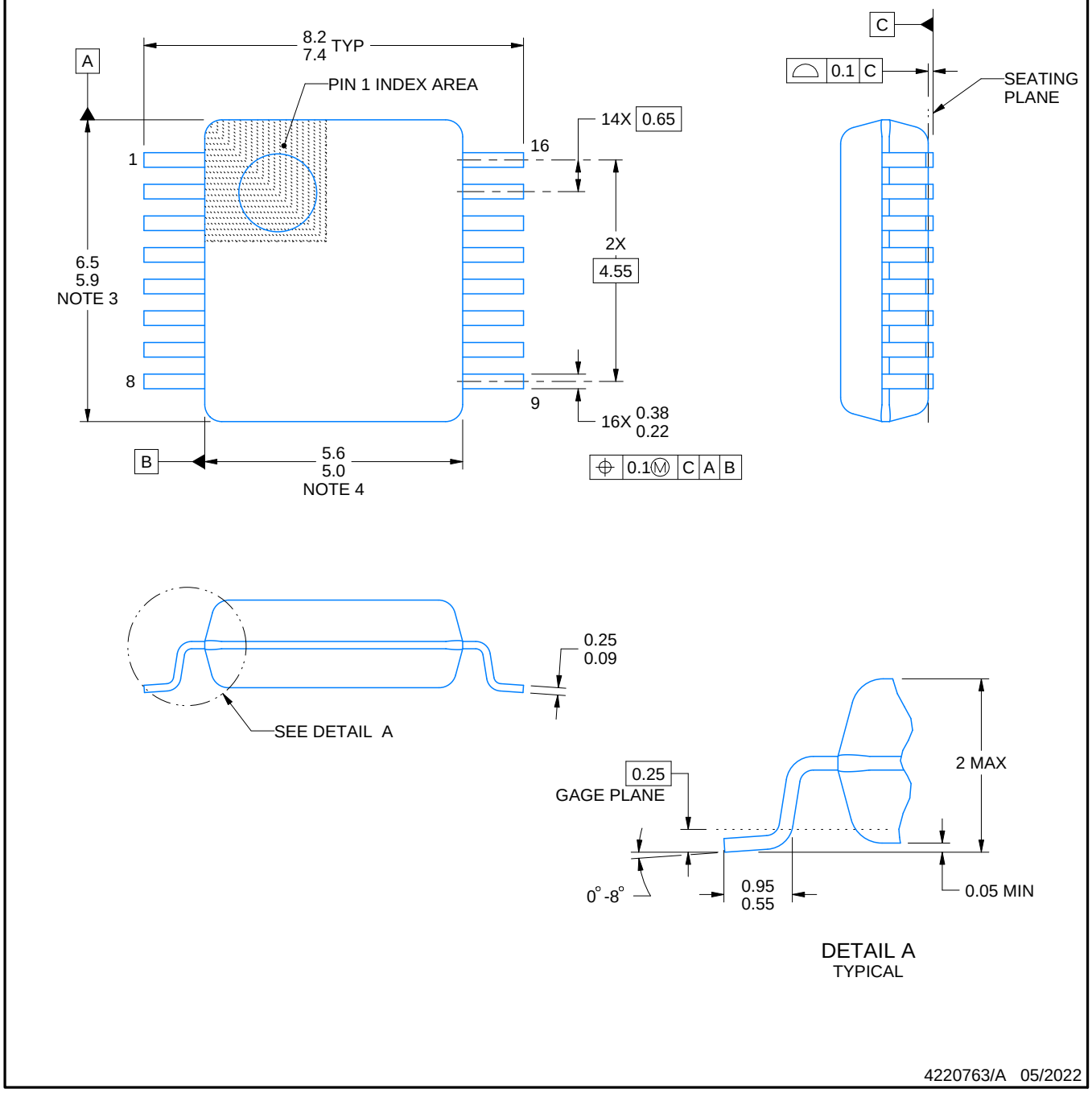
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

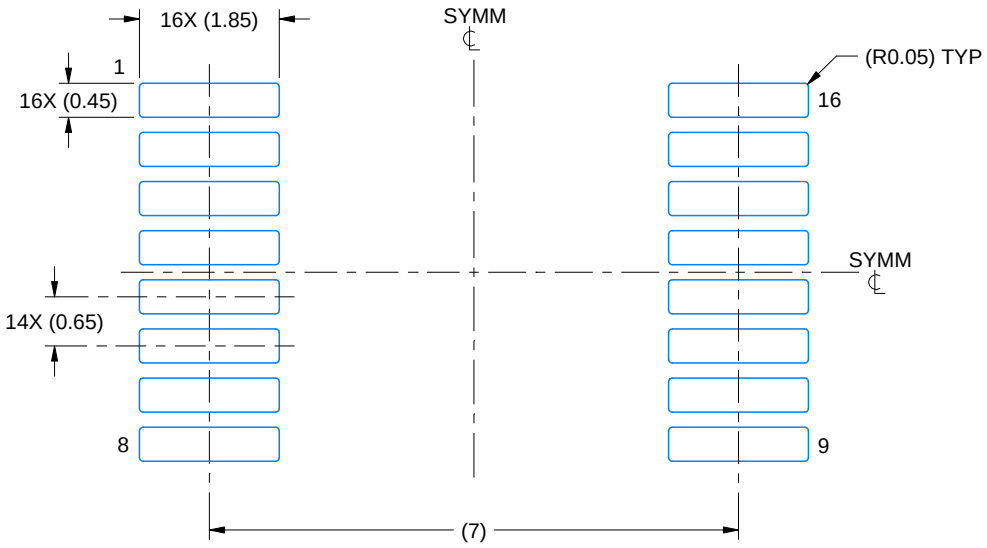
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

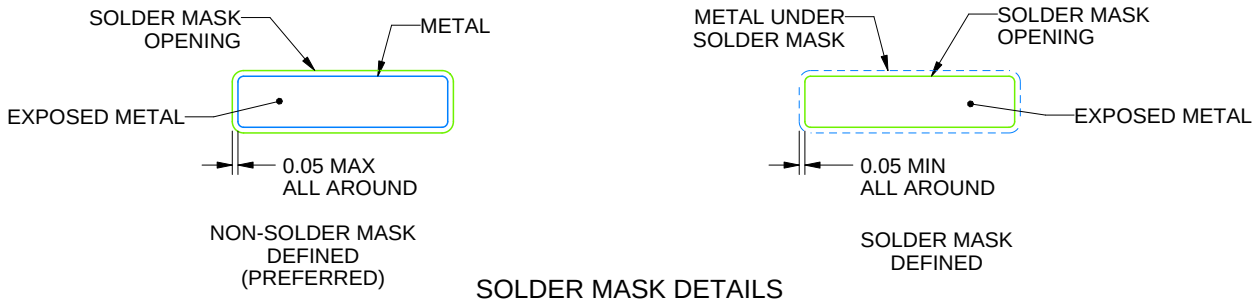


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

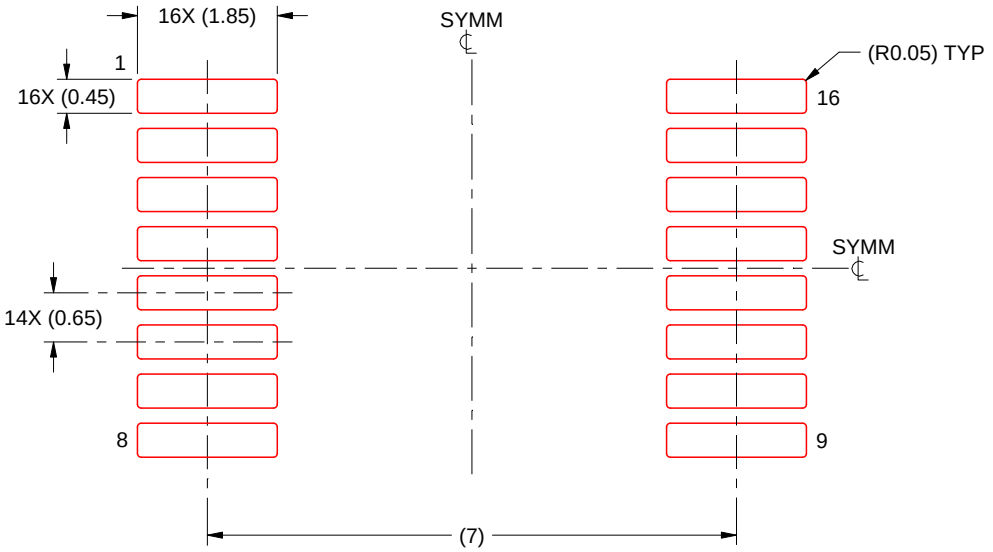


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

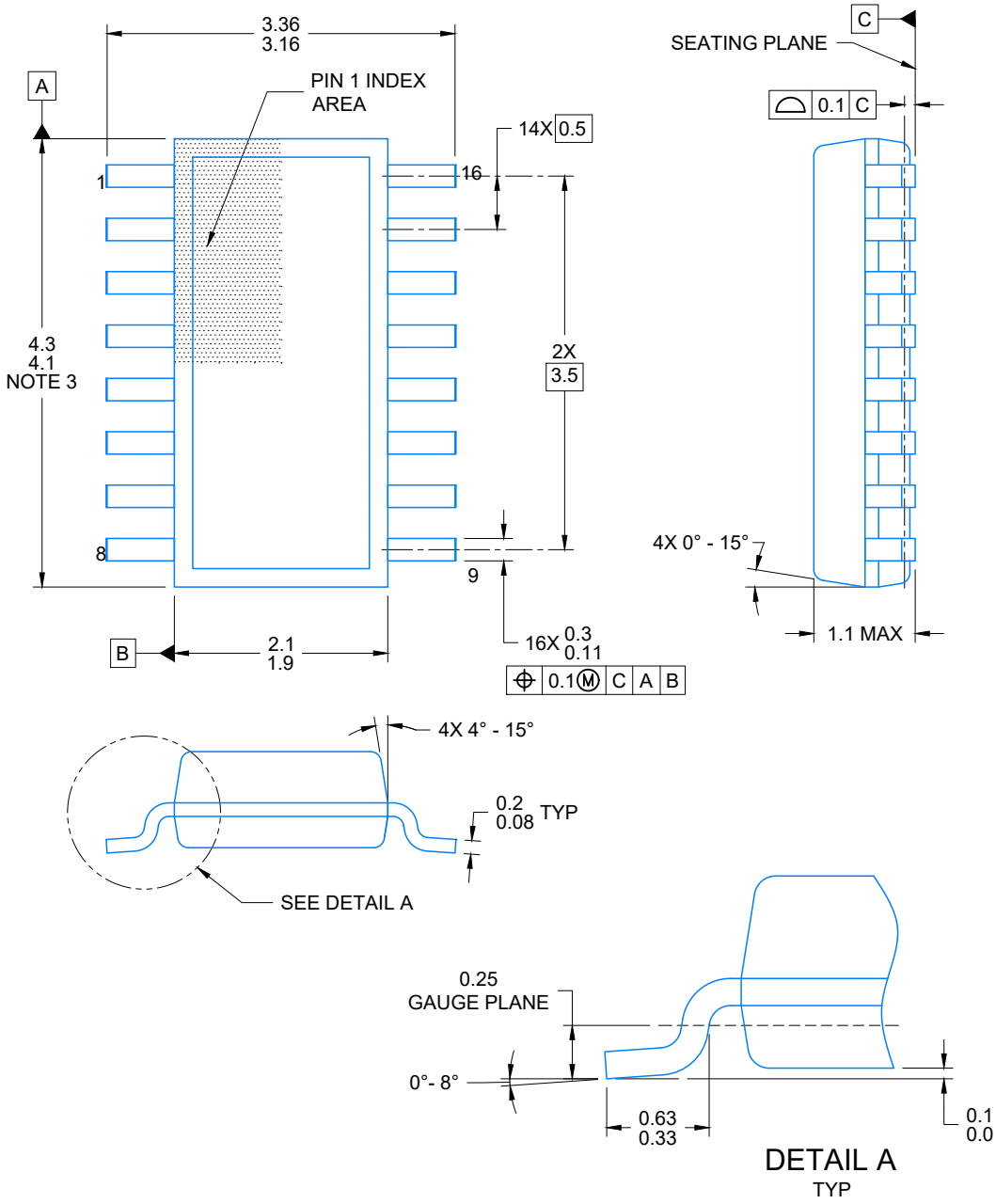
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0016A

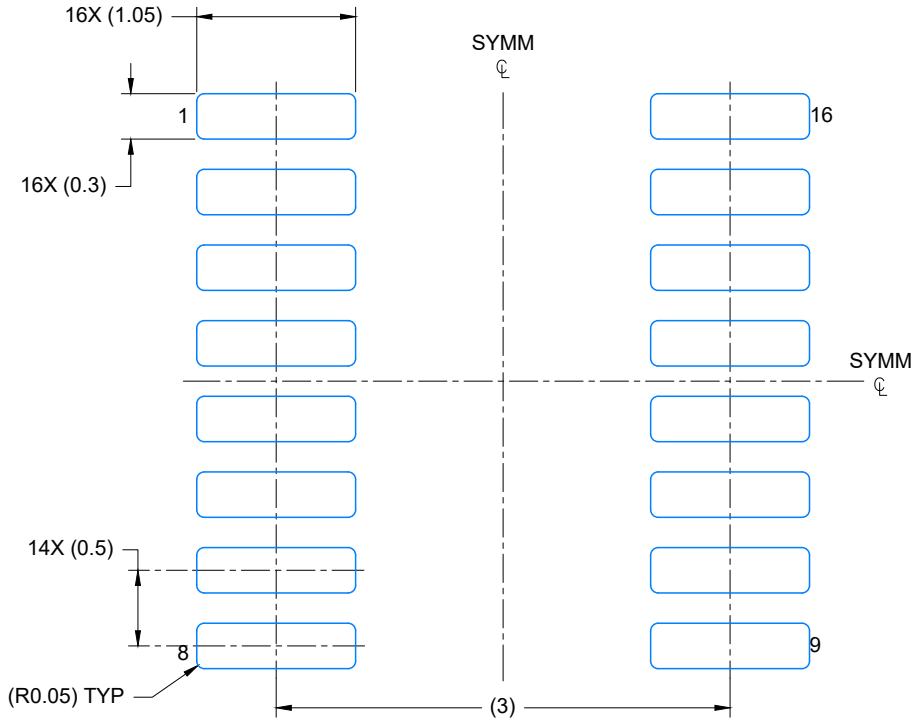
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

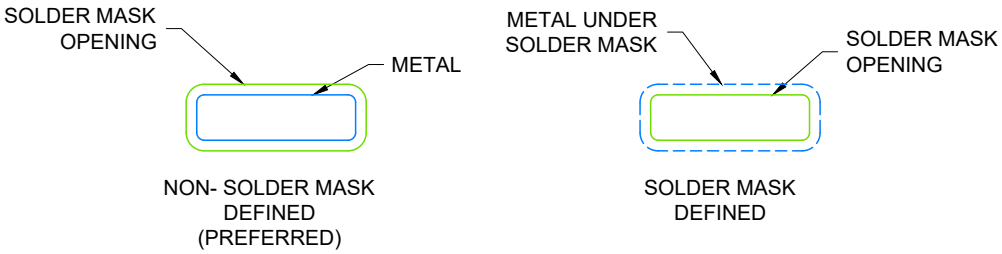


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

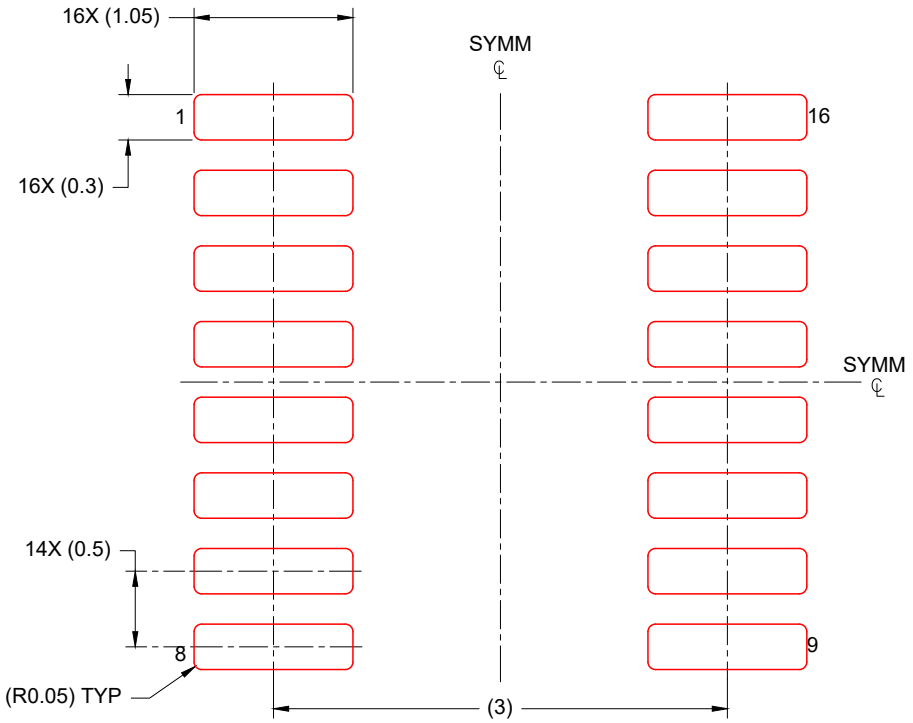
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

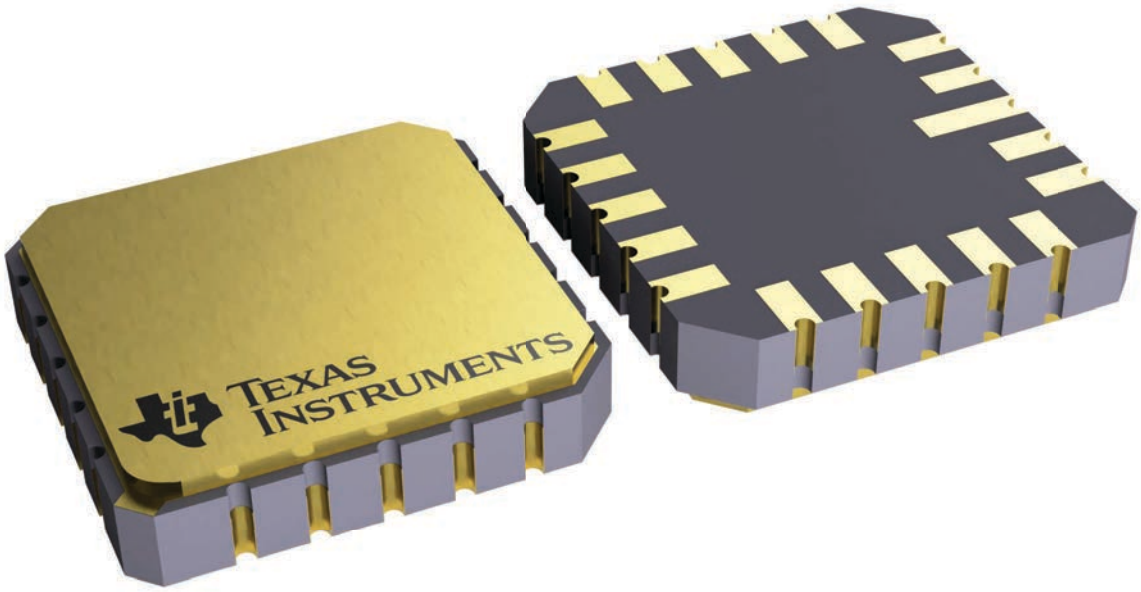
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

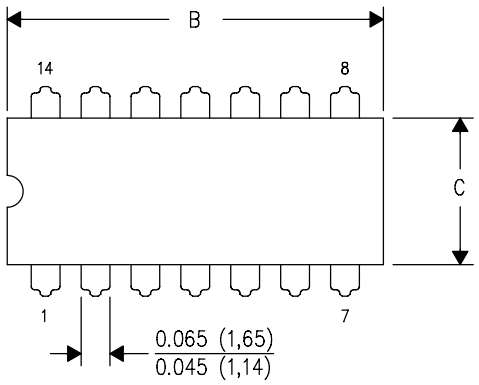


4229370VA\

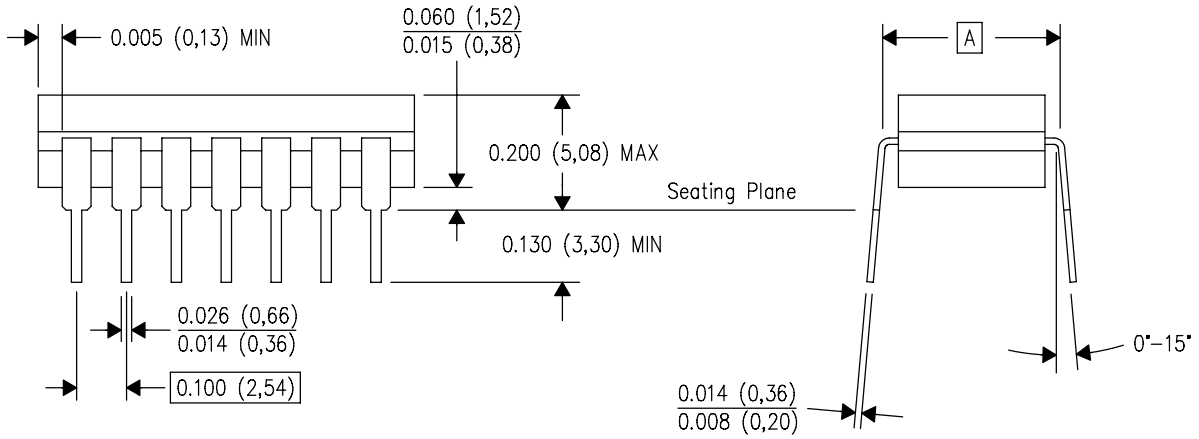
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

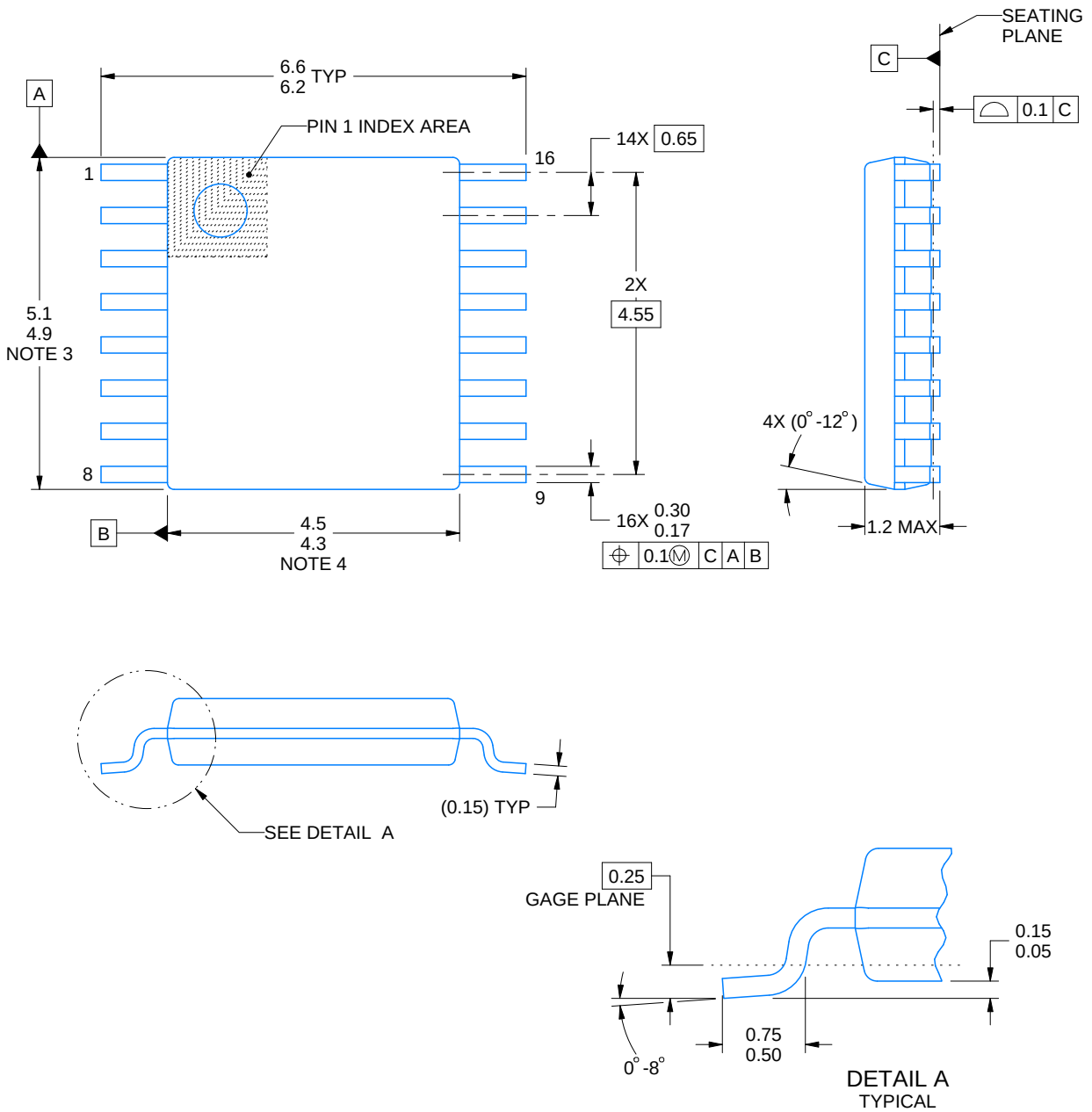
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

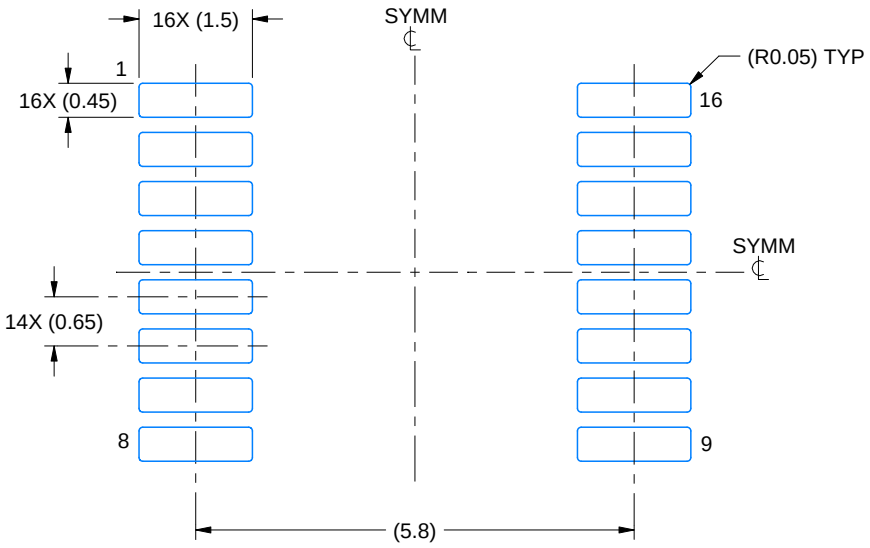
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

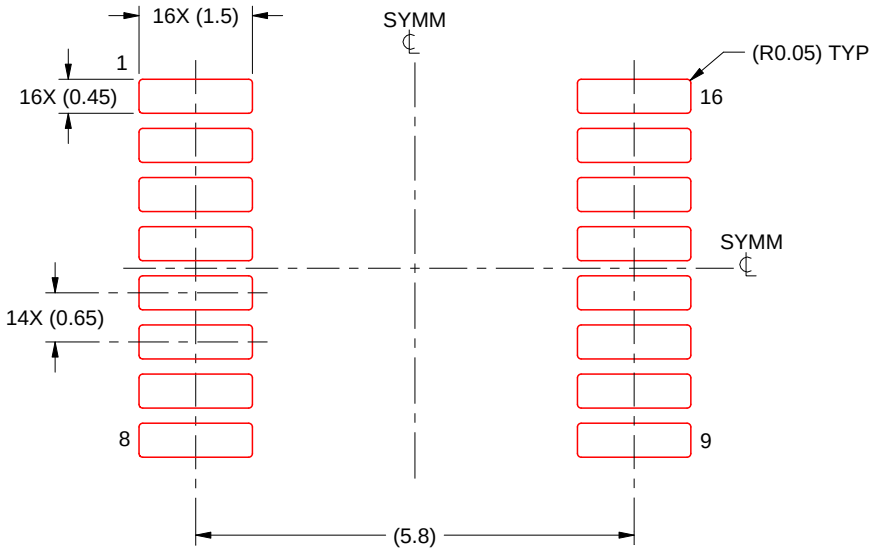


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

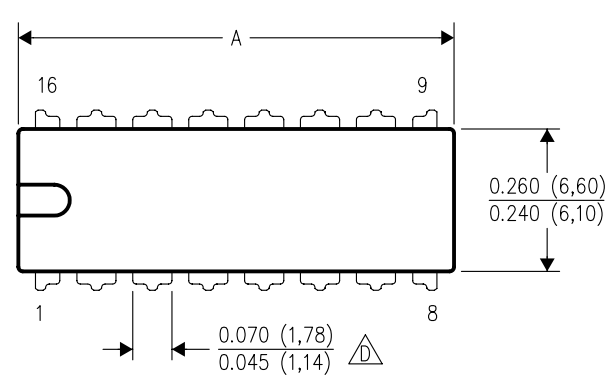
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

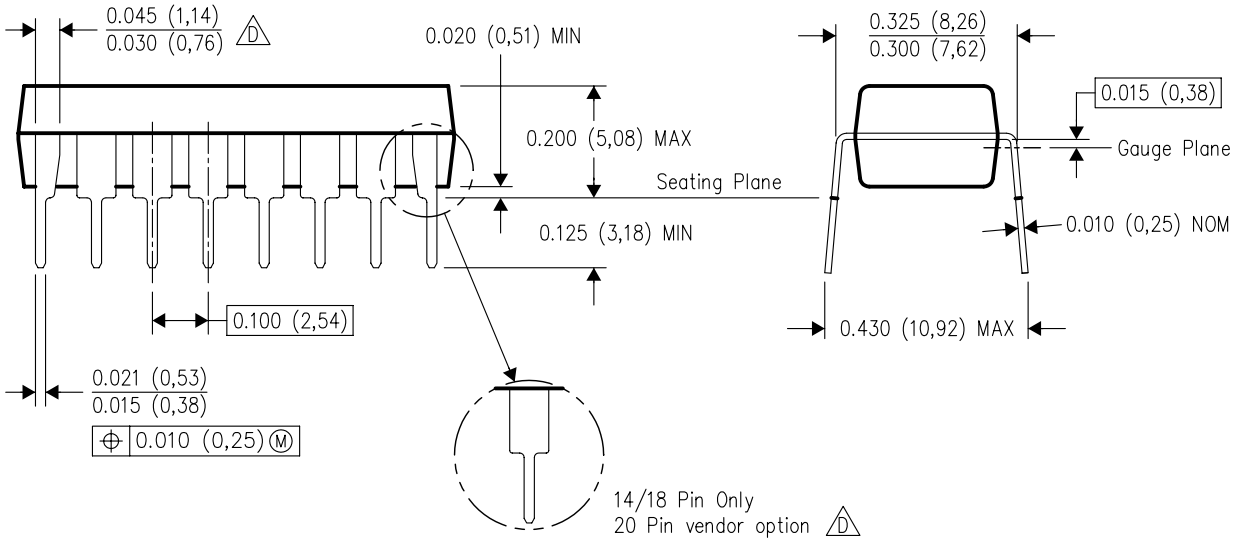
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月