SNx4HC373 3 ステート出力、オクタル・トランスペアレント D タイプ・ラッチ

1 特長

- 広い動作電圧範囲:2V～6V
- 大電流 3 ステート出力により最大 15 個の LSTTL 負荷を駆動可能
- 低消費電力、最大 I_{CC}:80µA
- t_{pd} = 13ns (標準値)
- 5V で ±6mA の出力駆動能力
- 小さい入力電流、最大 1µA
- 8 個の大電流ラッチを 1 つのパッケージに搭載
- 読み込み時の完全並列アクセス

2 概要

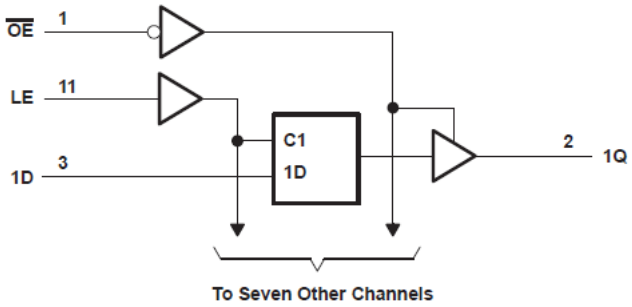
これらの 8 ビット ラッチは、大きな容量性負荷または比較的低いインピーダンスの負荷の駆動用に設計された 3 ステート出力を備えています。特に、バッファ レジスタ、I/O ポート、双方向バス ドライバ、作業レジスタの実装に適しています。

'HC373 デバイスの 8 つのラッチは、トランスペアレント D タイプ ラッチです。ラッチ イネーブル (LE) 入力が HIGH の場合、Q 出力はデータ (D) 入力に従います。LE を LOW にすると、D 入力で設定されたレベルで Q 出力がラッチされます。

製品情報

部品番号	パッケージ (1)	本体サイズ (2)
SN74HC373	DW (SOIC、20)	12.80mm × 7.50mm
	DB (SSOP、20)	7.20mm × 5.30mm
	N (PDIP、20)	25.40mm × 6.35mm
	NS (SOP、20)	15.00mm × 5.30mm
	PW (TSSOP、20)	6.50mm × 4.40mm
SN54HC373	J (CDIP、20)	26.92mm × 6.92mm
	FK (LCCC、20)	8.89mm × 8.45mm
	W (CFP、20)	13.72mm × 6.92mm

(1) 詳細については、セクション 10 を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

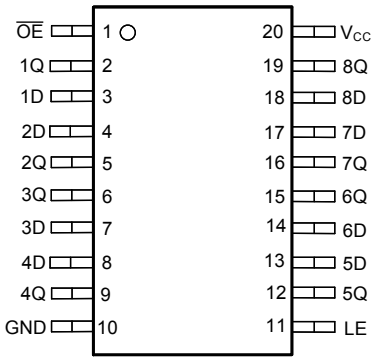
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

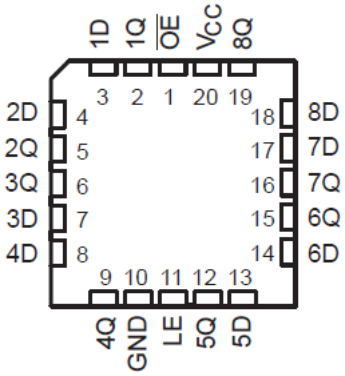
1 特長 ... 1
2 概要 ... 1
3 ピン構成および機能 ... 3
4 仕様 ... 4
4.1 絶対最大定格 ... 4
4.2 推奨動作条件 ... 4
4.3 熱に関する情報 ... 4
4.4 電気的特性 ... 5
4.5 タイミング要件 ... 5
4.6 スイッチング特性 ... 6
4.7 スイッチング特性 ... 6
4.8 動作特性 ... 6
5 パラメータ測定情報 ... 7
6 詳細説明 ... 8
6.1 概要 ... 8
6.2 機能ブロック図 ... 8
6.3 機能説明 ... 8
6.4 デバイスの機能モード ... 9
7 アプリケーションと実装 ... 10
7.1 アプリケーション情報 ... 10
7.2 代表的なアプリケーション ... 10
7.3 電源に関する推奨事項 ... 13
7.4 レイアウト ... 13
8 デバイスおよびドキュメントのサポート ... 15
8.1 ドキュメントのサポート ... 15
8.2 ドキュメントの更新通知を受け取る方法 ... 15
8.3 サポート・リソース ... 15
8.4 商標 ... 15
8.5 静電気放電に関する注意事項 ... 15
8.6 用語集 ... 15
9 改訂履歴 ... 15
10 メカニカル、パッケージ、および注文情報 ... 17

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能



J、W、FK、DB、DW、N、NS、または PW パッケージ
20 ピン CDIP、CFP、LCCC、SSOP、SOIC、PDIP、SO、または TSSOP
上面図



FK パッケージ、
20 ピン LCCC
上面図

表 3-1. ピンの機能

ピン		種類 [1]	説明
名称	番号		
$\overline{OE}$	1	入力	出力イネーブル、アクティブ Low
1Q	2	出力	チャネル 1 の出力
1D	3	入力	チャネル 1 の入力
2D	4	入力	チャネル 2 の入力
2Q	5	出力	チャネル 2 の出力
3Q	6	出力	チャネル 3 の出力
3D	7	入力	チャネル 3 の入力
4D	8	入力	チャネル 4 の入力
4Q	9	出力	チャネル 4 の出力
GND	10	—	グランド
LE	11	入力	ラッチ イネーブル
5Q	12	出力	チャネル 5 の出力
5D	13	入力	チャネル 5 の入力
6D	14	入力	チャネル 6 の入力
6Q	15	出力	チャネル 6 の出力
7Q	16	出力	チャネル 7 の出力
7D	17	入力	チャネル 7 の入力
8D	18	入力	チャネル 8 の入力
8Q	19	出力	チャネル 8 の出力
V_{CC}	20	—	正電源

1. I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
I_{IK}	入力クランプ電流(2)	$V_I < 0$ または $V_I > V_{CC}$		±20	mA
I_{OK}	出力クランプ電流(2)	$V_O < 0$ または $V_O > V_{CC}$		±20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±35	mA
	V_{CC} または GND を通過する連続電流			±70	mA
T_J	接合部温度			150	℃
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、このデータシートの「セクション 4.2」に示された値と等しい、またはそれを超える条件で本デバイスが正常に動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)(1)

			SN54HC373			SN74HC373			単位
			最小値	公称値	最大値	最小値	公称値	最大値	
V_{CC}	電源電圧		2	5	6	2	5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5			1.5			V
		V_{CC} = 4.5 V	3.15			3.15			
		V_{CC} = 6 V	4.2			4.2			
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V			0.5			0.5	V
		V_{CC} = 4.5 V			1.35			1.35	
		V_{CC} = 6 V			1.8			1.8	
V_I	入力電圧		0		V_{CC}	0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$	入力遷移の立ち上がり時間と立ち下がり時間	V_{CC} = 2 V			1000			1000	ns
		V_{CC} = 4.5 V			500			500	
		V_{CC} = 6 V			400			400	
T_A	自由空気での動作温度		-55		125	-55		125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート、*『低速またはフローティング CMOS 入力の影響』*(文献番号 SCBA004) を参照してください。

4.3 熱に関する情報

熱評価基準		SN74HC373					単位
		DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	
		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (1)	109.1	122.7	84.6	113.4	131.8	℃/W
$R_{\theta JC\ (top)}$	接合部からケース (上面) への熱抵抗	76	81.6	72.5	78.6	72.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	77.6	77.5	65.3	78.4	82.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	51.5	46.1	55.3	47.1	21.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	77.1	77.1	65.2	78.1	82.4	℃/W

Copyright © 2025 Texas Instruments Incorporated

4.3 熱に関する情報 (続き)

熱評価基準		SN74HC373					単位
		DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	
		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	T_A = 25℃			SN54HC373		SN74HC373		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	V_I = V_{IH} または V_{IL}	I_{OH} = -20μA	2 V	1.9	1.998		1.9		1.9		V
			4.5 V	4.4	4.499		4.4		4.4		
			6 V	5.9	5.999		5.9		5.9		
		I_{OH} = -6mA	4.5 V	3.98	4.3		3.7		3.7		
		I_{OH} = -7.8mA	6 V	5.48	5.8		5.2		5.2		
V_{OL}	V_I = V_{IH} または V_{IL}	I_{OL} = 20μA	2 V		0.002	0.1		0.1		0.1	V
			4.5 V		0.001	0.1		0.1		0.1	
			6 V		0.001	0.1		0.1		0.1	
		I_{OL} = 6mA	4.5 V		0.17	0.26		0.4		0.4	
		I_{OL} = 7.8mA	6 V		0.15	0.26		0.4		0.4	
I_I	V_I = V_{CC} または 0		6 V		±0.1	±100		±1000		±1000	nA
I_{OZ}	V_O = V_{CC} または 0		6 V		±0.01	±0.5		±10		±10	μA
I_{CC}	V_I = V_{CC} または 0、 I_O = 0		6 V			8		160		160	μA
C_i			2V～6V		3	10		10		10	pF

4.5 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

		V_{CC}	T_A = 25℃		SN54HC373		SN74HC373		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅、LE high	2 V	80		120		120		ns
		4.5 V	16		24		24		
		6 V	14		20		20		
t_{su}	セットアップ時間、LE ↓ 前のデータ	2 V	50		75		75		ns
		4.5 V	10		15		15		
		6 V	9		13		13		
t_h	ホールド時間、LE ↓ 後のデータ	2 V	20		26		26		ns
		4.5 V	10		13		13		
		6 V	10		13		13		

Copyright © 2025 Texas Instruments Incorporated

4.6 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り) (図 5-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			SN54HC373		SN74HC373		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	D	Q	2 V		58	150		225		225	ns
			4.5 V		15	30		45		45	
			6 V		13	26		38		38	
	LE	任意の Q	2 V		73	175		265		265	
			4.5 V		18	35		53		53	
			6 V		15	30		45		45	
t_{en}	$\overline{OE}$	任意の Q	2 V		65	150		225		225	ns
			4.5 V		17	30		45		45	
			6 V		14	26		38		38	
t_{dis}	$\overline{OE}$	任意の Q	2 V		50	150		225		225	ns
			4.5 V		15	30		45		45	
			6 V		13	26		38		38	
t_t		任意の Q	2 V		28	60		90		90	ns
			4.5 V		8	12		18		18	
			6 V		6	10		15		15	

4.7 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 150pF (特に記述のない限り) (図 5-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			SN54HC373		SN74HC373		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	D	Q	2 V		82	200		300		300	ns
			4.5 V		22	40		60		60	
			6 V		19	34		51		51	
	LE	任意の Q	2 V		100	225		335		335	
			4.5 V		24	45		67		67	
			6 V		20	38		57		57	
t_{en}	$\overline{OE}$	任意の Q	2 V		90	200		300		300	ns
			4.5 V		23	40		60		60	
			6 V		19	34		51		51	
t_t		任意の Q	2 V		45	210		315		315	ns
			4.5 V		17	42		63		63	
			6 V		13	36		53		53	

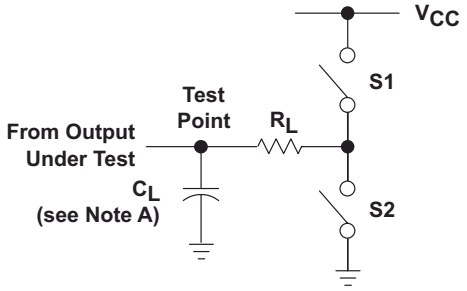
4.8 動作特性

T_A = 25℃

パラメータ		テスト条件	標準値	単位
C_{pd}	ラッチあたりの電力散逸容量	無負荷	100	pF

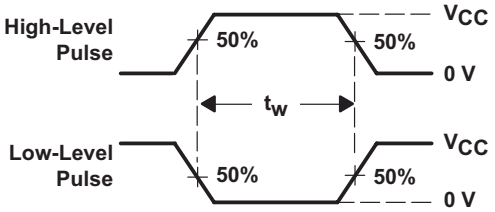
Copyright © 2025 Texas Instruments Incorporated

5 パラメータ測定情報

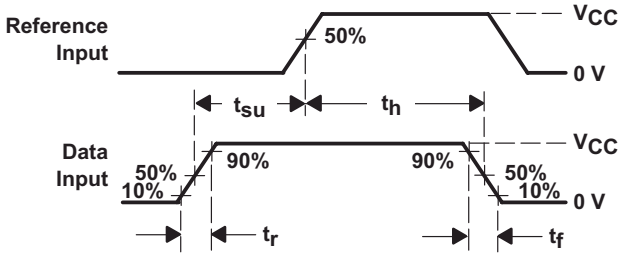


LOAD CIRCUIT

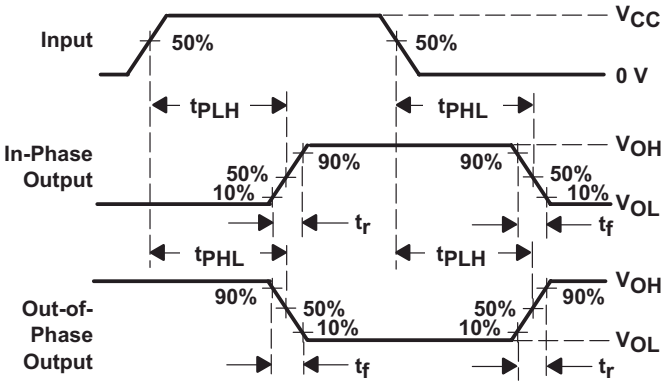
PARAMETER		R_L	C_L	S1	S2
t_{en}	t_{PZH}	1 kΩ	50 pF or 150 pF	Open	Closed
	t_{PZL}			Closed	Open
t_{dis}	t_{PHZ}	1 kΩ	50 pF	Open	Closed
	t_{PLZ}			Closed	Open
t_{pd} or t_t		--	50 pF or 150 pF	Open	Open



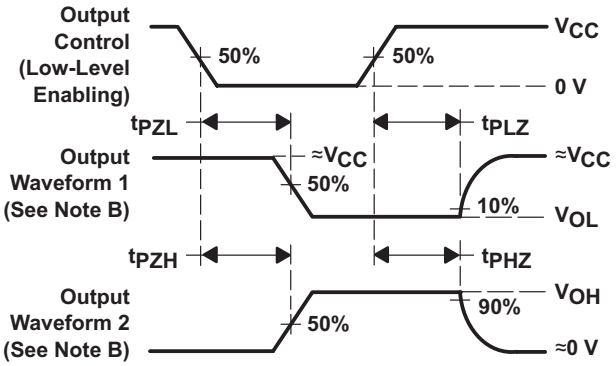
VOLTAGE WAVEFORMS
PULSE DURATIONS



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES FOR 3-STATE OUTPUTS

A. C_L にはプローブとテスト装置の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. 波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r = 6ns、t_f = 6ns。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。

F. t_{PZL} と t_{PZH} は t_{en} と同じです。

G. t_{PLH} と t_{PHL} は t_{pd} と同じです。

図 5-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

SNx4HC373 には 8 つの D タイプ ラッチが搭載されています。すべてのチャネルがラッチ イネーブル (LE) 入力と出力イネーブル ($\overline{OE}$) 入力を共有しています。

ラッチがイネーブル (LE が High) のとき、D 入力から Q 出力へのデータの通過が許可されます。

ラッチがディセーブルのとき (LE が Low のとき)、D 入力の変化に関係なく、Q 出力は直前の状態を保持します。

スタートアップ時にラッチ イネーブル (LE) 入力が Low に保持されている場合、すべてのデータ (D) 入力に有効な入力信号が供給されてラッチ イネーブル (LE) 入力が High に駆動されるまで、すべてのチャネルの出力状態は不定です。

出力がイネーブルのとき ($\overline{OE}$ が Low のとき)、出力はアクティブになって Low または High に駆動されます。

出力がディセーブルのとき ($\overline{OE}$ が High のとき)、出力は高インピーダンス状態に設定されます。

アクティブ Low の出力イネーブル ($\overline{OE}$) は、ラッチに保存されている状態には影響しません。

6.2 機能ブロック図

6.3 機能説明

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-1. 機能表

入力 (1)			出力(2)
$\overline{OE}$	LE	D	Q
L	H	L	L
L	H	H	H
L	L	X	Q_0 (3)
H	X	X	Z

(1) L = 入力 Low、H = 入力 High、↑ = 入力が Low から High に遷移、↓ = 入力が High から Low に遷移、X = ドント ケア
(2) L = 出力 Low、H = 出力 High、Q_0 = 前の状態、Z = ハイ インピーダンス
(3) 起動時、Q_0 は不定です

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

このアプリケーションでは、SNx4HC373 を使用して 8 ビット データ バスを制御します。

バス コントローラから入力される LE および $\overline{OE}$ の制御入力に応じて、出力をハイ インピーダンス状態に保持するか、直前の既知の状態に保持するか、または、データ入力に合わせて変化させることができます。

7.2 代表的なアプリケーション

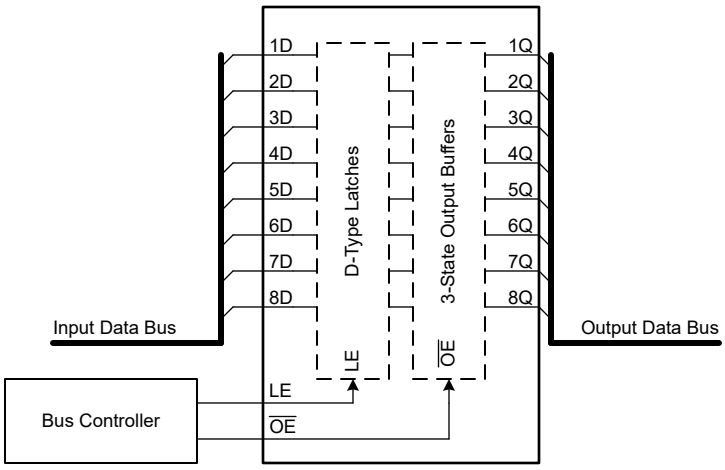


図 7-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

7.2.1 設計要件

7.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グランドは、SNx4HC373 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SNx4HC373 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SNx4HC373 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 入力に関する考慮事項

入力信号は、を超えるとロジック Low と見なされ、を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SNx4HC373 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4HC373 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

7.2.3 アプリケーション曲線

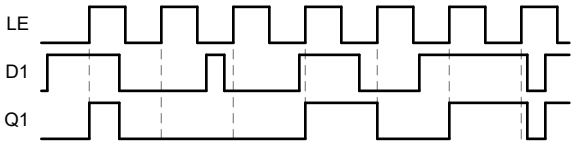


図 7-2. アプリケーション タイミング図

7.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

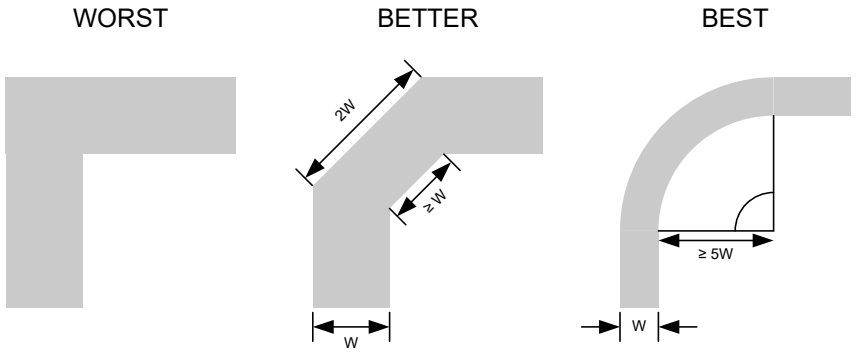


図 7-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

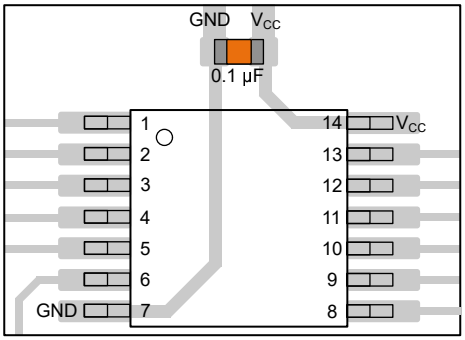


図 7-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

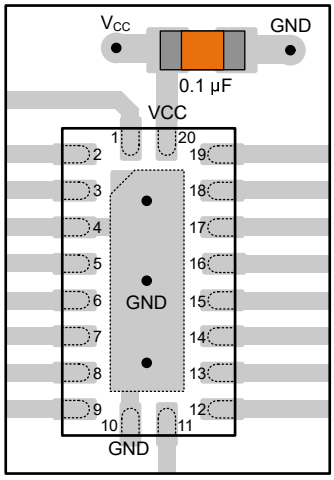


図 7-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

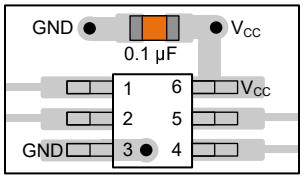


図 7-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

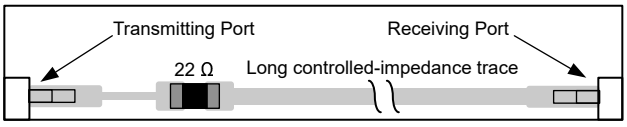


図 7-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション レポート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (April 2022) to Revision G (February 2025)	Page
• SN74AC32 の動作温度を 125°C に更新し、「*電気的特性*」表、「*推奨動作条件*」表、「*タイミング特性*」表、「*スイッチング特性*」表のそれぞれの値も更新	1
• 「ピンの機能」表を追加	3

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision E (January 2022) to Revision F (April 2022) **Page**

- 接合部から周囲への熱抵抗の値を以下のように増加。DW は 58 から 109.1、DB は 70 から 122.7、N は 69 から 84.6、NS は 60 から 113.4、PW は 83 から 131.8.....4

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8407201VRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VRA SNV54HC373J
5962-8407201VRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VRA SNV54HC373J
5962-8407201VSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VSA SNV54HC373W
5962-8407201VSA.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VSA SNV54HC373W
84072012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
8407201RA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
8407201SA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W
JM38510/65403B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
JM38510/65403B2A.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
JM38510/65403BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
JM38510/65403BRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
M38510/65403B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
M38510/65403BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
SN54HC373J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC373J
SN54HC373J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC373J
SN74HC373DBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HC373DBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 85	HC373
SN74HC373DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DWRE4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373NE4	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373NSRE4	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	HC373
SN74HC373PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SNJ54HC373FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
SNJ54HC373FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
SNJ54HC373J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
SNJ54HC373J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
SNJ54HC373W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W
SNJ54HC373W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC373, SN54HC373-SP, SN74HC373 :

- Catalog : SN74HC373, SN54HC373
- Military : SN54HC373
- Space : SN54HC373-SP

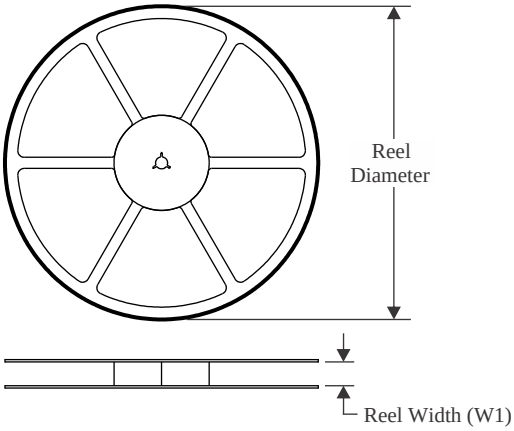
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

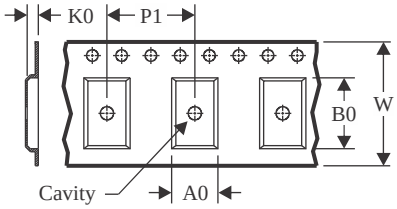
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

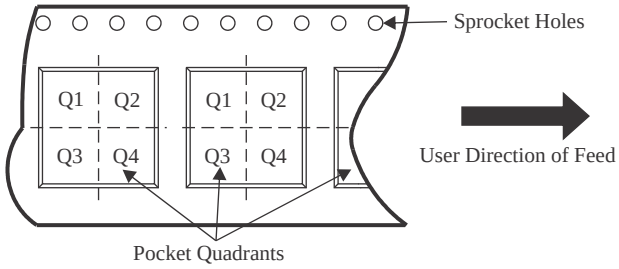


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

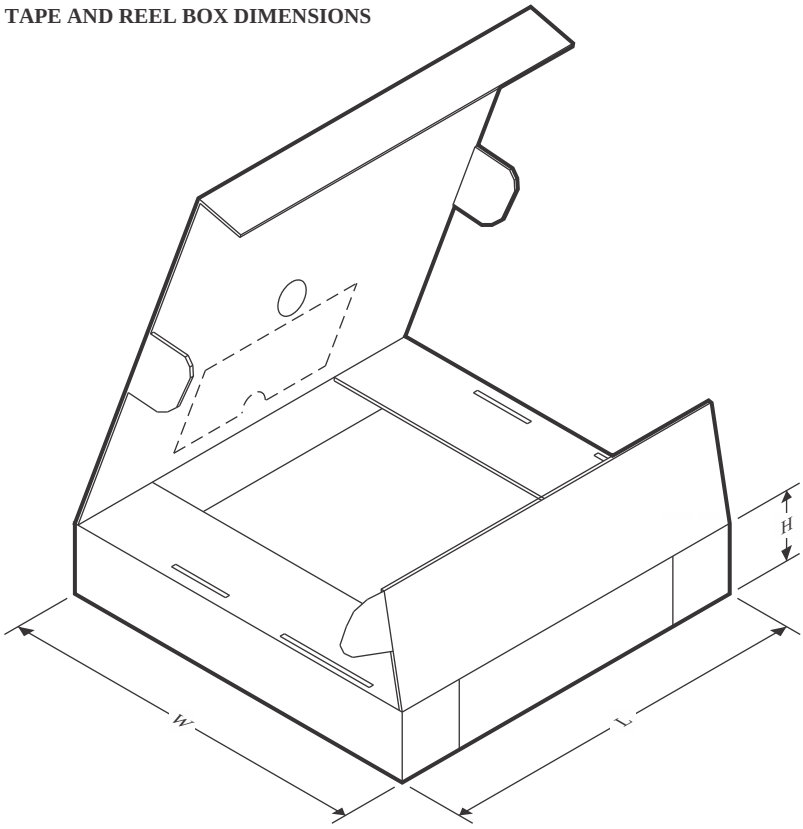
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC373DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74HC373DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HC373NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HC373PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

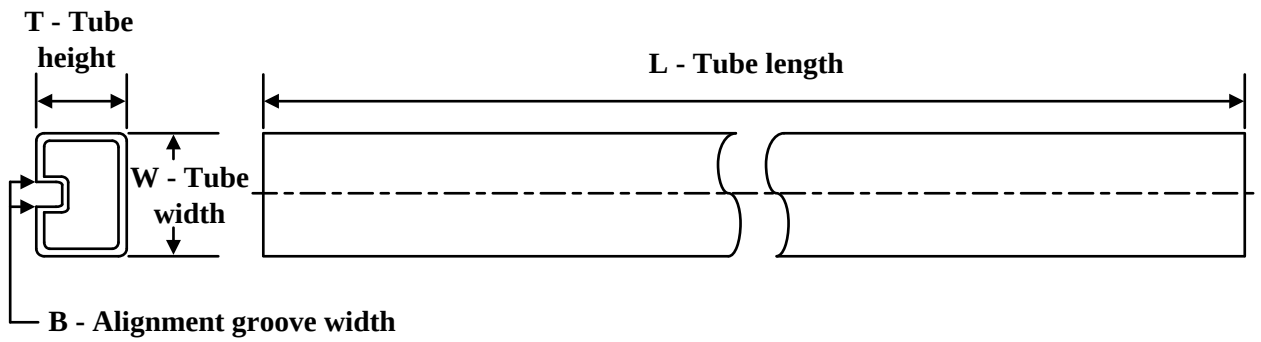
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC373DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74HC373DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HC373NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74HC373PWR	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

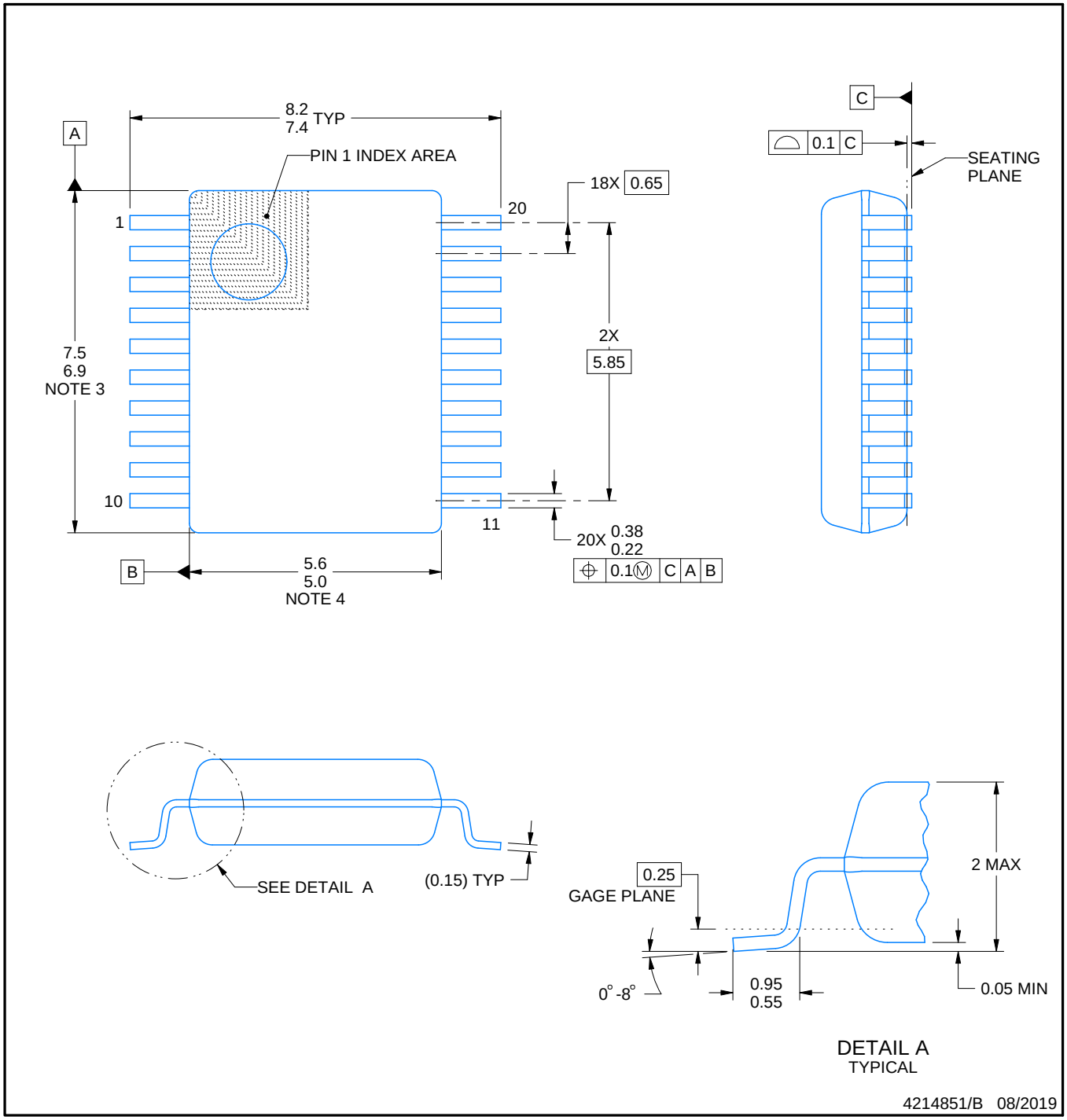
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8407201VSA	W	CFP	20	25	506.98	26.16	6220	NA
5962-8407201VSA.A	W	CFP	20	25	506.98	26.16	6220	NA
84072012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8407201SA	W	CFP	20	25	506.98	26.16	6220	NA
JM38510/65403B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65403B2A.A	FK	LCCC	20	55	506.98	12.06	2030	NA
M38510/65403B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74HC373N	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC373N.A	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC373NE4	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54HC373FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC373FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC373W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54HC373W.A	W	CFP	20	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DB0020A

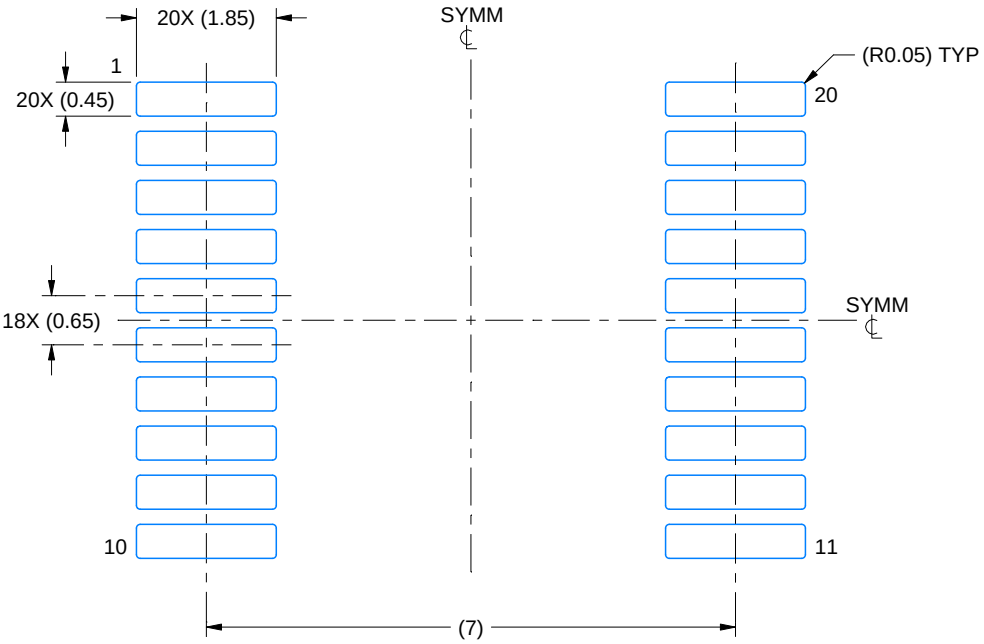
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

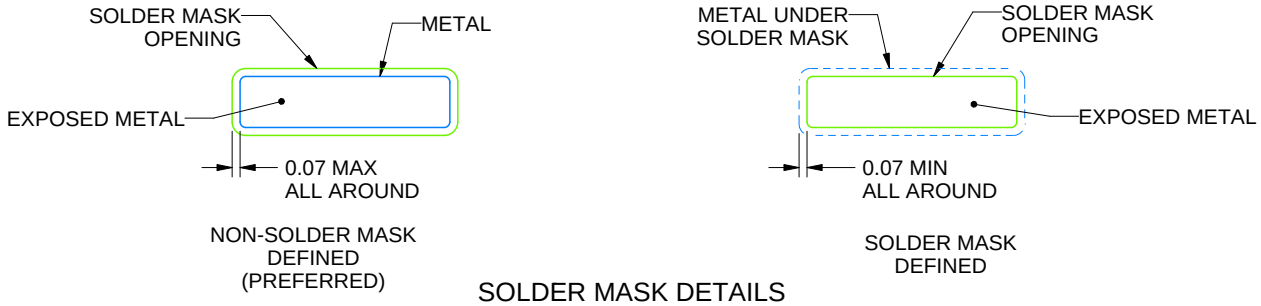


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

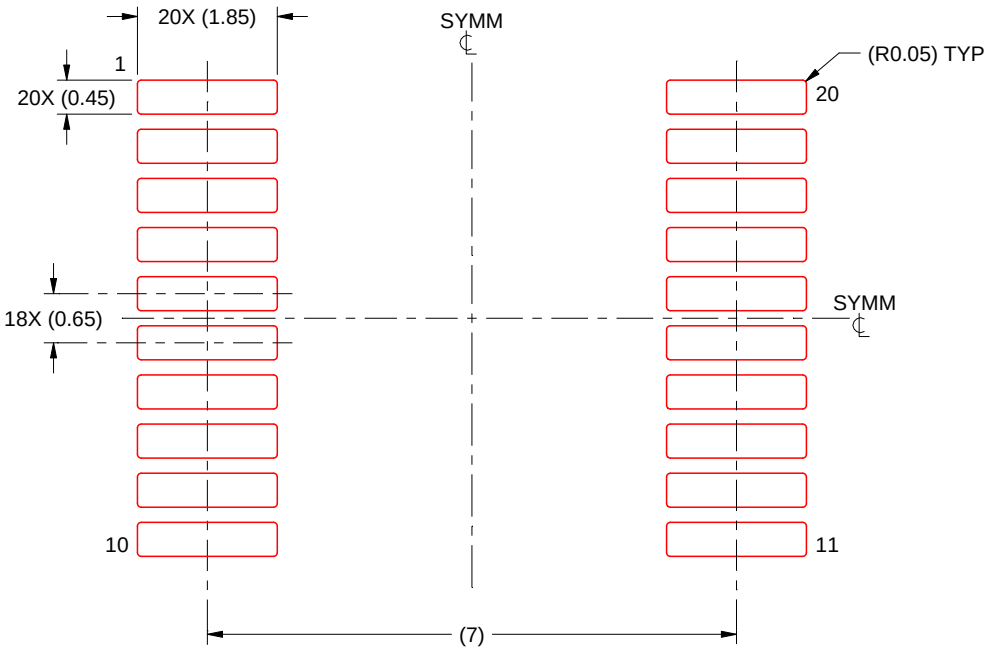
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

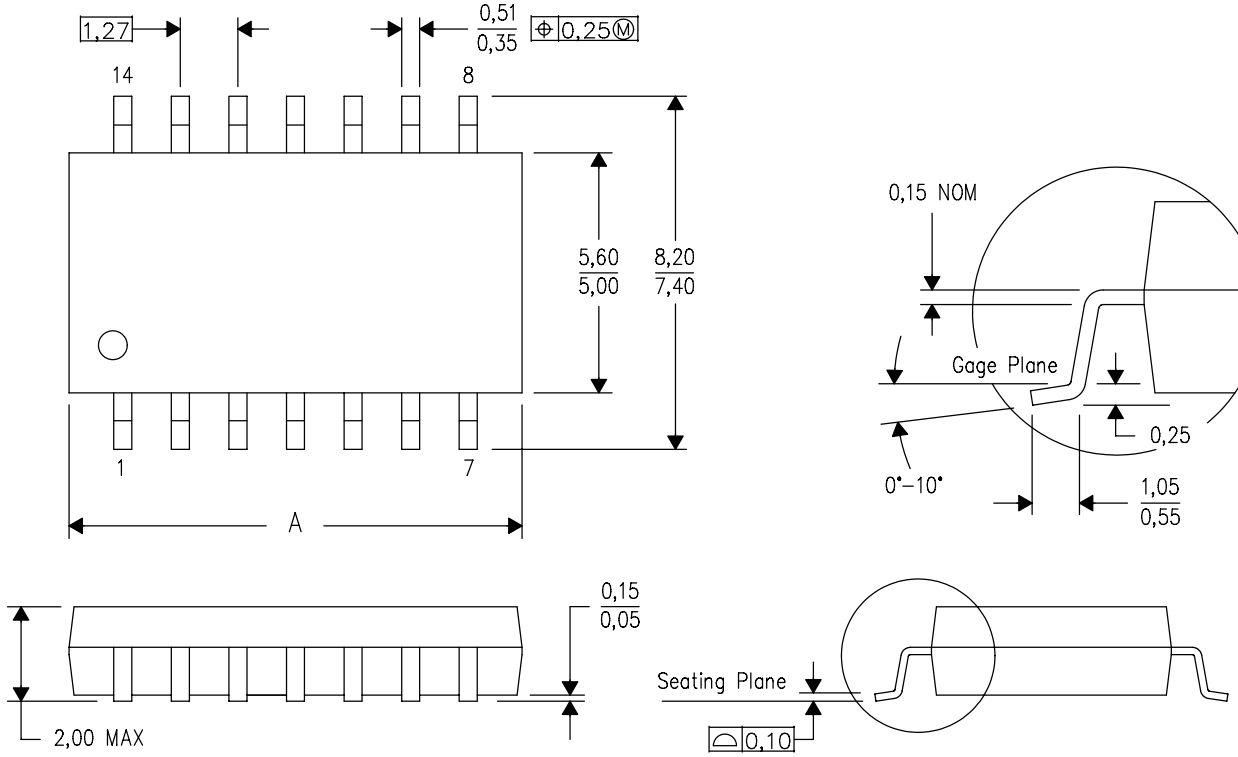
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

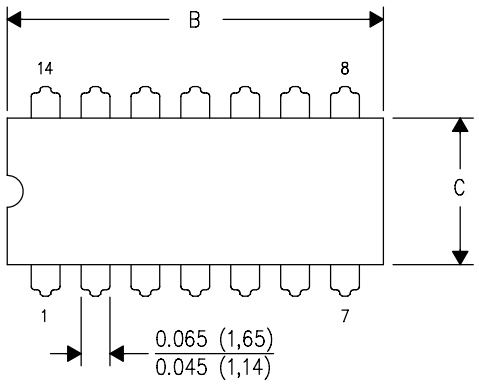
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

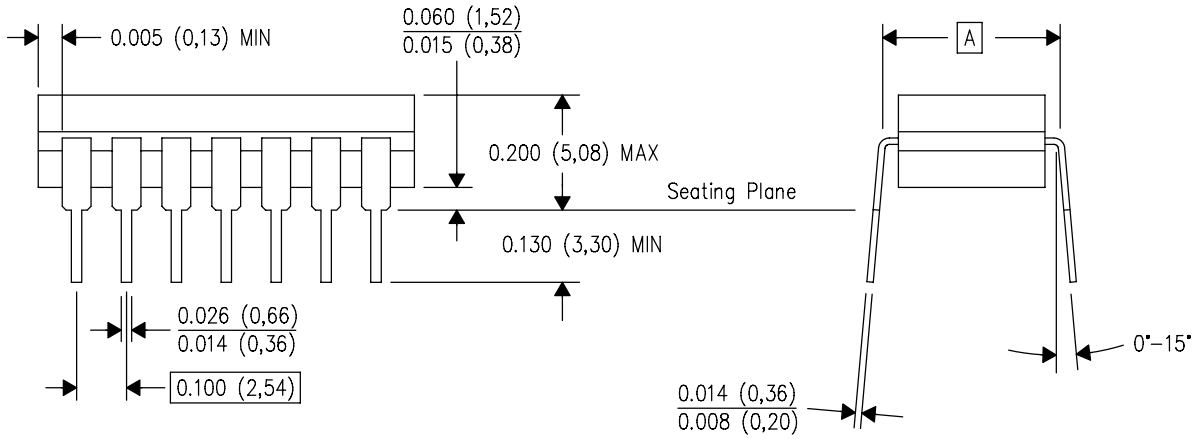
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

GENERIC PACKAGE VIEW

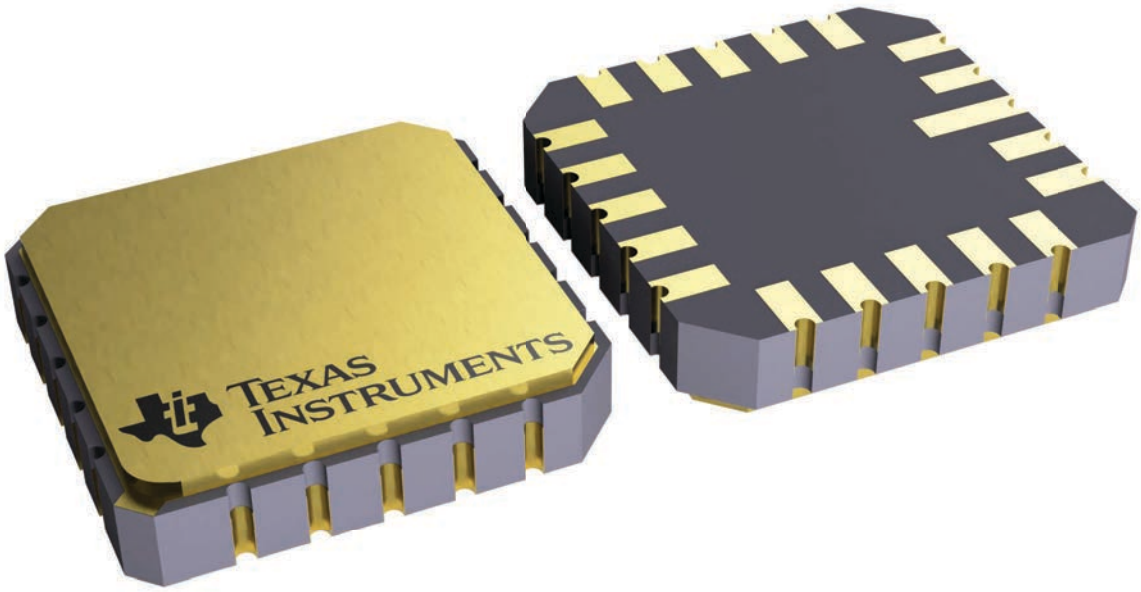
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

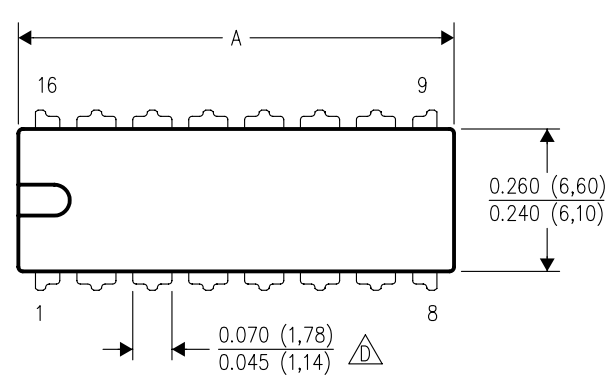


4229370VA\

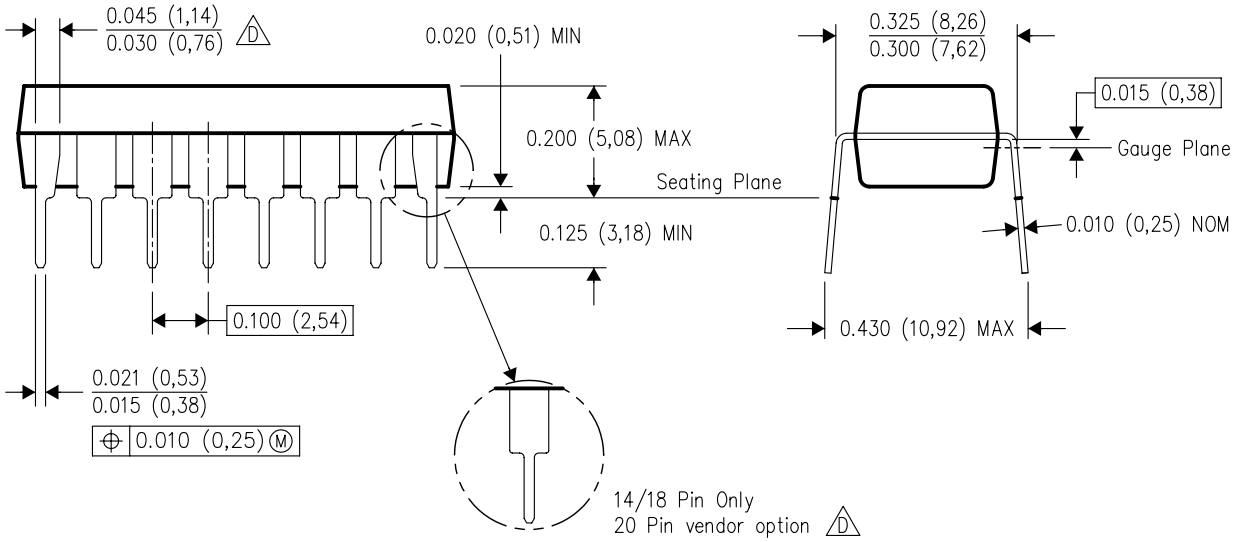
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

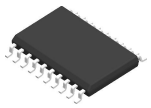


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

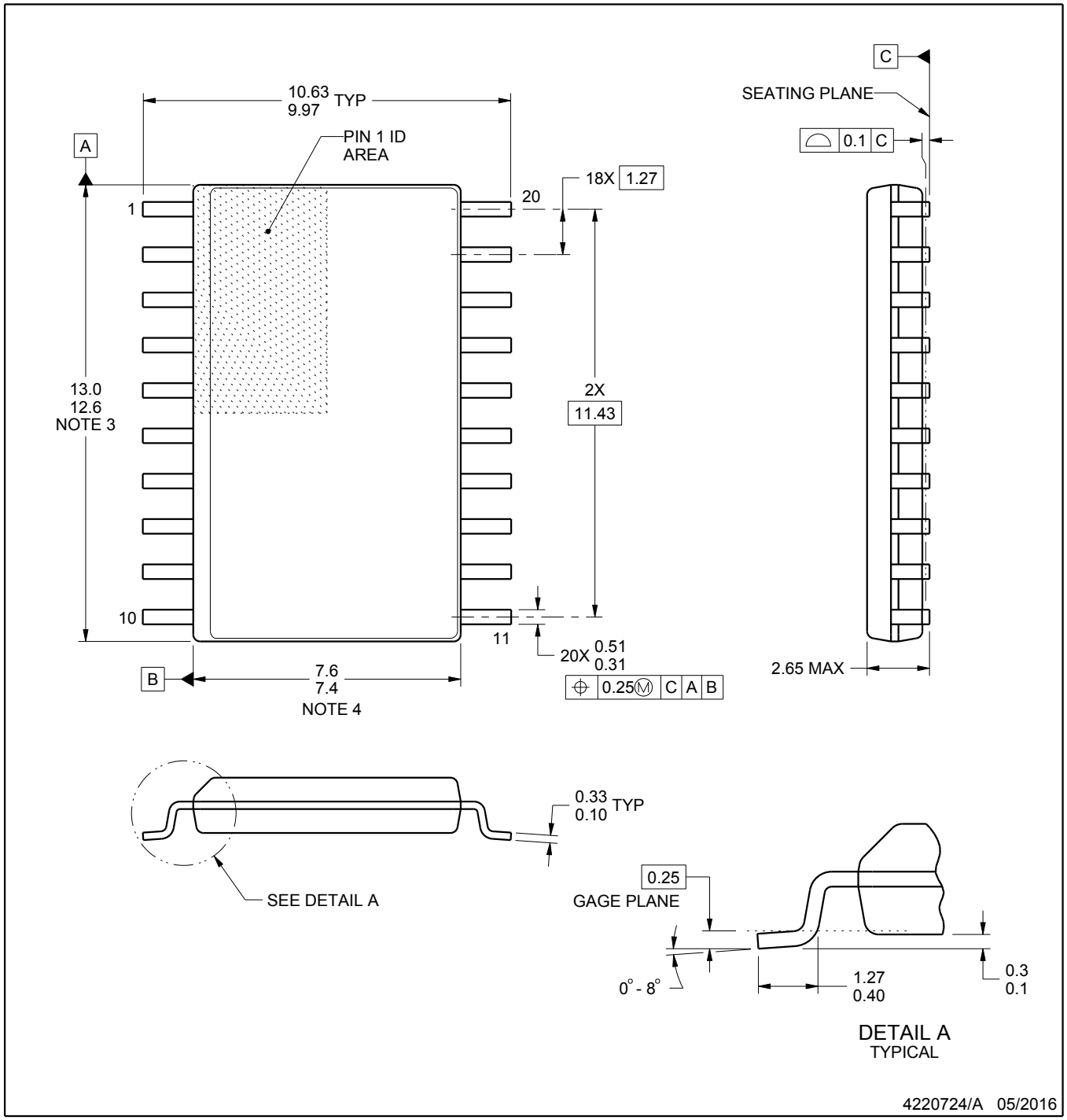


PACKAGE OUTLINE

DW0020A

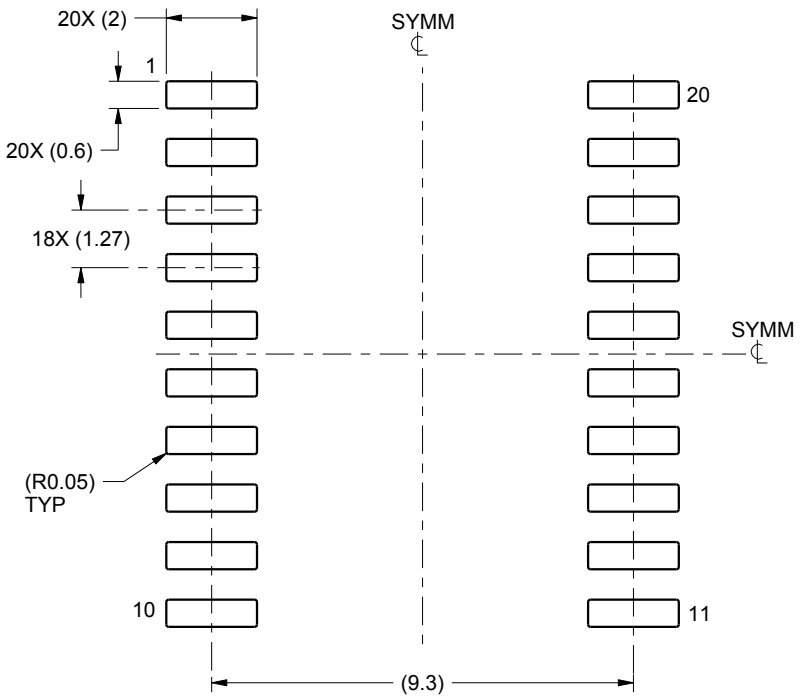
SOIC - 2.65 mm max height

SOIC

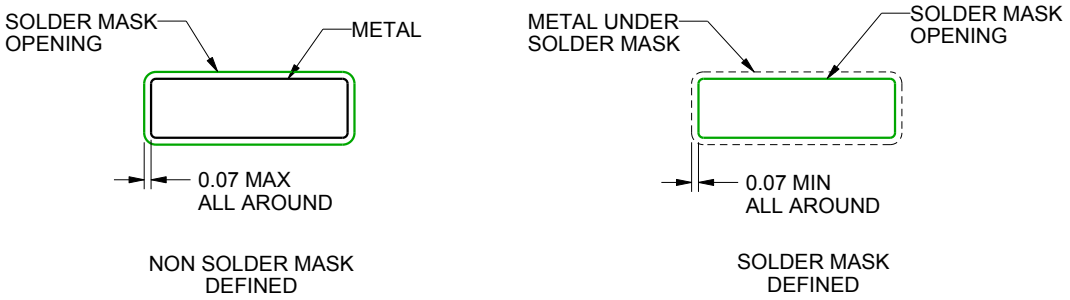


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

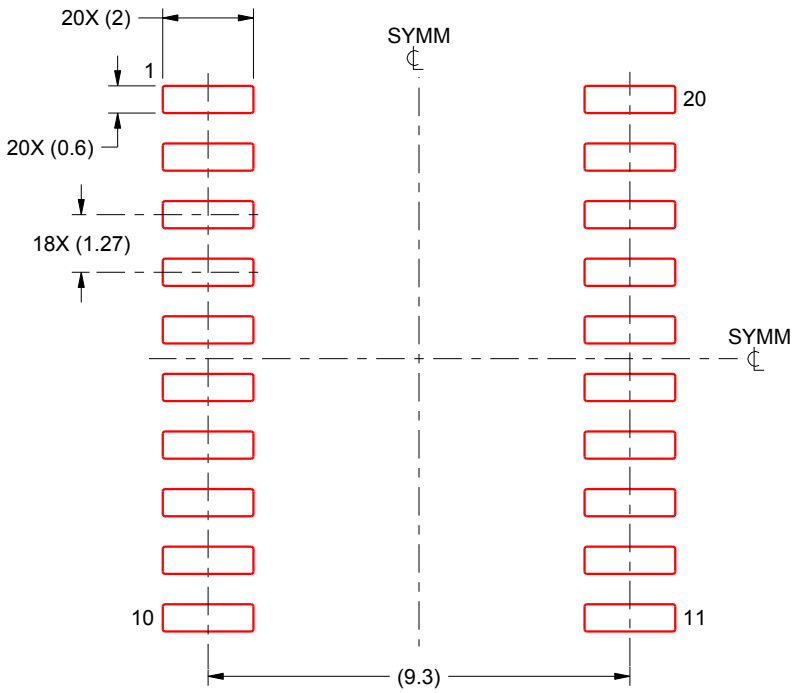


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



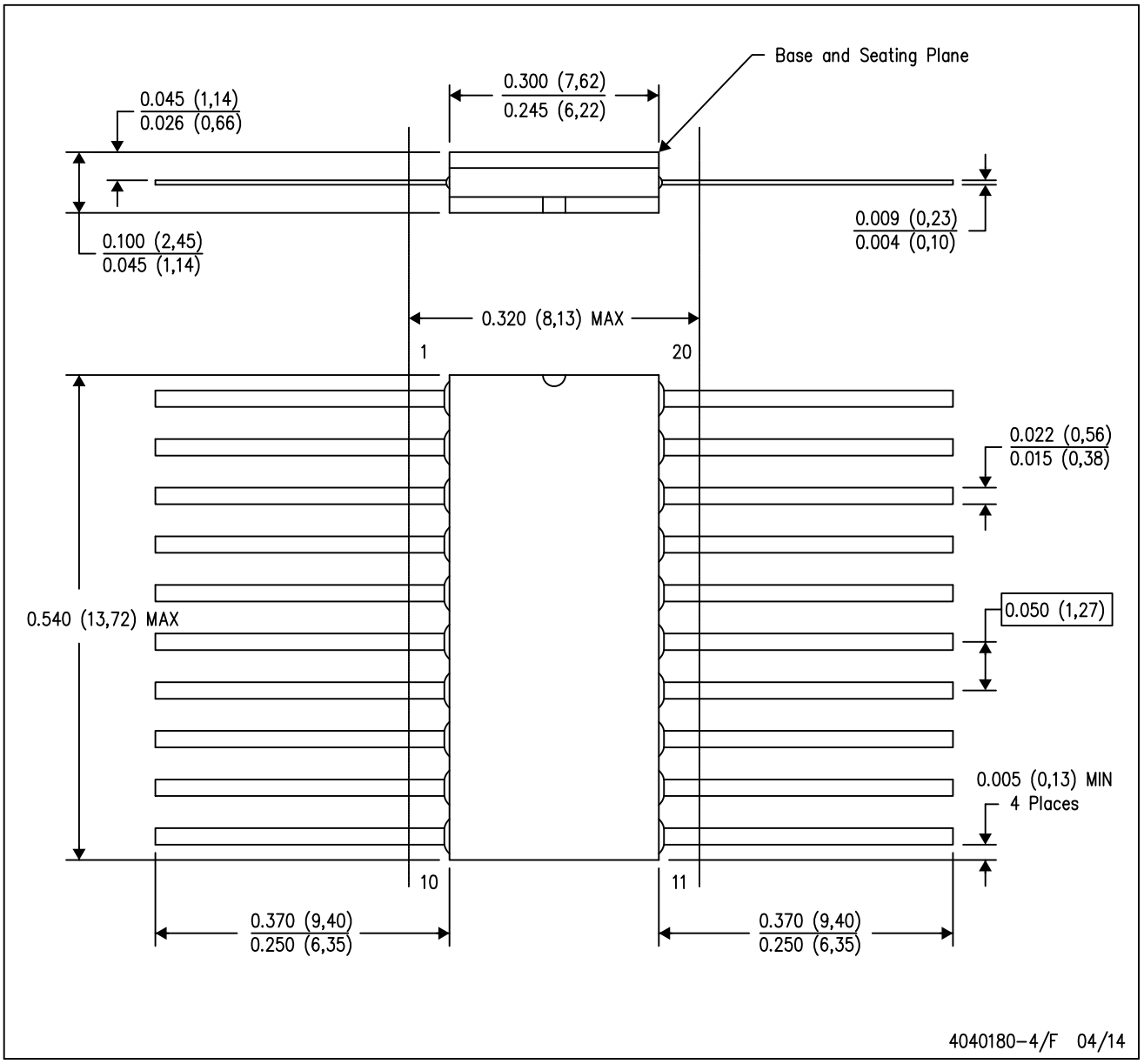
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



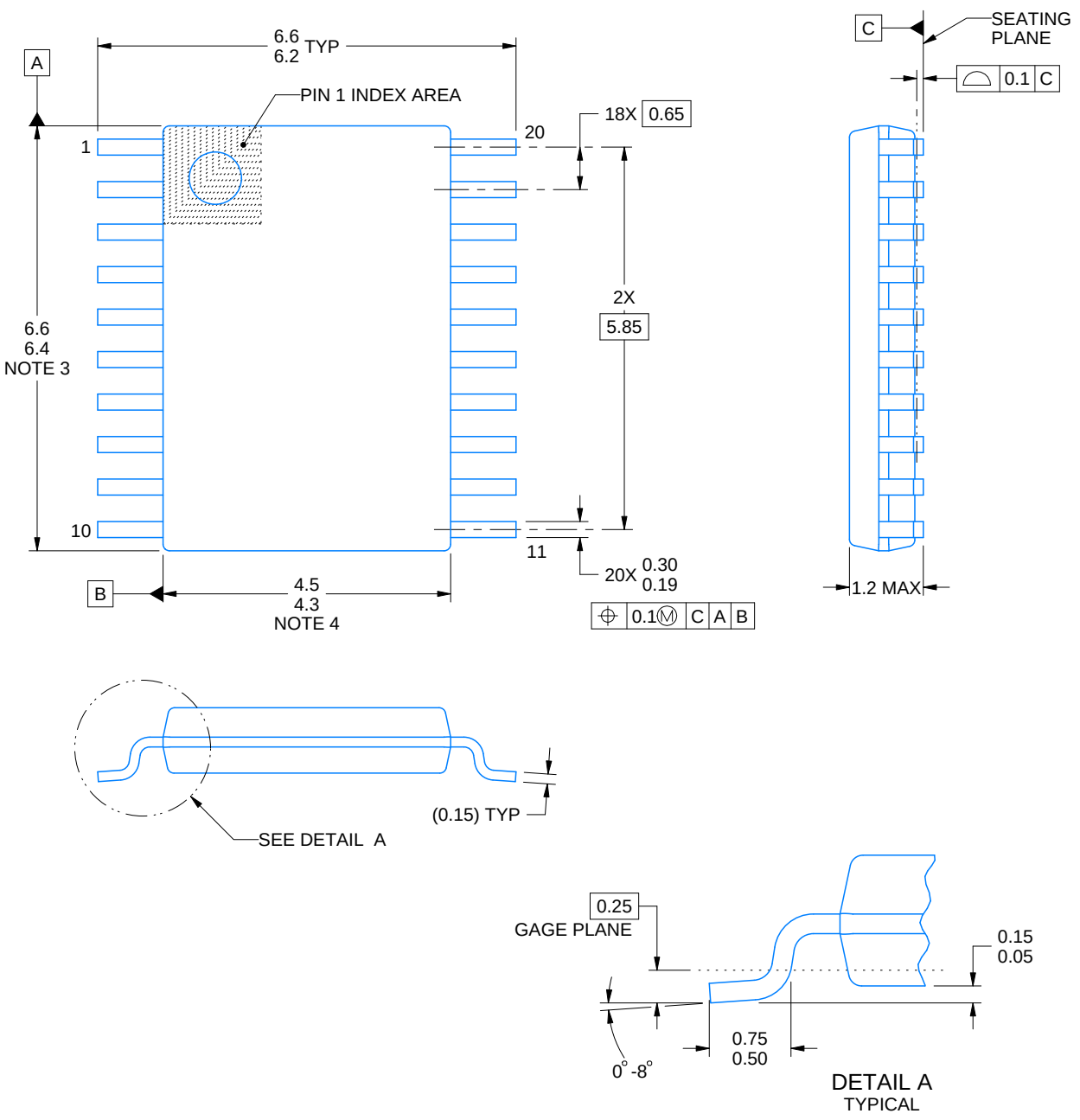
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

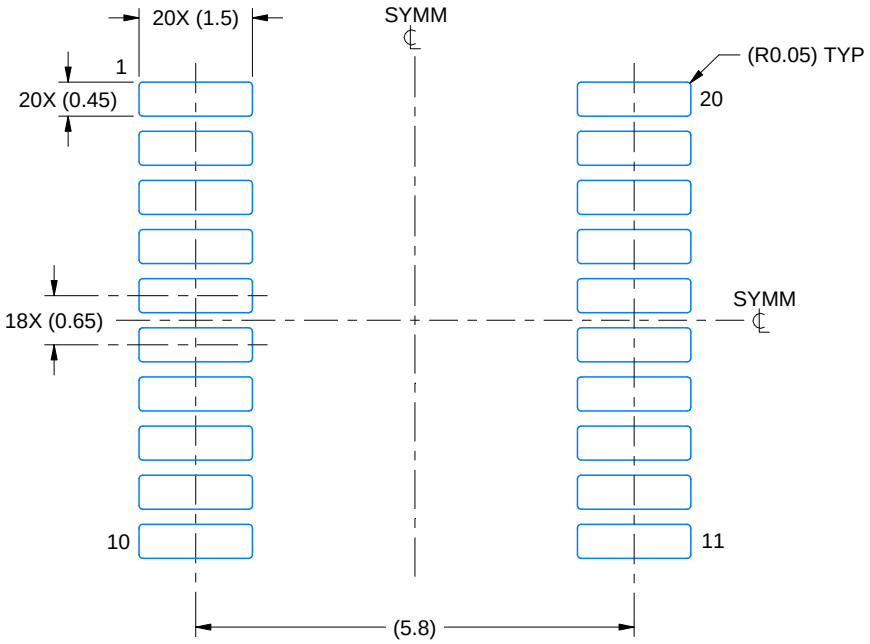
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

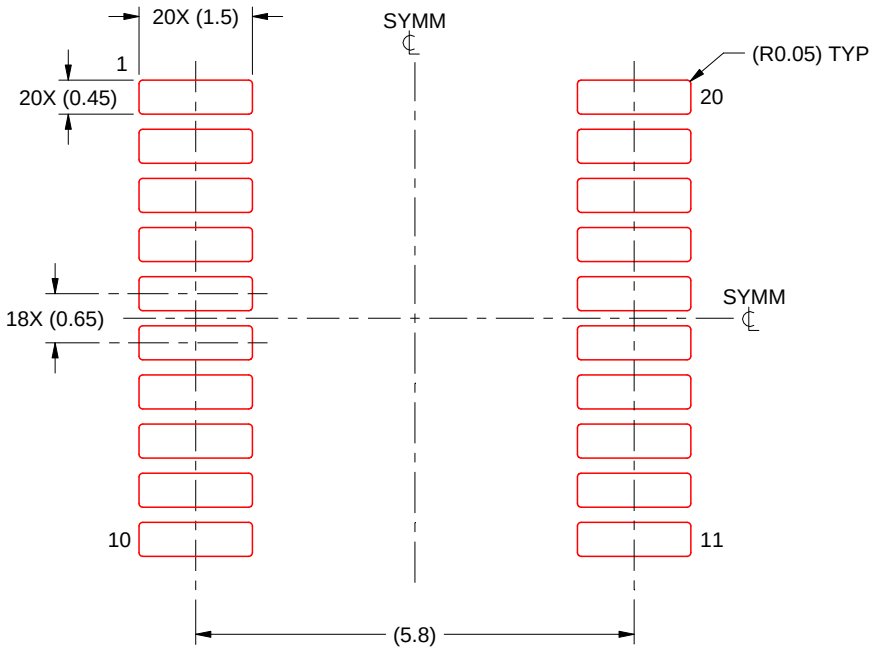


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月