SNx4HC393 デュアル 4 ビット バイナリ カウンタ

1 特長

- 広い動作電圧範囲:2V～6V
- 出力は最大 10 個の LSTTL 負荷を駆動可能
- 低消費電力:I_{CC} = 80µA (最大値)
- t_{pd} = 13ns (標準値)
- 5V で ±4mA の出力駆動能力
- 低い入力電流:1µA 以下
- 個別のクロックを備えたデュアル 4 ビット バイナリ カウンタ
- 4 ビット カウンタごとにダイレクト クリア
- カウンタ パッケージ数を 50% 削減することで、システム密度を大幅に向上できます

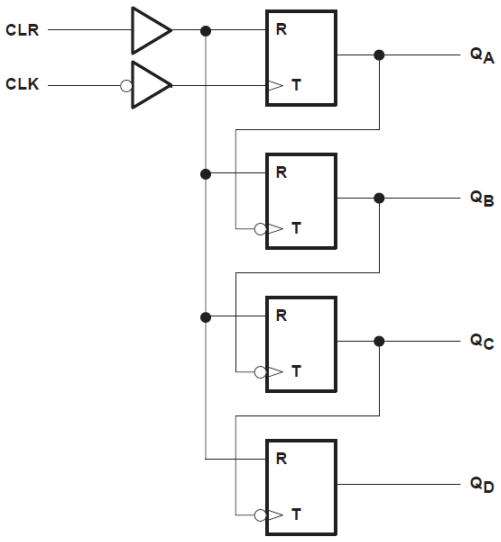
2 概要

HC393 デバイスには 8 つのフリップ フロップと追加のゲート処理機能が搭載されており、2 つの独立した 4 ビット カウンタを 1 つのパッケージに実装しています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SNx4HC393	D (SOIC、14)	8.65 mm × 6mm	8.65 mm × 3.9mm
	N (PDIP、14)	19.3mm × 9.4 mm	19.3mm × 6.35 mm
	NS (SOP、14)	10.3 mm × 7.8mm	10.3 mm × 5.3mm
	DB (SSOP、14)	6.2 mm × 7.8mm	6.2 mm × 5.3mm
	PW (TSSOP、14)	5 mm × 6.4mm	5 mm × 4.4mm
	DYY (SOT-23、14)	4.2 mm × 3.26mm	4.2 mm × 2mm
	J (CDIP、14)	19.55 mm × 7.9mm	19.55 mm × 6.7mm
	W (CFP、14)	9.21 mm × 9mm	9.21 mm × 6.28mm
	FK (LCCC、14)	8.9 mm × 8.9mm	8.9 mm × 8.9mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



各カウンタの論理図 (正論理)

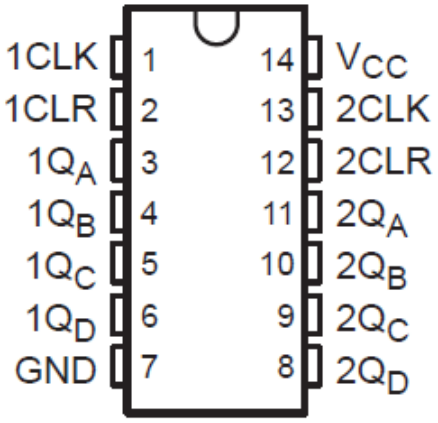
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

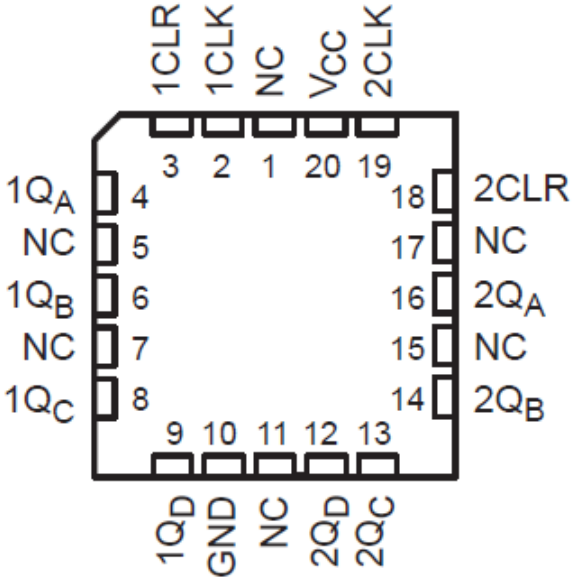
1 特長 ... 1
2 概要 ... 1
3 ピン構成および機能 ... 3
4 仕様 ... 4
4.1 絶対最大定格 ... 4
4.2 推奨動作条件 ... 4
4.3 熱に関する情報 ... 4
4.4 電気的特性 ... 5
4.5 タイミング要件 ... 5
4.6 スイッチング特性 ... 6
4.7 動作特性 ... 6
5 パラメータ測定情報 ... 7
6 詳細説明 ... 8
6.1 概要 ... 8
6.2 機能ブロック図 ... 8
6.3 デバイスの機能モード ... 9
7 アプリケーションと実装 ... 10
7.1 電源に関する推奨事項 ... 10
7.2 レイアウト ... 10
8 デバイスおよびドキュメントのサポート ... 12
8.1 ドキュメントのサポート ... 12
8.2 ドキュメントの更新通知を受け取る方法 ... 12
8.3 サポート・リソース ... 12
8.4 商標 ... 12
8.5 静電気放電に関する注意事項 ... 12
8.6 用語集 ... 12
9 改訂履歴 ... 12
10 メカニカル、パッケージ、および注文情報 ... 12

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能



SN54HC393 J または W パッケージ、14 ピン CDIP または CFP。
SN74HC393 D、DB、DYY、N、NS、または PW パッケージ。14 ピン SOIC、SSOP、SOT-23、TVSOP、SOP、または TSSOP
(上面図)



A. NC - 内部接続なし

SN54HC393 FK パッケージ、20 ピン LCCC
(上面図)

表 3-1. ピンの機能

ピン		種類 1	説明
名称	番号		
1CLK	1	I	カウンタ 1 クロック入力
1CLR	2	I	カウンタ 1 クリア入力
$1Q_A$	3	O	カウンタ 1A 出力
$1Q_B$	4	O	カウンタ 1B 出力
$1Q_C$	5	O	カウンタ 1B 出力
$1Q_D$	6	O	カウンタ 1B 出力
GND	7	G	グランド
$2Q_D$	8	O	カウンタ 2D 出力
$2Q_C$	9	O	カウンタ 2C 出力
$2Q_B$	10	O	カウンタ 2B 出力
$2Q_A$	11	O	カウンタ 2A 出力
2CLR	12	I	カウンタ 2 クリア入力
2CLK	13	I	カウンタ 2 クロック入力
V_{CC}	14	P	V_{CC}

1. I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
I_{IK}	入力クランプ電流(2)	V_I < 0V または V_I > V_{CC}		±20	mA
I_{OK}	出力クランプ電流(2)	V_O < 0V または V_O > V_{CC}		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN54HC393			SN74HC393			単位
			最小値	公称値	最大値	最小値	公称値	最大値	
V_{CC}	電源電圧		2	5	6	2	5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5			1.5			V
		V_{CC} = 4.5 V	3.15			3.15			
		V_{CC} = 6 V	4.2			4.2			
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V			0.5			0.5	V
		V_{CC} = 4.5 V			1.35			1.35	
		V_{CC} = 6 V			1.8			1.8	
V_I	入力電圧		0		V_{CC}	0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$(2)	入力遷移の立ち上がり / 立ち下がり時間	V_{CC} = 2 V			1000			1000	ns
		V_{CC} = 4.5 V			500			500	
		V_{CC} = 6 V			400			400	
T_A	自由空気での動作温度		-55		125	-40		85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。
(2) このデバイスをスレッショルド領域 (V_{ILmax} = 0.5V から V_{IHmin}m = 1.5V) で使用すると、誘導されたグランドにより誤った状態になる可能性があり、二重クロックが発生します。t_t = 1000ns および V_{CC} = 2V の入力で動作しても、デバイスの損傷はありません。ただし、シフト、カウント、トグルの各動作モードでの CLK 入力の機能は保証されません。

4.3 熱に関する情報

熱評価基準(1)		SN74HC393						単位
		D (SOIC)	DB (SSOP)	DYY (SOT-23)	N (PDIP)	NS (SO)	PW (TSSOP)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	86	96	124.1	80	76	113	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	T_A = 25℃			SN54HC393		SN74HC393		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	V_I = V_{IH} または V_{IL}	I_{OH} = –20μA	2 V	1.9	1.998		1.9		1.9		V
			4.5 V	4.4	4.499		4.4		4.4		
			6 V	5.9	5.999		5.9		5.9		
		I_{OH} = -4mA	4.5 V	3.98	4.3		3.7		3.84		
		I_{OH} = -5.2mA	6 V	5.48	5.8		5.2		5.34		
V_{OL}	V_I = V_{IH} または V_{IL}	I_{OL} = 20μA	2 V		0.002	0.1		0.1		0.1	V
			4.5 V		0.001	0.1		0.1		0.1	
			6		0.001	0.1		0.1		0.1	
		I_{OL} = 4mA	4.5 V		0.17	0.26		0.4		0.33	
		I_{OL} = 5.2mA	6 V		0.15	0.26		0.4		0.33	
I_I	V_I = V_{CC} または 0		6 V		±0.1	±100		±1000		±1000	nA
I_{CC}	V_I = V_{CC} または 0	I_O = 0	6 V			8		160		80	μA
C_i			2V～6V		3	10		10		10	pF

4.5 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ			V_{CC}	T_A = 25℃		SN54HC393		SN74HC393		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数		2 V		6		4.2		5	MHz
			4.5 V		31		21		25	
			6 V		36		25		28	
t_w	パルス幅	CLK が High または Low	2 V	80		120		100		ns
			4.5 V	16		24		20		
			6 V	14		20		18		
		CLR が High	2 V	80		120		100		
			4.5 V	16		24		20		
			6 V	14		20		18		
t_{su}	セットアップ時間、CLR が非アクティブ		2 V	25		25		25		ns
			4.5 V	5		5		5		
			6 V	5		5		5		

4.6 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り) (図 5-1)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			SN54HC393		SN74HC393		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
f_{max}	CLK	Q_A	2 V	6	10		4.2		5		MHz
			4.5 V	31	50		21		25		
			6 V	36	60		25		28		
t_{pd}	CLK	Q_A	2 V		50	120		180		150	ns
			4.5 V		15	24		36		30	
			6 V		13	20		31		26	
		Q_B	2 V		72	190		285		240	
			4.5 V		22	38		57		47	
			6 V		18	32		48		40	
		Q_C	2 V		91	240		360		300	
			4.5 V		28	48		72		60	
			6 V		22	41		61		51	
		Q_D	2 V		100	290		430		360	
			4.5 V		32	58		87		72	
			6 V		24	50		74		62	
t_{PHL}	CLR	任意	2 V		45	165		250		205	
			4.5 V		17	33		49		41	
			6 V		14	28		42		35	
t_t		任意	2 V		28	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		6	13		19		16	

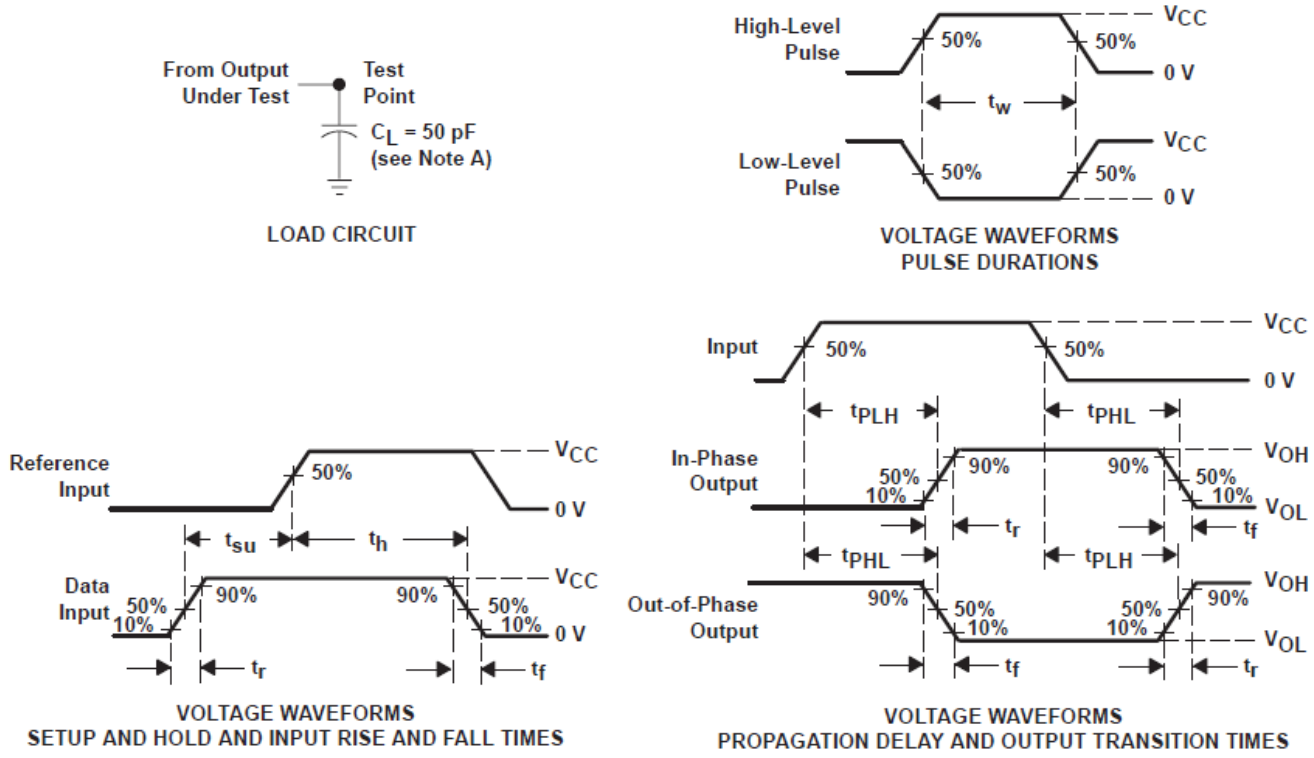
4.7 動作特性

T_A = 25℃

パラメータ		テスト条件	標準値	単位
C_{PD}	電力散逸容量	無負荷	40	pF

Copyright © 2025 Texas Instruments Incorporated

5 パラメータ測定情報



A. C_L にはプローブとテスト装置の容量が含まれます。

B. 波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r = 6ns、t_f = 6ns。

C. クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

E. t_{PLH} と t_{PHL} は t_{pd} と同じです。

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

HC393 デバイスには 8 つのフリップ フロップと追加のゲート処理機能が搭載されており、2 つの独立した 4 ビット カウンタを 1 つのパッケージに実装しています。これらのデバイスは 2 つの独立した 4 ビット バイナリ カウンタで構成され、それぞれにクリア (CLR) 入力とクロック (CLK) 入力があります。N ビットのバイナリ カウンタを各パッケージに実装できるため、256 分周が設定可能です。HC393 デバイスは各カウンタ ステージからのパラレル出力を備えているため、入力カウント周波数の整数分の 1 をシステムのタイミング信号に使用できます。

6.2 機能ブロック図

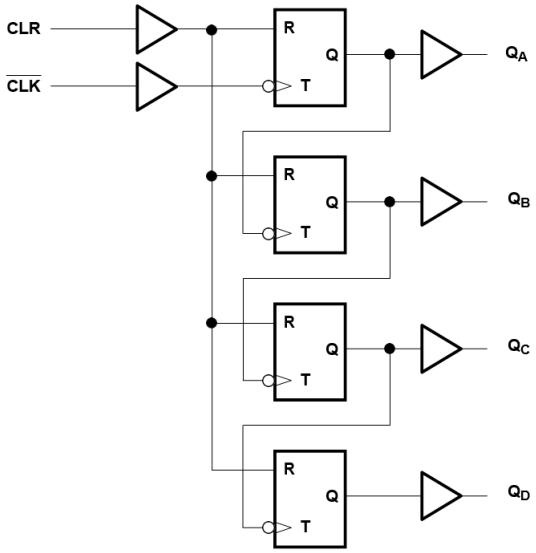


図 6-1. 各カウンタの論理図 (正論理)

Copyright © 2025 Texas Instruments Incorporated

6.3 デバイスの機能モード

表 6-1. 機能テーブル カウント シーケンス
(各バッファ)

数	出力			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

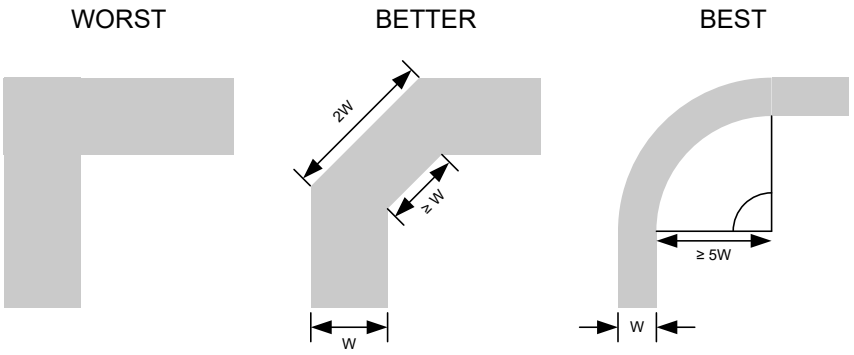


図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2025 Texas Instruments Incorporated

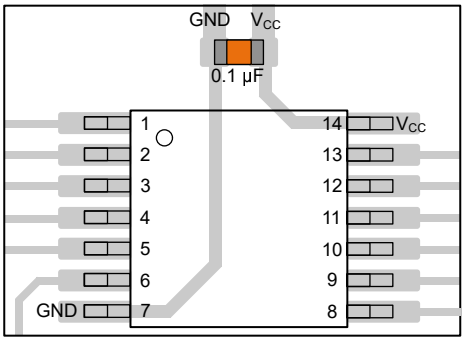


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

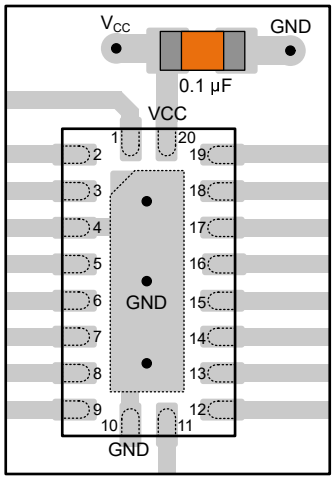


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

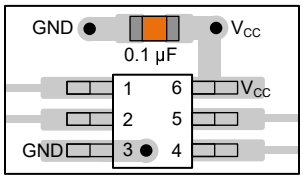


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

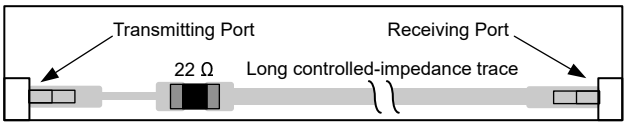


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (July 2003) to Revision E (December 2024)	Page
• 製品情報の表、ピンの機能の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1
• 「製品情報」表、「ピン機能および構成」セクション、および「熱に関する情報」表に DYY パッケージを追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
84100012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84100012A SNJ54HC 393FK
8410001CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001CA SNJ54HC393J
8410001DA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001DA SNJ54HC393W
JM38510/66309BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 66309BCA
JM38510/66309BCA.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 66309BCA
M38510/66309BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 66309BCA
SN54HC393J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC393J
SN54HC393J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC393J
SN74HC393D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC393
SN74HC393DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393DT	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC393
SN74HC393N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC393N
SN74HC393N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC393N
SN74HC393NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC393
SN74HC393PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393PWR1G4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC393
SN74HC393PWT	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC393

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HCS393DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS393
SN74HCS393DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS393
SNJ54HC393FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84100012A SNJ54HC 393FK
SNJ54HC393FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84100012A SNJ54HC 393FK
SNJ54HC393J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001CA SNJ54HC393J
SNJ54HC393J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001CA SNJ54HC393J
SNJ54HC393W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001DA SNJ54HC393W
SNJ54HC393W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8410001DA SNJ54HC393W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC393, SN74HC393 :

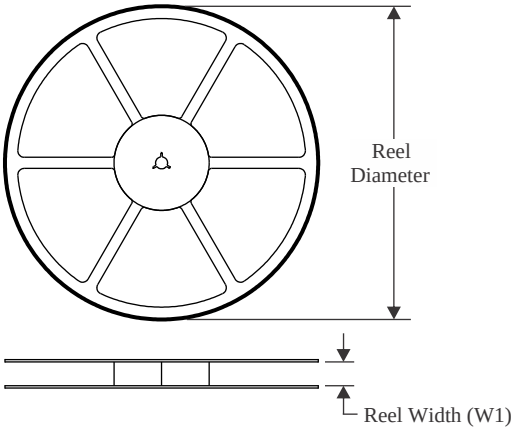
- Catalog : SN74HC393
- Military : SN54HC393

NOTE: Qualified Version Definitions:

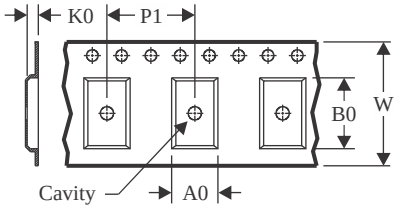
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

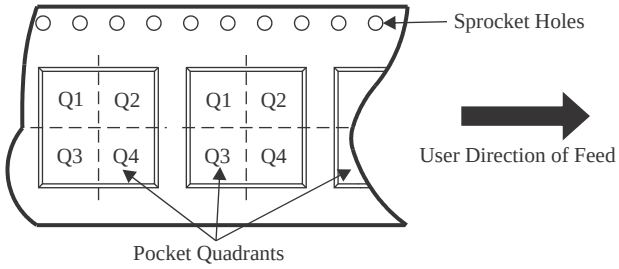


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

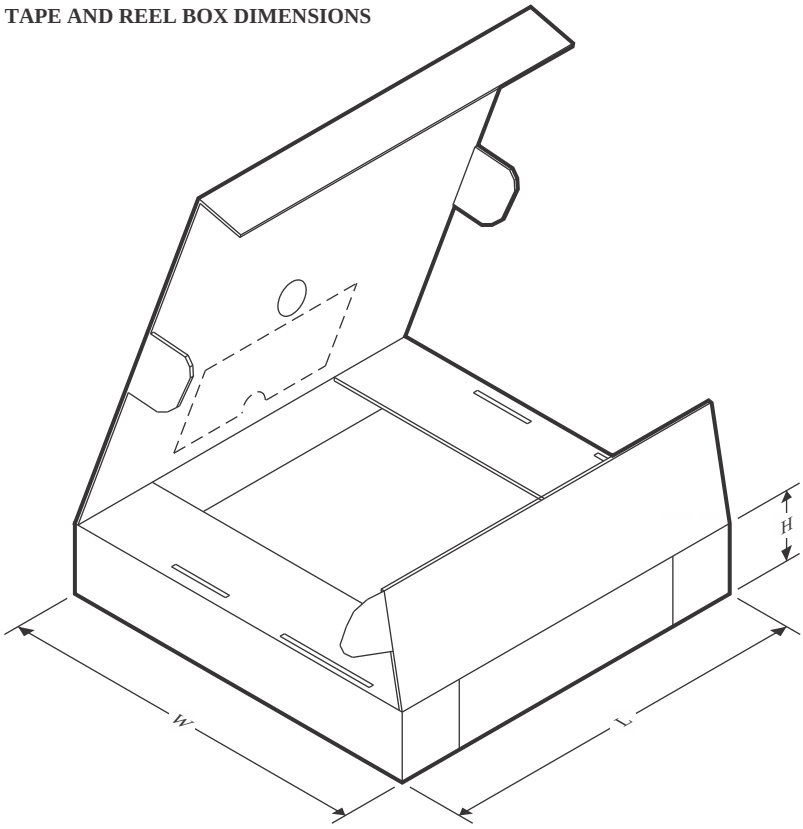
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC393DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC393DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC393NSR	SOP	NS	14	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN74HC393NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74HC393PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC393PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC393PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC393PWR1G4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCS393DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

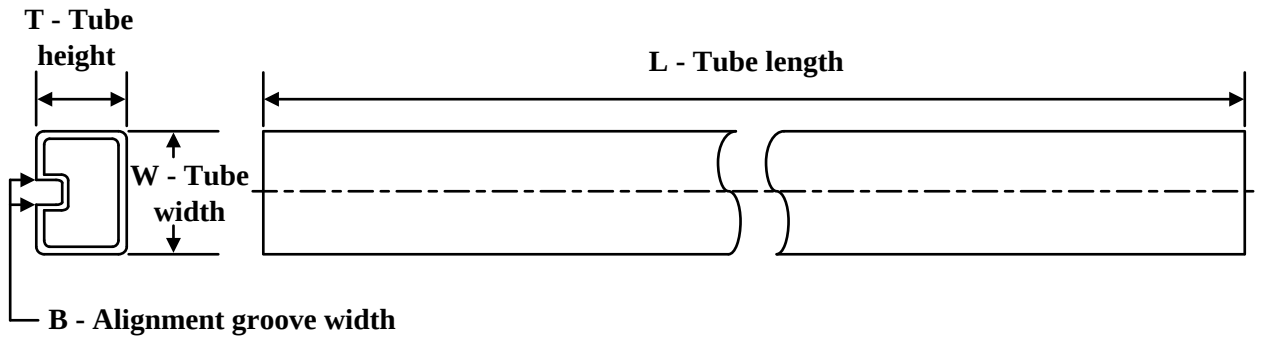
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC393DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74HC393DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74HC393NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74HC393NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74HC393PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HC393PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74HC393PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HC393PWR1G4	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74HCS393DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

TUBE



*All dimensions are nominal

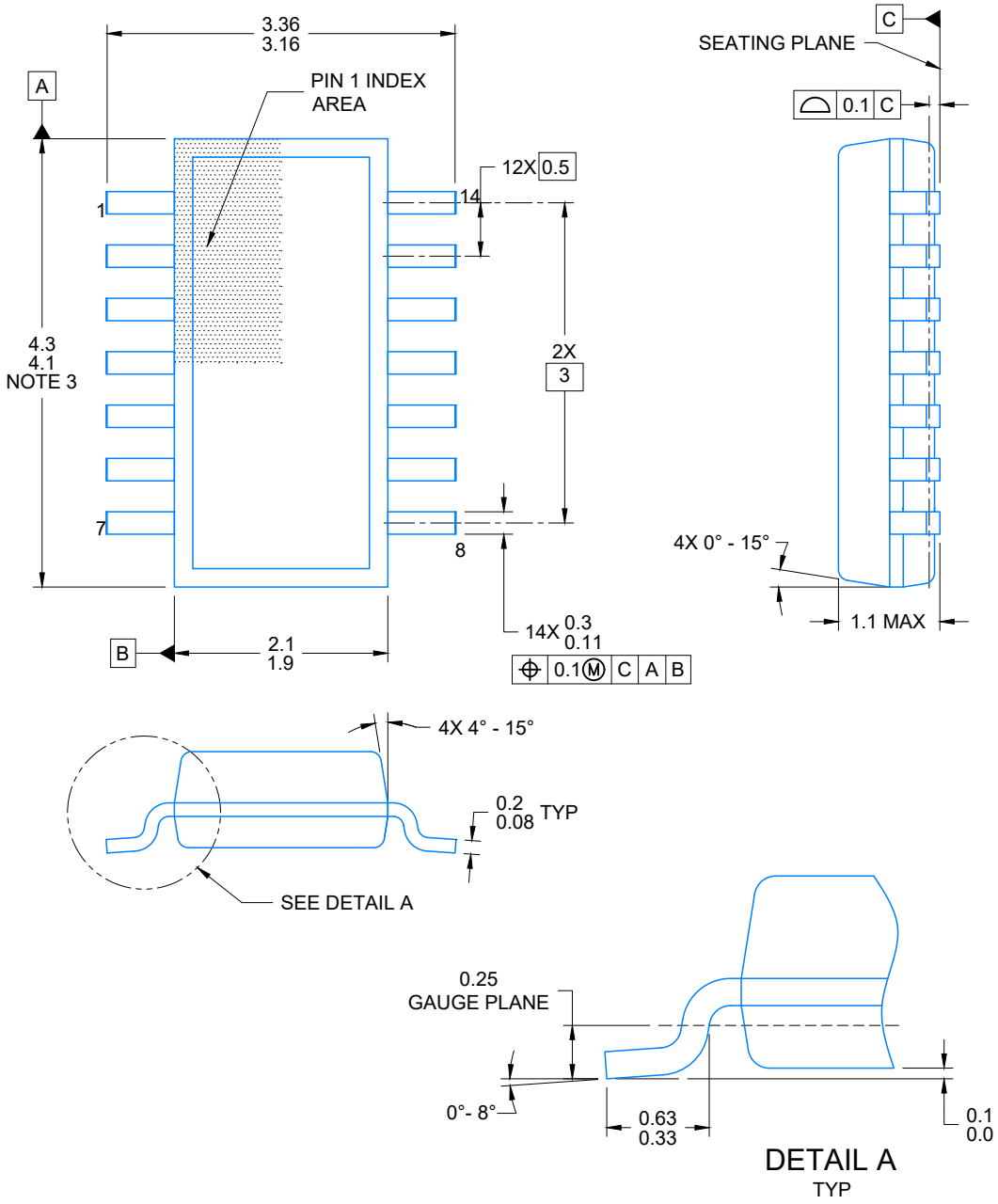
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
84100012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8410001DA	W	CFP	14	25	506.98	26.16	6220	NA
SN74HC393N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC393N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC393N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC393N.A	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54HC393FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC393FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC393W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54HC393W.A	W	CFP	14	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DYY0014A

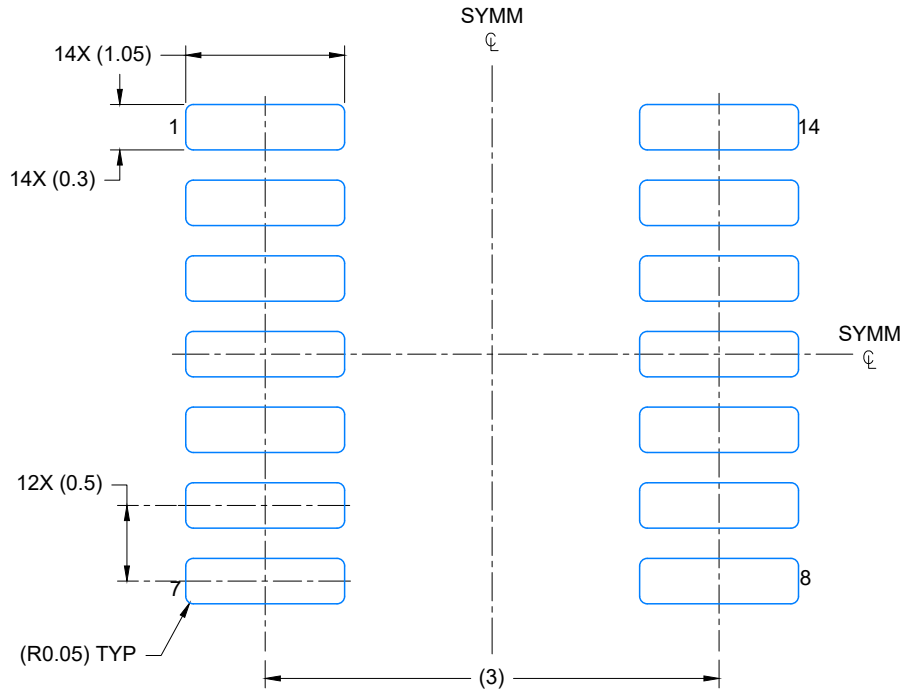
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

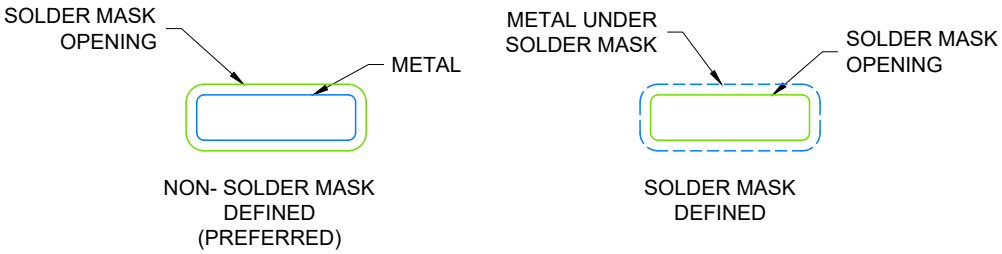


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

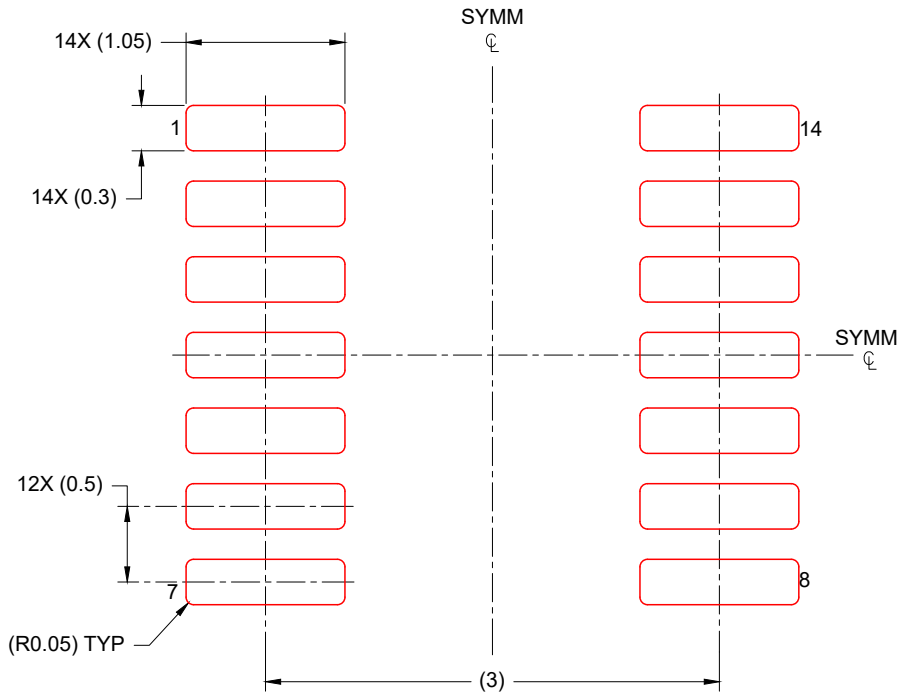


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

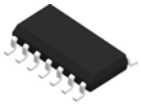


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

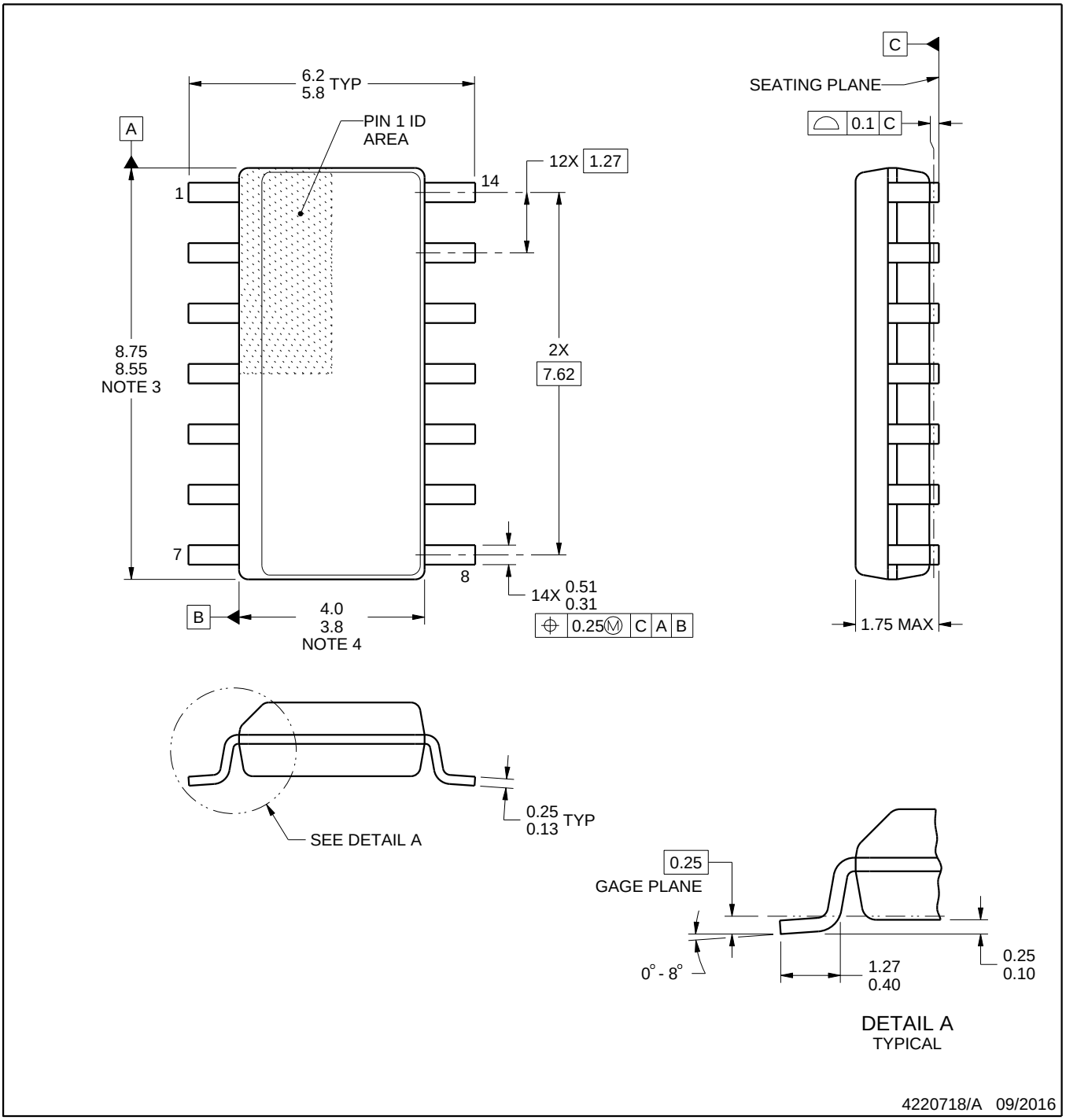


PACKAGE OUTLINE

D0014A

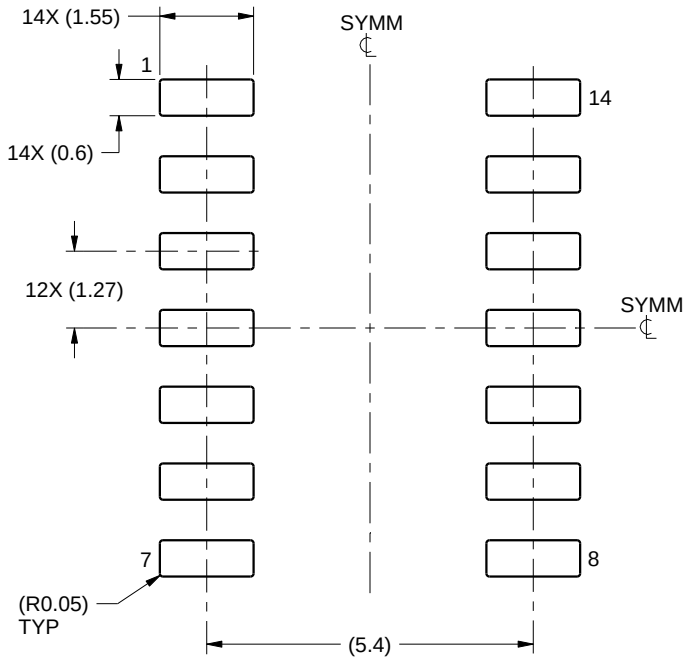
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

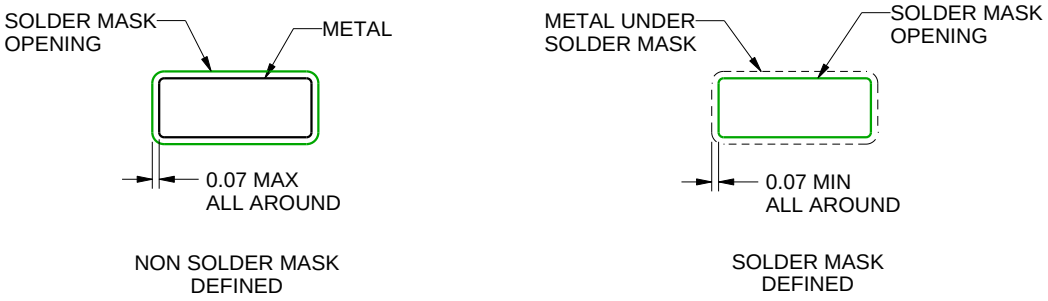


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

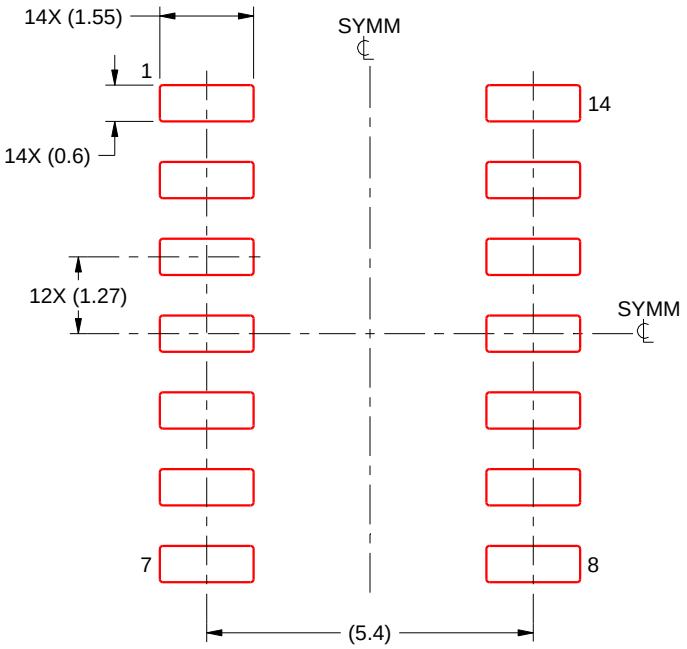
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

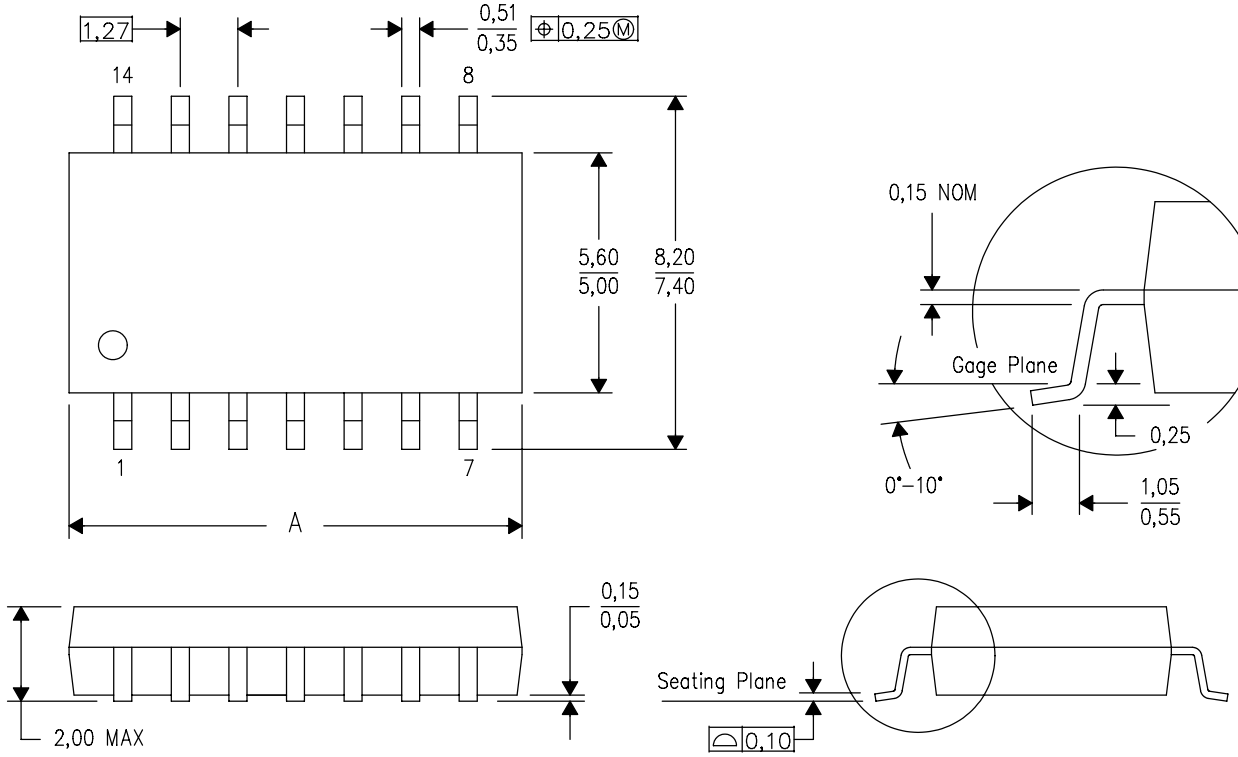
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

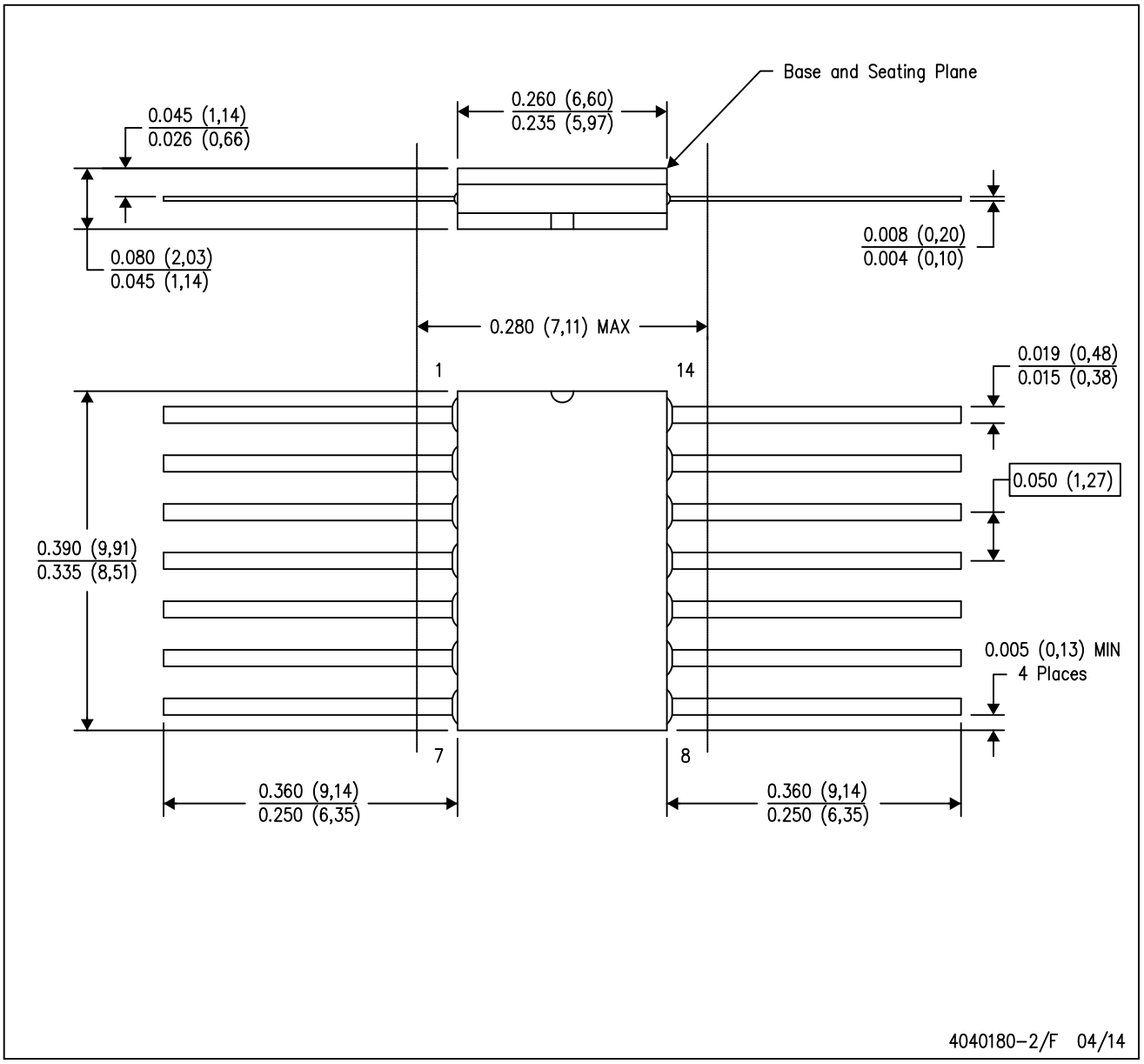


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



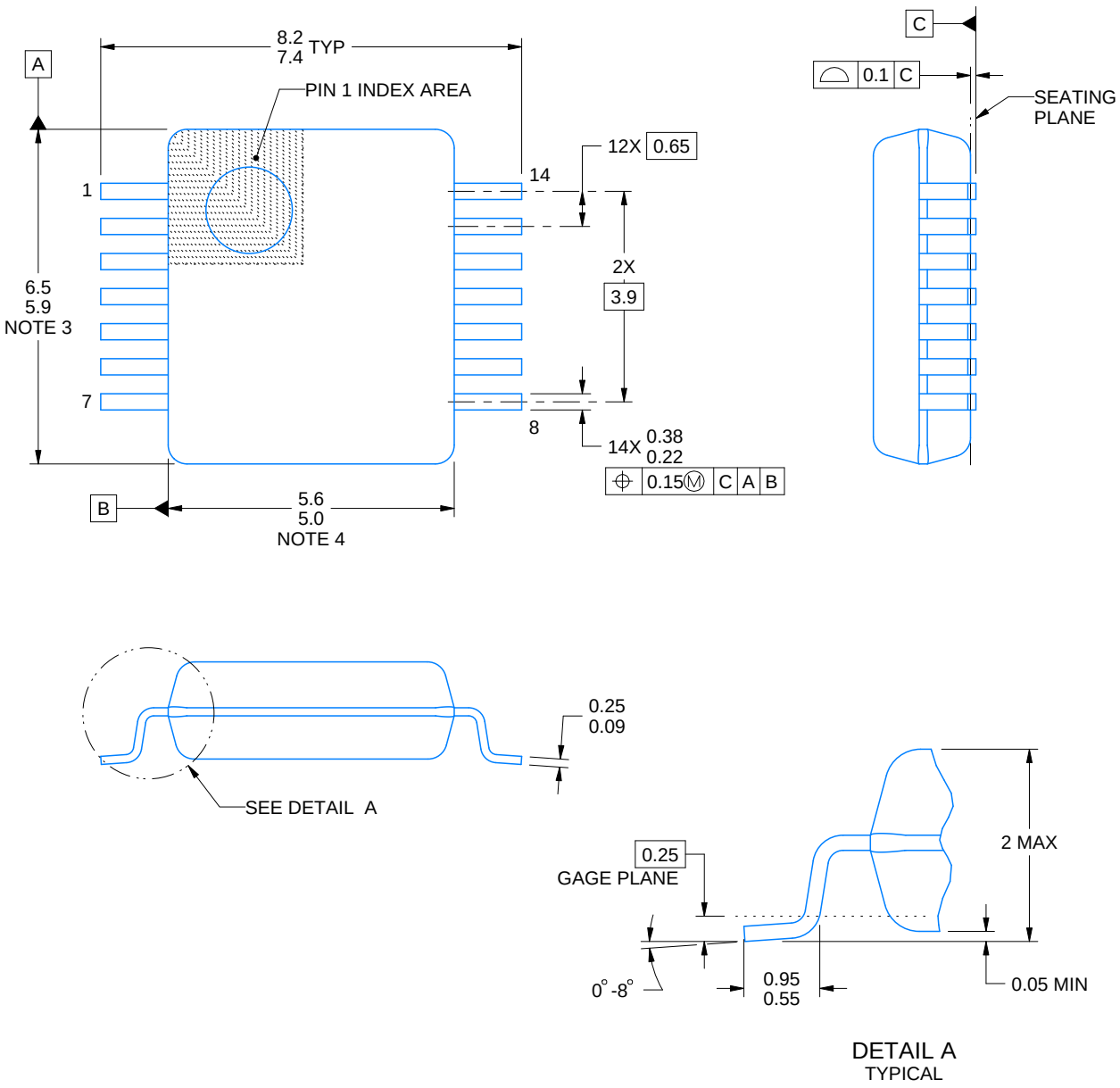
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

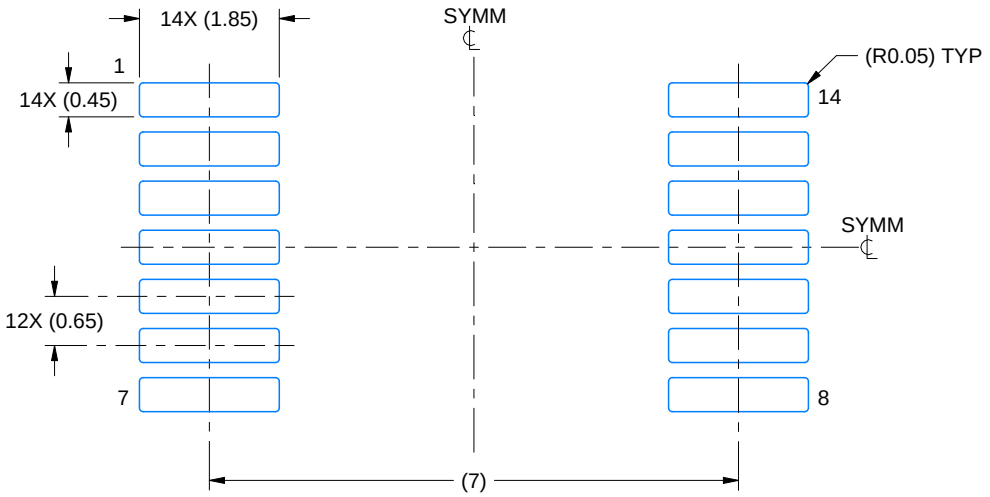
SMALL OUTLINE PACKAGE



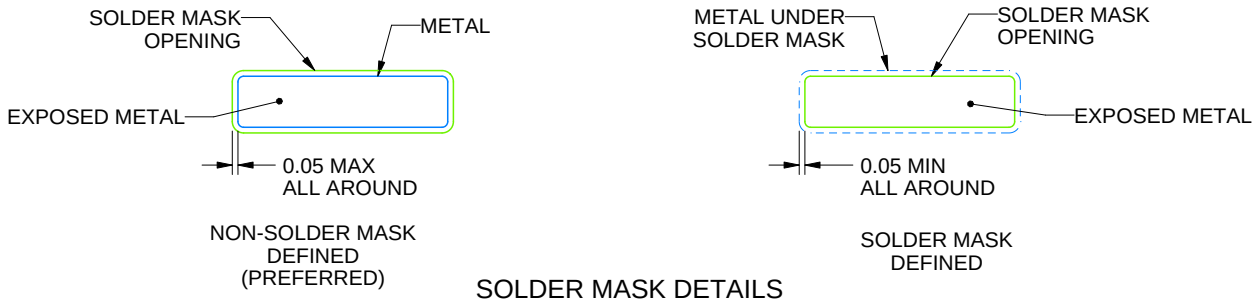
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

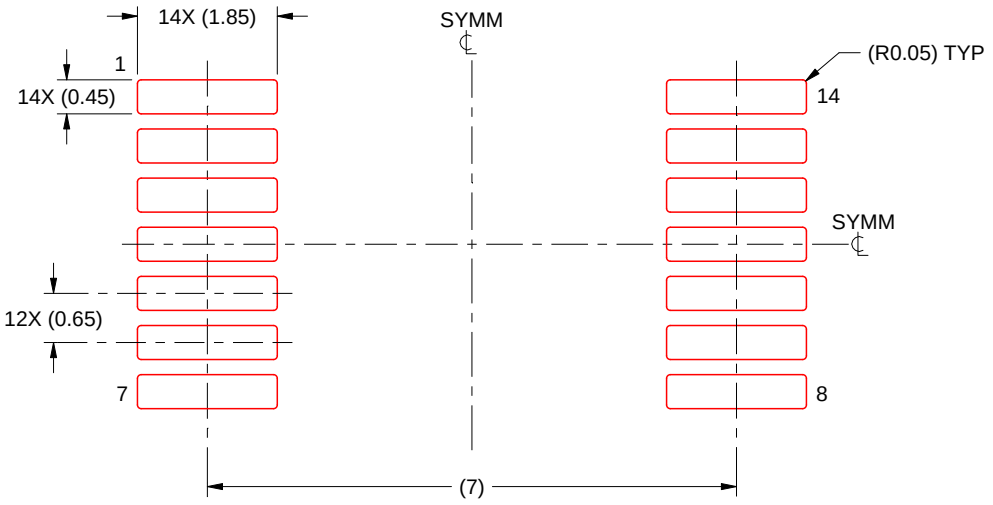


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

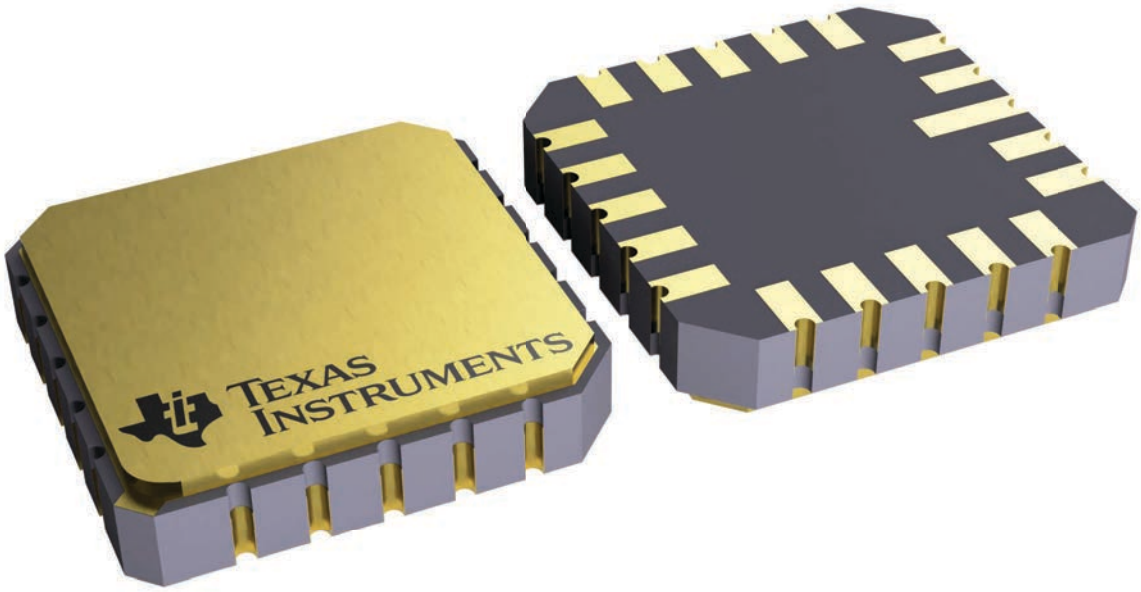
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

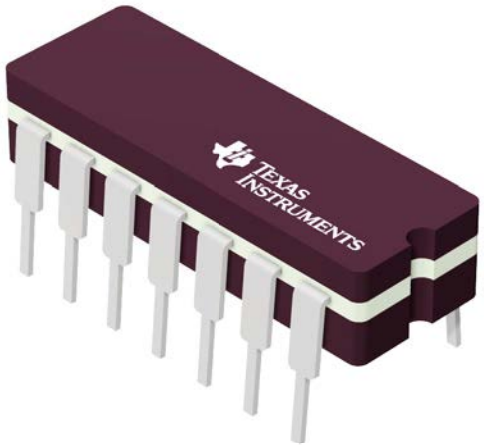


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

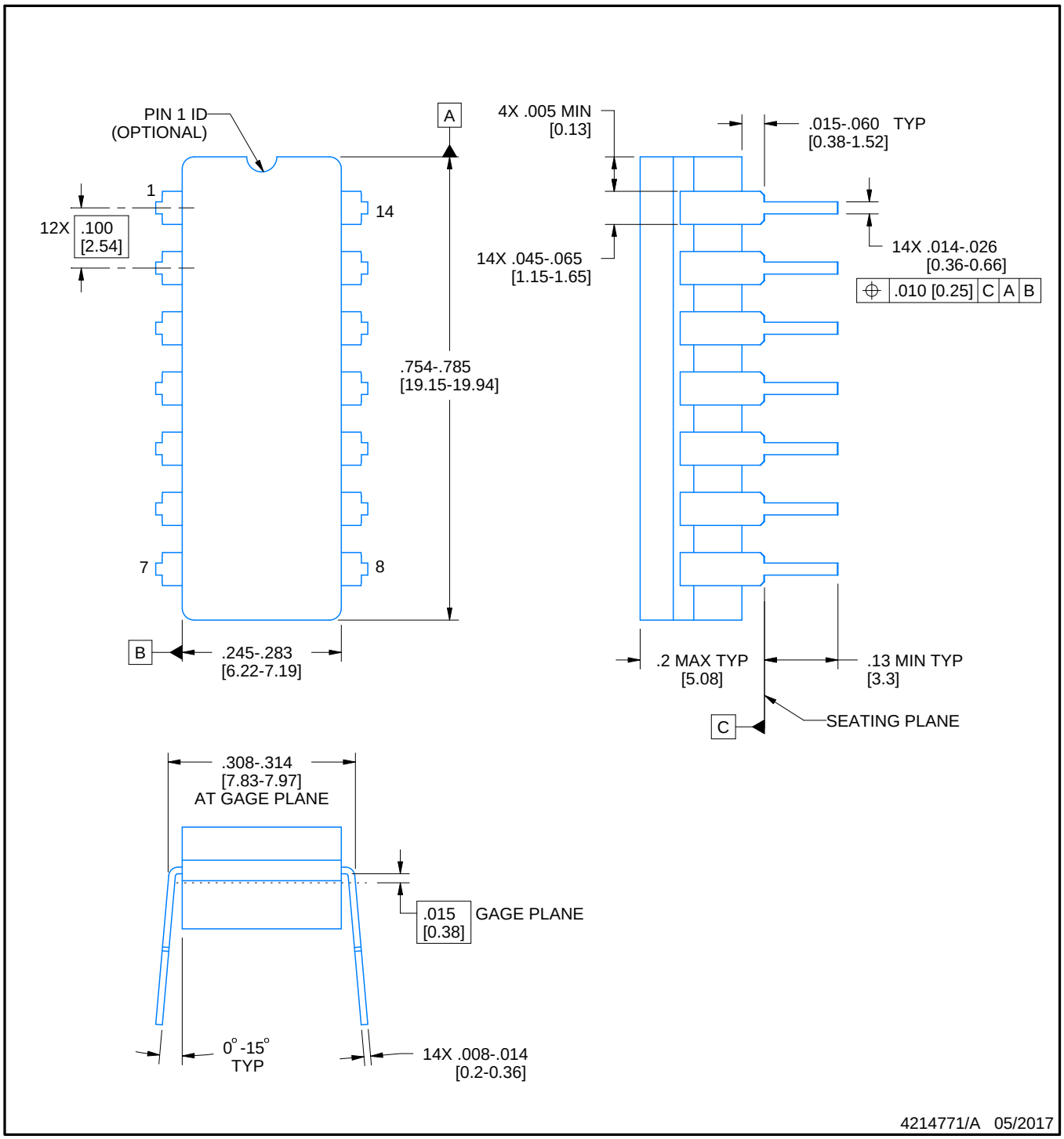


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

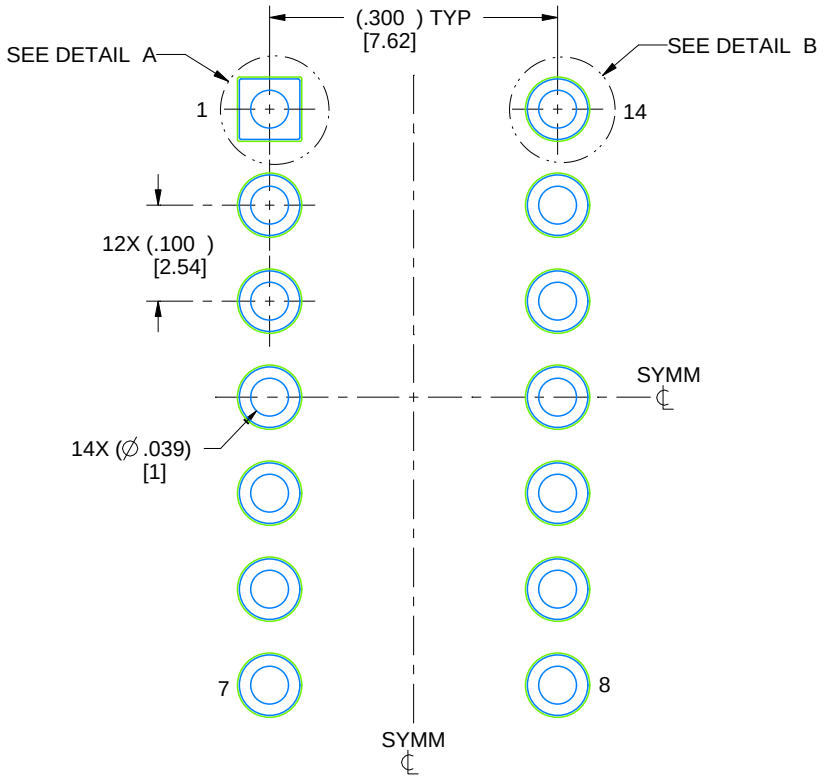
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

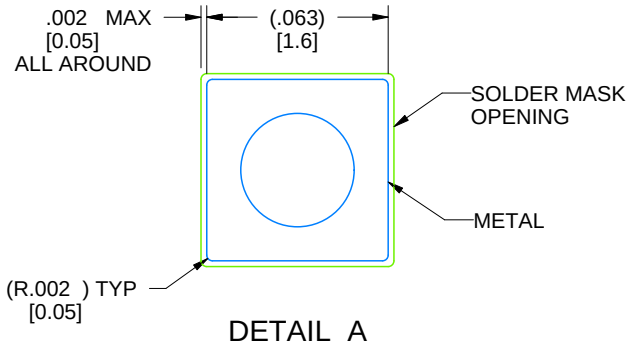
J0014A

CDIP - 5.08 mm max height

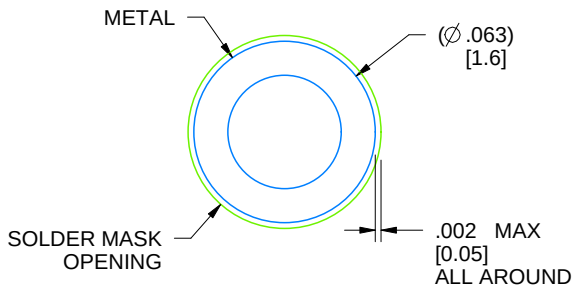
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



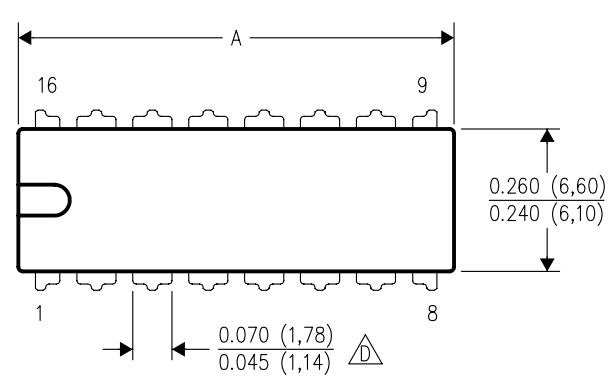
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

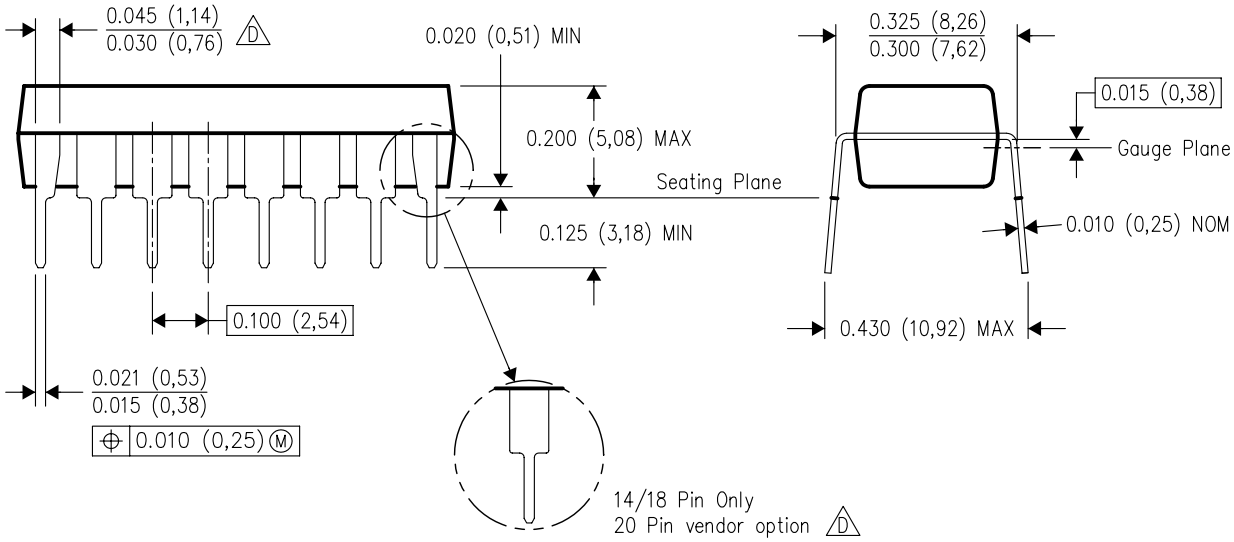
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

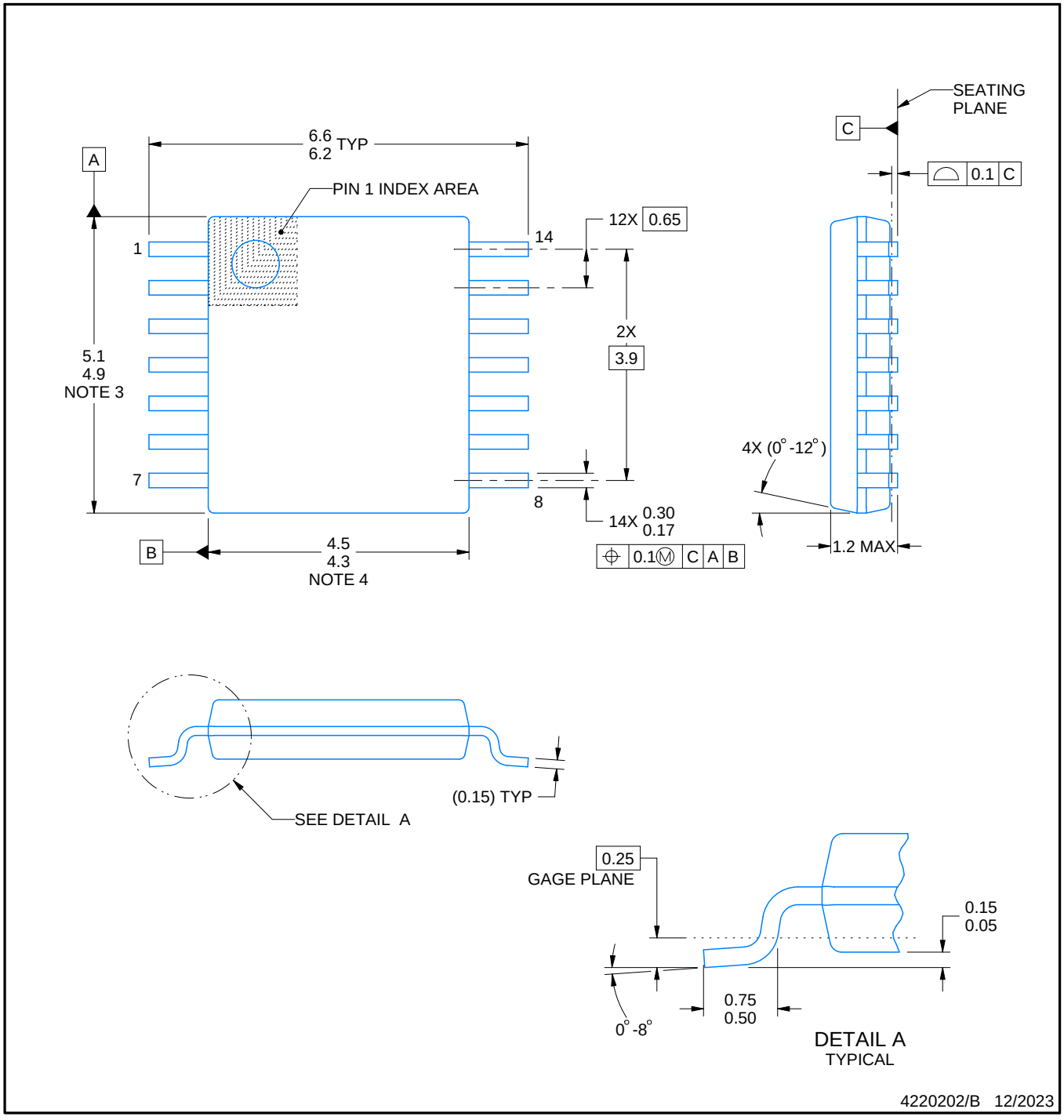
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

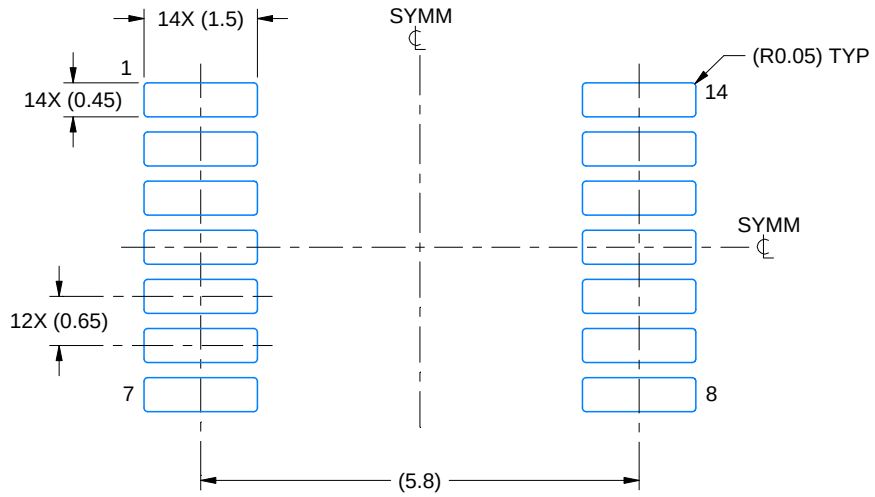
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

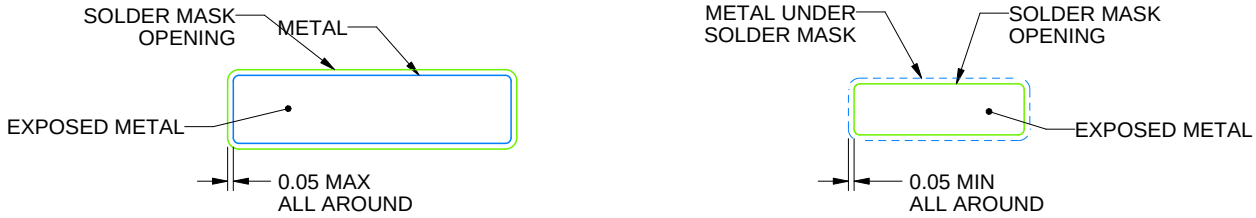


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

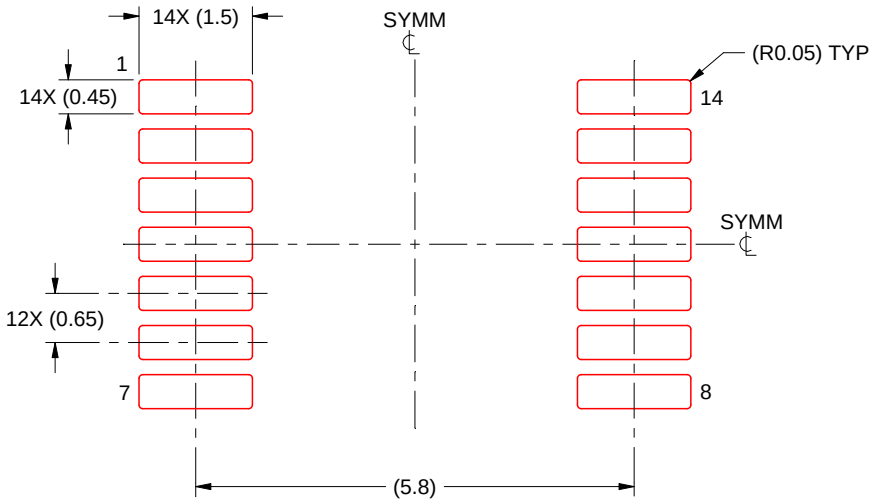


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月