# SN74HC4852 デュアル 4:1 チャネル アナログ マルチプレクサ / デマルチプレクサ、インジェクション電流効果制御付

## 1 特長

- インジェクション電流クロス カップリング <1mV/mA (図 8-1 を参照)
- スイッチ間の低いクロストーク
- SN74HC4052、SN74LV4052A、および CD4052B とピン互換
- 2V～5.5V の $V_{CC}$ で動作
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

## 2 アプリケーション

- アナログ信号スイッチング/多重化:
  - 信号ゲーティング、変調器、スケルチ制御、復調器、チョッパー、整流スイッチ
- デジタル信号スイッチング/多重化:
  - オーディオおよびビデオ信号のルーティング
- 伝送ゲート ロジックの実装
- A/D 変換および D/A 変換
- 周波数、インピーダンス、位相、アナログ信号ゲインのデジタル制御
- モーターの速度制御
- バッテリ チャージャ
- DC/DC コンバータ

## 3 概要

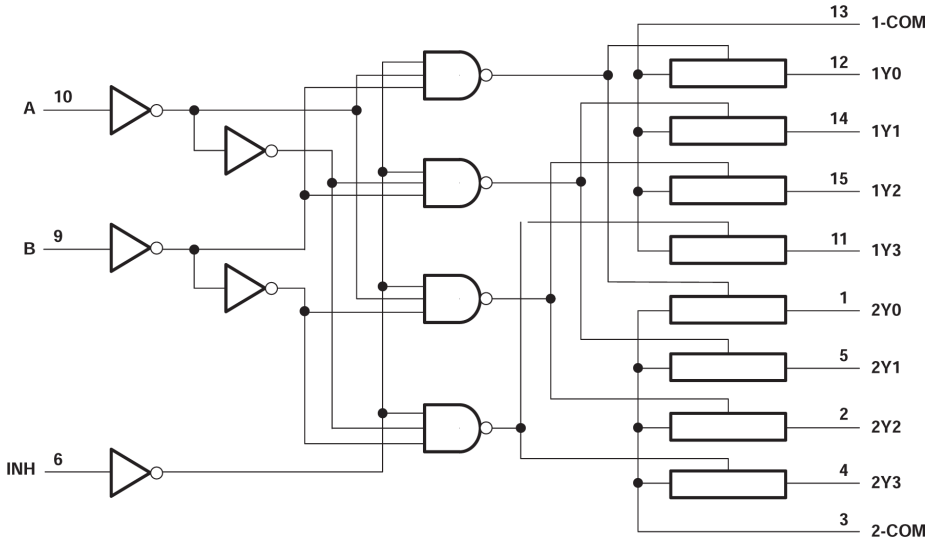
このデュアル 4:1 チャネル アナログ マルチプレクサ / デマルチプレクサは、4052 の機能とピン互換であり、インジェクション電流効果制御も備えています。この機能は、通常の電源電圧を超える電圧が一般的な車載アプリケーションで優れた価値を発揮します。

インジェクション電流効果制御により、ディスエーブルされたアナログ入力の信号が電源電圧を上回っても、イネーブルされたアナログ チャネルの信号に影響を与えません。これにより、アナログ チャネル信号を電源電圧範囲内に維持するために通常使用される外付けのダイオード / 抵抗ネットワークが不要になります。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| SN74HC4852 | PW (TSSOP、16) | 5mm × 6.4mm |

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



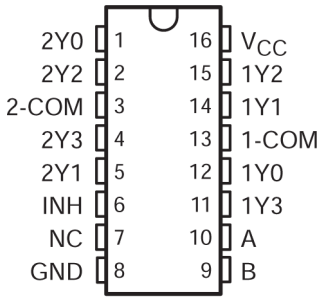

**機能図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# Table of Contents

**1 特長** ..... 1
**2 アプリケーション** ..... 1
**3 概要** ..... 1
**4 Pin Configuration and Functions** ..... 2
**5 Specifications** ..... 3
5.1 Absolute Maximum Ratings ..... 3
5.2 ESD Ratings ..... 3
5.3 Thermal Information: SN74HC485x ..... 3
5.4 Recommended Operating Conditions ..... 4
5.5 Electrical Characteristics ..... 5
5.6 Timing Characteristics ..... 6
5.7 Injection Current Coupling ..... 6
**6 Parameter Measurement Information** ..... 7
**7 Detailed Description** ..... 11
7.1 Functional Block Diagram ..... 11
**8 Application and Implementation** ..... 12
8.1 Application Information ..... 12
**9 Device and Documentation Support** ..... 14
9.1 ドキュメントの更新通知を受け取る方法 ..... 14
9.2 サポート・リソース ..... 14
9.3 Trademarks ..... 14
9.4 静電気放電に関する注意事項 ..... 14
9.5 用語集 ..... 14
**10 Revision History** ..... 14
**11 Mechanical, Packaging, and Orderable Information** ..... 14

## 4 Pin Configuration and Functions




NC – No internal connection

**図 4-1. PW Package, 16-Pin TSSOP (Top View)**

**表 4-1. Function Table**

| INPUTS | | | ON CHANNEL |
|---|---|---|---|
| INH | B | A | |
| L | L | L | 1Y0, 2Y0 |
| L | L | H | 1Y1, 2Y1 |
| L | H | L | 1Y2, 2Y2 |
| L | H | H | 1Y3, 2Y3 |
| H | X | X | None |


Copyright © 2024 Texas Instruments Incorporated

# 5 Specifications

## 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1) (2)

| | | MIN | MAX | UNIT |
|---|---|---|---|---|
| $V_{CC}$ | Supply voltage | –0.5 | 6 | V |
| $V_{SEL}$ or $V_{EN}$ | Logic control input pin voltage ($\overline{EN}$, A0, A1, A2) | –0.5 | $V_{CC}$+0.5V | V |
| $V_S$ or $V_D$ | Source or drain voltage (Sx, D) | –0.5 | $V_{CC}$+0.5V | V |
| $I_{IK}$ | Input clamp current ($V_I$ < 0 or $V_I$ > $V_{CC}$) | –20 | 20 | mA |
| $I_{IOK}$ | I/O diode current ($V_{IO}$ < 0 or $V_{IO}$ > $V_{CC}$) | –20 | 20 | mA |
| $I_T$ | Switch through current ($V_{IO}$ = 0 to $V_{CC}$) | –25 | 25 | mA |
| $I_{GND}$ | Continuous current through $V_{CC}$ or GND | –50 | 50 | mA |
| $T_{stg}$ | Storage temperature | –65 | 150 | °C |
| $T_J$ | Junction temperature | | 150 | |

(1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. Absolute maximum ratings do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If briefly operating outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not sustain damage, but it may not be fully functional. Operating the device in this manner may affect device reliability, functionality, performance, and shorten the device lifetime.
(2) The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

## 5.2 ESD Ratings

| | | | | VALUE | UNIT |
|---|---|---|---|---|---|
| $V_{(ESD)}$ | Electrostatic discharge | Human body model (HBM), per AEC Q100-002(1) | All pins | ±2000 | V |
| | | Charged device model (CDM), per AEC Q100-011 | All pins | ±750 | |

(1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

## 5.3 Thermal Information: SN74HC485x

| THERMAL METRIC(1) | | SN74HC485x PW (TSSOP) PINS | UNIT |
|---|---|---|---|
| $R_{\theta JA}$ | Junction-to-ambient thermal resistance | 139.6 | °C/W |

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report.

Copyright © 2024 Texas Instruments Incorporated

## 5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

| | | | MIN | NOM | MAX | UNIT |
|---|---|---|---|---|---|---|
| $V_{CC}$ | Supply voltage | | 2 | | 5.5 | V |
| $V_{IH}$ | Input logic high | 2V | 1.5 | | | V |
| | | 2.5V | 2.1 | | | |
| | | 3.3V | 2.3 | | | |
| | | 4.5V | 3.15 | | | |
| | | 5.5V | 4.2 | | | |
| $V_{IL}$ | Input logic low | 2V | 0 | | 0.5 | V |
| | | 2.5V | 0 | | 0.7 | |
| | | 3.3V | 0 | | 0.8 | |
| | | 4.5V | 0 | | 0.95 | |
| | | 5.5V | 0 | | 1.05 | |
| $V_{SEL}$ or $V_{EN}$ | Logic control input pin voltage ($\overline{EN}$, A0, A1, A2) | | 0 | | $V_{CC}$ | V |
| $V_S$ or $V_D$ | Signal path input/output voltage (source or drain pin) (Sx, D) | | 0 | | $V_{CC}$ | V |
| Δt/Δv | Input transition rise or fall time | $V_{CC}$ = 2V | | | 1000 | ns |
| | | $V_{CC}$ = 3V | | | 800 | |
| | | $V_{CC}$ = 3.3V | | | 700 | |
| | | $V_{CC}$ = 4.5V | | | 500 | |
| | | $V_{CC}$ = 5.5V | | | 400 | |
| $T_A$ | Ambient temperature | | –40 | | 125 | °C |


Copyright © 2024 Texas Instruments Incorporated

## 5.5 Electrical Characteristics

At specified $V_{CC}$ ±10%
Typical values measured at nominal $V_{CC}$.

| PARAMETER | | TEST CONDITIONS | $V_{CC}$ | Operating free-air temperature ($T_A$) | | | | | | | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | 25°C | | | –40°C to 85°C | | | –40°C to 125°C | | | |
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| $R_{ON}$ | On-state switch resistance | $V_S$ = 0V to $V_{CC}$<br>$I_{SD}$ = 0.5mA | 2V | | 500 | 650 | | | 670 | | | 700 | Ω |
| | | | 3V | | 215 | 280 | | | 320 | | | 360 | |
| | | | 3.3V | | 210 | 270 | | | 305 | | | 345 | |
| | | | 4.5V | | 160 | 210 | | | 240 | | | 270 | |
| $\Delta_{RON}$ | On-state switch resistance matching between inputs | $V_S$ = $V_{CC}$ / 2<br>$I_{SD}$ = 0.5mA | 2V | | 4 | 18 | | | 22 | | | 24 | Ω |
| | | | 3V | | 2 | 12 | | | 14 | | | 16 | |
| | | | 3.3V | | 2 | 12 | | | 14 | | | 16 | |
| | | | 4.5V | | 2 | 8 | | | 12 | | | 16 | |
| $I_I$ | Control input current | $V_I$ = $V_{CC}$ or GND | 5V | | | ±0.1 | | | ±0.1 | | | ±1 | μA |
| $I_{S(OFF)}$ | Off-state switch leakage current (any one channel) | Switch Off<br>$V_{INH}$=$V_{IH}$<br>$V_D$ = $V_{CC}$ / GND<br>$V_S$ = GND / $V_{CC}$ | 5V | | | ±0.1 | | | ±0.5 | | | ±1 | μA |
| | Off-state switch leakage current (common channel) | | | | | ±0.2 | | | ±2 | | | ±4 | μA |
| $I_{S(ON)}$ | Channel on-state leakage current | Switch Off<br>$V_{INH}$=$V_{IL}$<br>$V_D$ = $V_{CC}$ / GND<br>$V_S$ = GND / $V_{CC}$ | 5V | | | ±0.1 | | | ±0.5 | | | ±1 | μA |
| $I_{DD}$ | $V_{CC}$ supply current | Logic inputs = 0V or $V_{CC}$ | 5V | | | 2 | | | 5 | | | 10 | μA |
| $C_{IC}$ | Control input capacitance | A, B, C, INH | | | 3.5 | 10 | | | 10 | | | 10 | pF |
| $C_{IS}$ | Common terminal capacitance | Switch off | | | 22 | 40 | | | 40 | | | 40 | pF |
| $C_{OS}$ | Switch terminal capacitance | Switch off | | | 6.7 | 15 | | | 15 | | | 15 | pF |
| $C_{PD}$ | Power Dissipation Capacitance | No Load<br>$t_r$ = $t_f$ = 1ns<br>f = 1MHz | 3.3V | | 32 | | | | | | | | pF |
| | | | 5V | | 37 | | | | | | | | |

## 5.6 Timing Characteristics

At specified $V_{CC}$ ±10%
Typical values measured at nominal $V_{CC}$.

| PARAMETER | | TEST CONDITIONS | $V_{CC}$ | Operating free-air temperature ($T_A$) | | | | | | | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | 25°C | | | –40°C to 85°C | | | –40°C to 125°C | | | |
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| SWITCHING CHARACTERISTICS(1) | | | | | | | | | | | | | |
| $t_{PD}$ | Propagation delay | $C_L$ = 50pF<br>Sx to D, D to Sx | 2V | 7 | 19.5 | 33 | 6 | | 34 | 6 | | 35 | ns |
| | | | 3V | 3.6 | 12 | 16.5 | 2.5 | | 18 | 2.5 | | 19.5 | |
| | | | 3.3V | 3.9 | 11 | 15 | 2.5 | | 16.5 | 2.5 | | 18.5 | |
| | | | 5V | 2.3 | 8.6 | 11.6 | 2.1 | | 12.5 | 2 | | 13.5 | |
| $t_{TRAN}$ | Transition-time between inputs | $R_L$ = 10kΩ, $C_L$ = 50pF<br>Ax to D, Ax to Sx | 2V | 19.6 | 44 | 94 | 15.4 | | 103 | 13.8 | | 103 | ns |
| | | | 3V | 12.4 | 30 | 63 | 9.3 | | 67 | 8.2 | | 67 | |
| | | | 3.3V | 11.4 | 23 | 51 | 8.5 | | 54 | 7.5 | | 54 | |
| | | | 5V | 9.3 | 18 | 43 | 6.5 | | 46 | 5.6 | | 46 | |
| $t_{ON(EN)}$ | Turnon-time from enable | $R_L$ = 10kΩ, $C_L$ = 50pF<br>EN to D, EN to Sx | 2V | 15 | 39 | 64 | 13.8 | | 75 | 12.5 | | 75 | ns |
| | | | 3V | 7.9 | 30 | 45 | 6.2 | | 50 | 5.5 | | 55 | |
| | | | 3.3V | 7 | 26.5 | 42.5 | 6.4 | | 47.5 | 5.4 | | 52.5 | |
| | | | 5V | 4 | 24 | 40 | 4.3 | | 45 | 3.4 | | 50 | |
| $t_{OFF(EN)}$ | Turnoff time from enable | $R_L$ = 10kΩ, $C_L$ = 50pF<br>EN to D, EN to Sx | 2V | 26 | 48.4 | 100 | 25 | | 105 | 25 | | 115 | ns |
| | | | 3V | 15 | 21 | 90 | 14 | | 100 | 14 | | 110 | |
| | | | 3.3V | 12 | 15 | 85 | 11 | | 95 | 11 | | 105 | |
| | | | 5V | 24.5 | 41.4 | 80 | 24.2 | | 90 | 24 | | 100 | |

(1) $t_{PLH}/t_{PHL}$= $t_{PD}$ propagation delay time, $t_{PZH}/t_{PZL}$= $t_{ON(EN)}$ enable delay time, $t_{PHZ}/t_{PLZ}$ = $t_{OFF(EN)}$ disable delay time, $t_{PLH}/t_{PHL}$ Channel select = $t_{TRAN}$

## 5.7 Injection Current Coupling

At specified $V_{CC}$ ±10%
Typical values measured at nominal $V_{CC}$ and $T_A$ = 25°C.

| PARAMETER | | $V_{CC}$ | TEST CONDITIONS | | -40°C to 125°C | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP | MAX | |
| INJECTION CURRENT COUPLING | | | | | | | | |
| $\Delta V_{OUT}$ | Maximum shift of output voltage of enabled analog input(1) | 3.3V | $R_S$ ≤ 3.9kΩ | $I_{INJ}$ ≤ 1mA | | 0.05 | 1 | mV |
| | | 5V | | | | 0.1 | 1 | |
| | | 3.3V | | $I_{INJ}$ ≤ 10mA | | 0.345 | 5 | |
| | | 5V | | | | 0.067 | 5 | |
| | | 3.3V | $R_S$ ≤ 20kΩ | $I_{INJ}$ ≤ 1mA | | 0.05 | 2 | |
| | | 5V | | | | 0.11 | 2 | |
| | | 3.3V | | $I_{INJ}$ ≤ 10mA | | 0.05 | 20 | |
| | | 5V | | | | 0.024 | 20 | |

(1) $I_{INJ}$ = total current injected into all disabled channels


Copyright © 2024 Texas Instruments Incorporated

# 6 Parameter Measurement Information

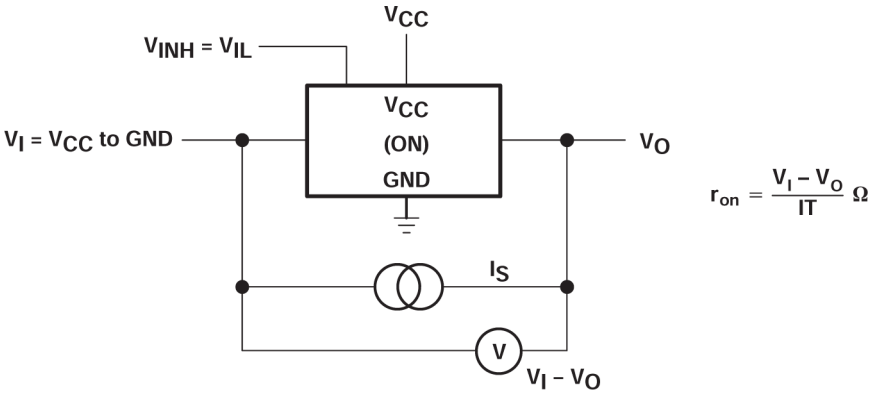



**図 6-1. On-State Resistance Test Circuit**

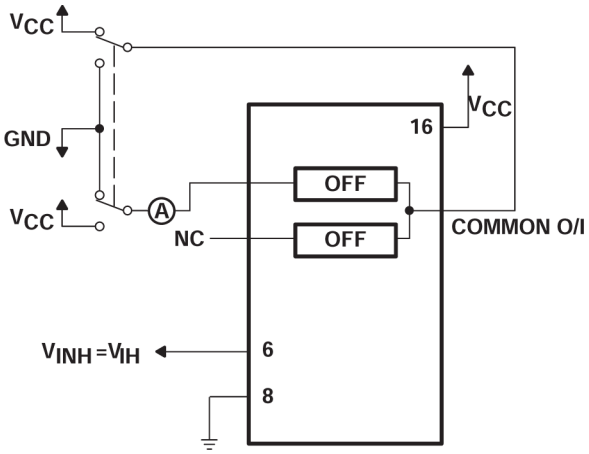



**図 6-2. Maximum Off-Channel Leakage Current, Any One Channel, Test Setup**

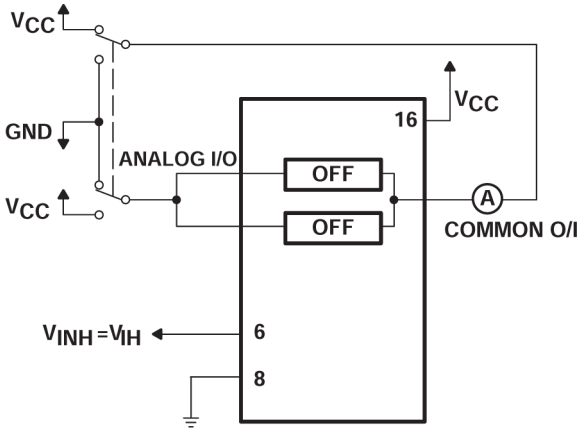



**図 6-3. Maximum Off-Channel Leakage Current, Common Channel, Test Setup**

Copyright © 2024 Texas Instruments Incorporated

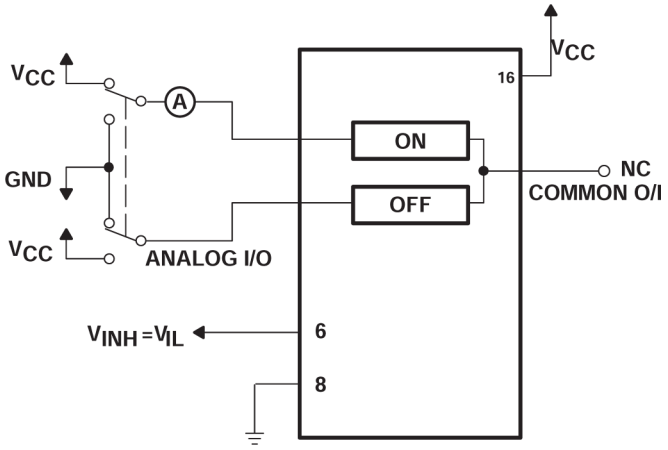



**図 6-4. Maximum On-Channel Leakage Current, Channel to Channel, Test Setup**

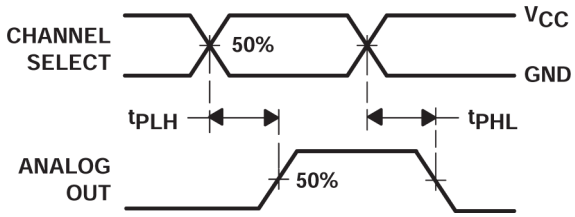



**図 6-5. Propagation Delays, Channel Select to Analog Out**

†

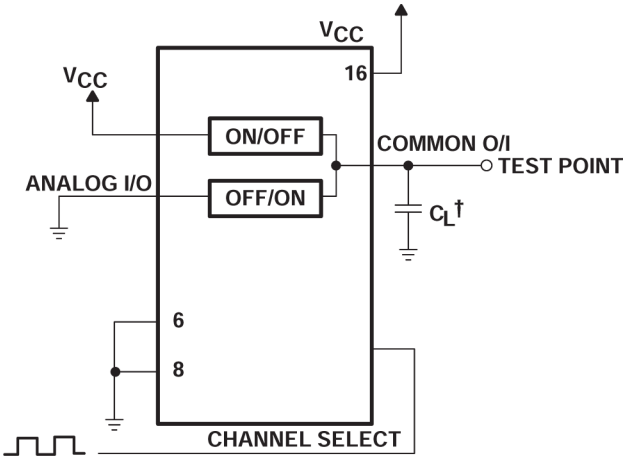



**図 6-6. Propagation Delay, Channel Select to Analog Out, Test Setup**

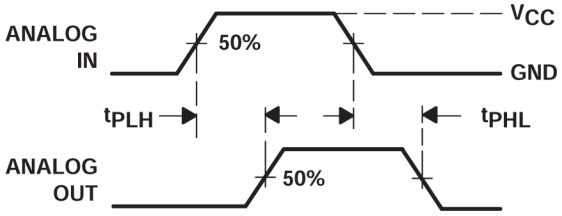



**図 6-7. Propagation Delays, Analog in to Analog Out**

† Includes all probe and jig capacitance


Copyright © 2024 Texas Instruments Incorporated

†

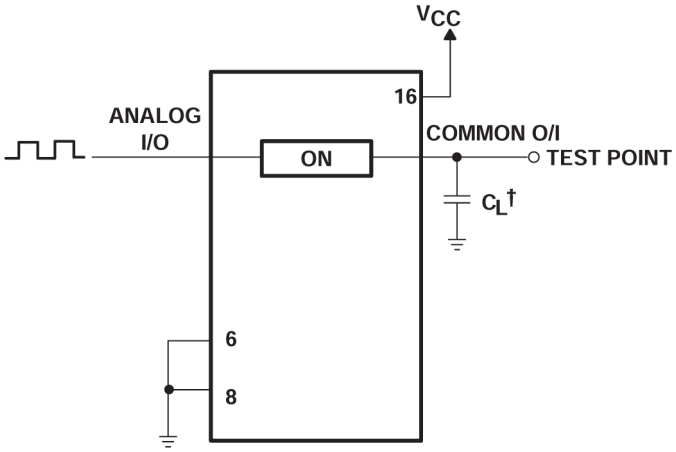



**図 6-8. Propagation Delay, Analog in to Analog Out, Test Setup**

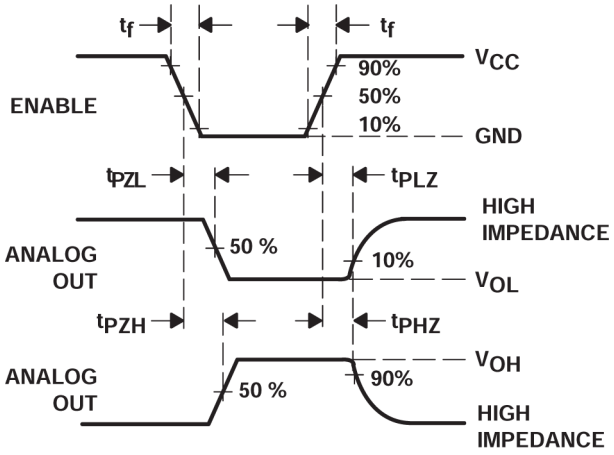



**図 6-9. Propagation Delays, Enable to Analog Out**

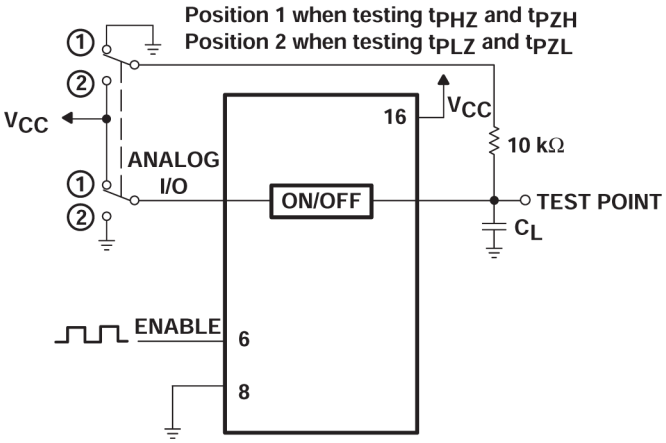



**図 6-10. Propagation Delay, Enable to Analog Out, Test Setup**

† Includes all probe and jig capacitance

Copyright © 2024 Texas Instruments Incorporated

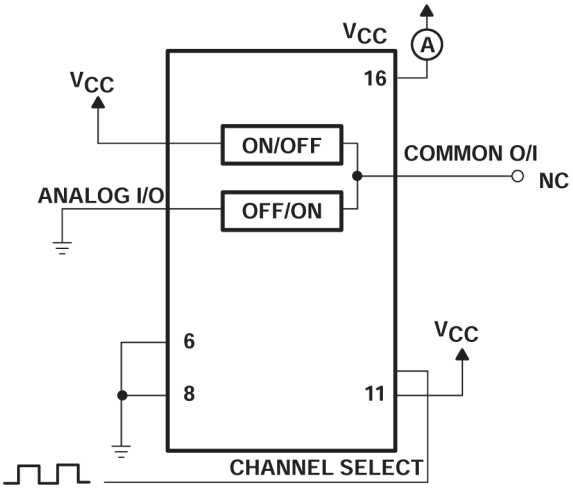
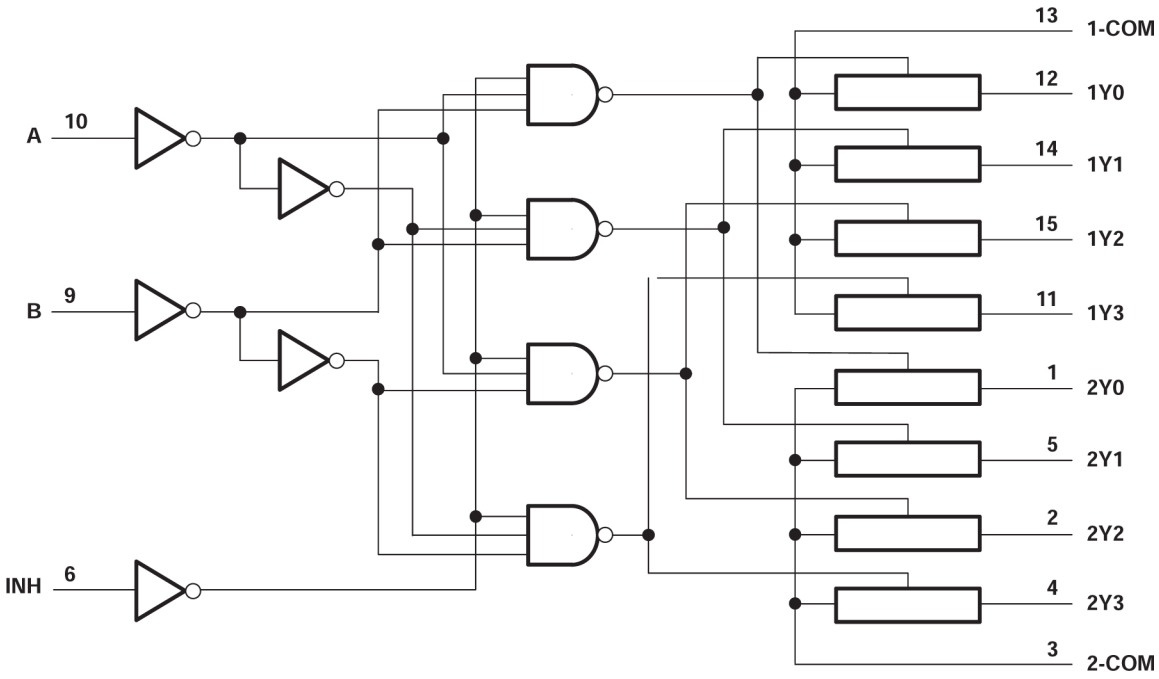



**図 6-11. Power-Dissipation Capacitance, Test Setup**


Copyright © 2024 Texas Instruments Incorporated

# 7 Detailed Description

## 7.1 Functional Block Diagram



# 8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 8.1 Application Information

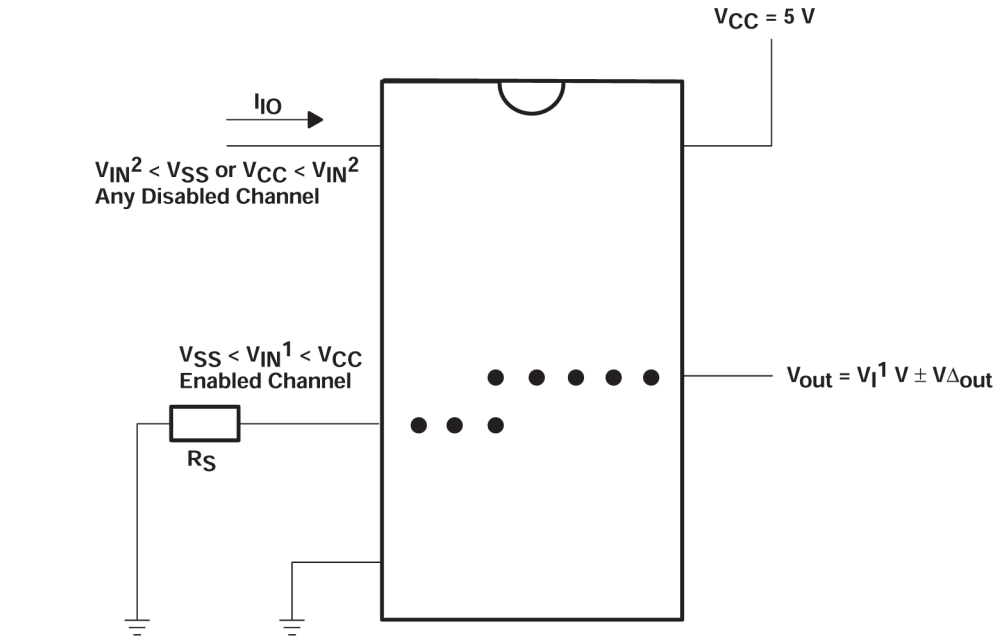



**図 8-1. Injection-Current Coupling Specification**

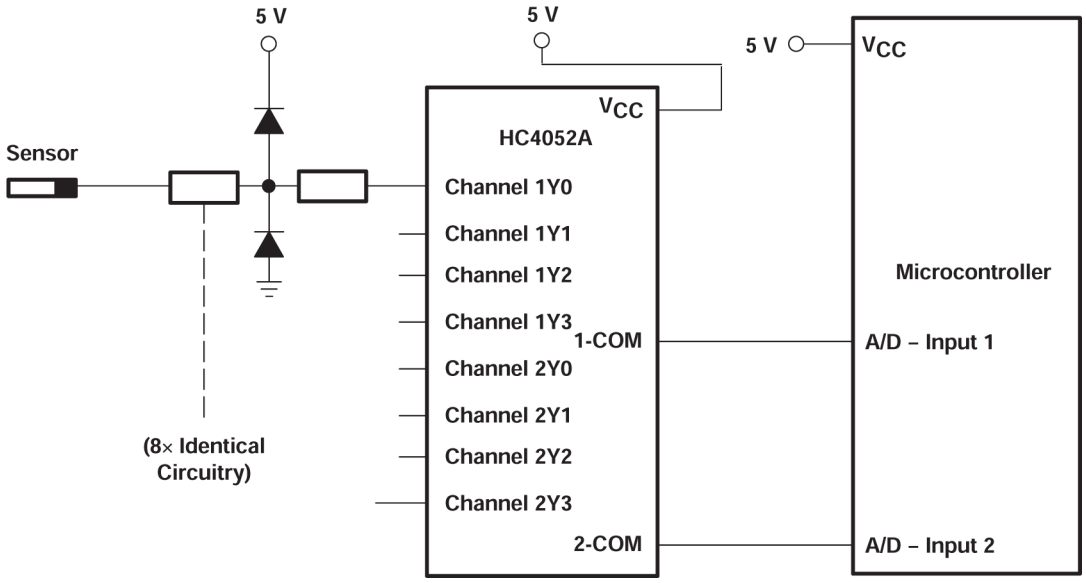



**図 8-2. Actual Technology Requires 32 Passive Components and One Extra 6-v Regulator to Suppress Injection Current into a Standard HC4052 Multiplexer**


Copyright © 2024 Texas Instruments Incorporated

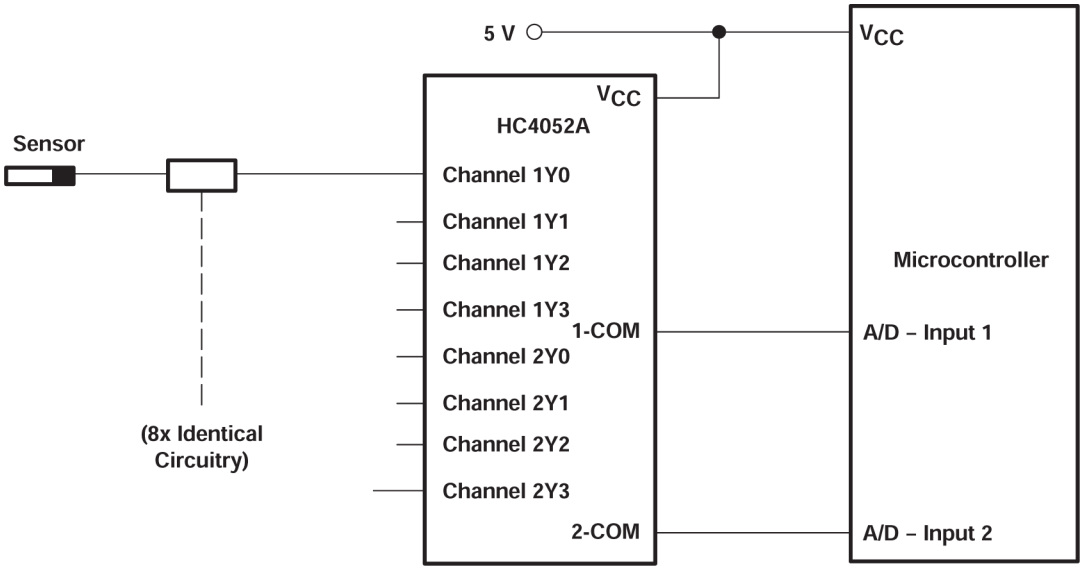



**図 8-3. Solution by Applying the HC4852 Multiplexer**

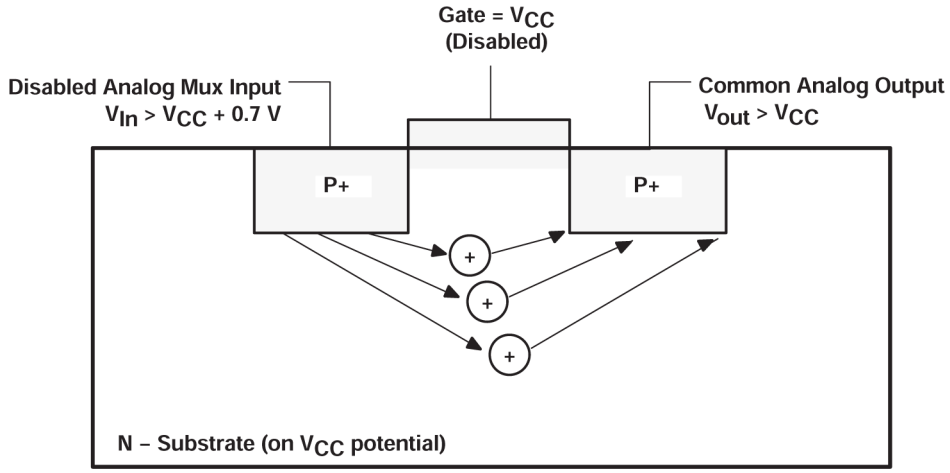



**図 8-4. Diagram of Bipolar Coupling Mechanism (Appears If $V_{In}$ Exceeds $V_{CC}$, Driving Injection Current into the Substrate)**

Copyright © 2024 Texas Instruments Incorporated

# 9 Device and Documentation Support

## 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (March 2004) to Revision A (June 2024) | Page |
|---|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新 | 1 |
| • Changed VCC ABS Max from 7V to 6V | 3 |
| • Changed RθJA | 3 |
| • Recommended supply changed from 6V to 5.5V and all test conditions using 6V were removed | 4 |
| • Changed tpd, ttran, tON, tOFF parameters | 6 |

# 11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.


Copyright © 2024 Texas Instruments Incorporated

# 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| SN74HC4852D | NRND | Production | SOIC (D) \| 16 | 40 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852D.A | NRND | Production | SOIC (D) \| 16 | 40 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852DGVR | NRND | Production | TVSOP (DGV) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852DGVR.A | NRND | Production | TVSOP (DGV) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852DR | NRND | Production | SOIC (D) \| 16 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852DR.A | NRND | Production | SOIC (D) \| 16 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852DRG4 | NRND | Production | SOIC (D) \| 16 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | HC4852 |
| SN74HC4852N | NRND | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -40 to 125 | SN74HC4852N |
| SN74HC4852N.A | NRND | Production | PDIP (N) \| 16 | 25 \| TUBE | Yes | NIPDAU | N/A for Pkg Type | -40 to 125 | SN74HC4852N |
| SN74HC4852PW | NRND | Production | TSSOP (PW) \| 16 | 90 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852PW.A | NRND | Production | TSSOP (PW) \| 16 | 90 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852PWR | Active | Production | TSSOP (PW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852PWR.A | Active | Production | TSSOP (PW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | HC4852 |
| SN74HC4852PWRE4 | Active | Production | TSSOP (PW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 85 | HC4852 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74HC4852 :**

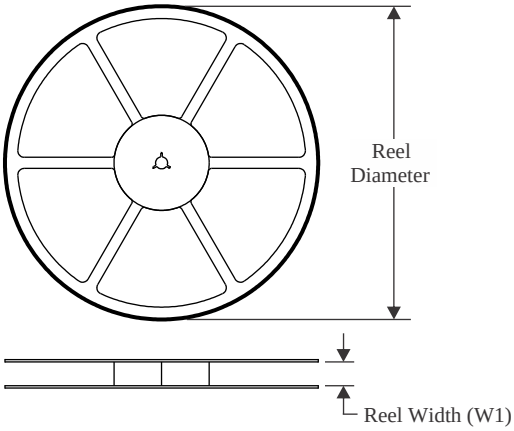
- Automotive : SN74HC4852-Q1

NOTE: Qualified Version Definitions:

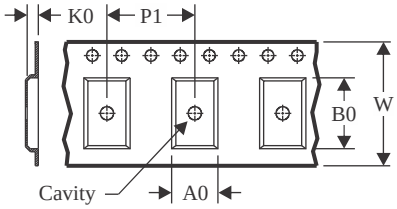
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

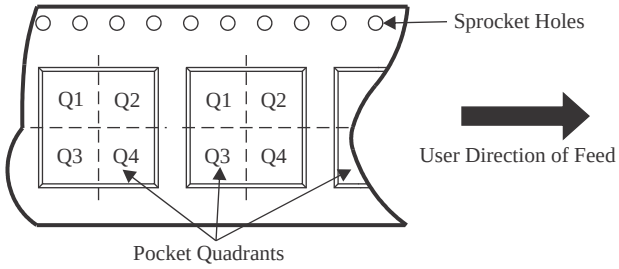



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

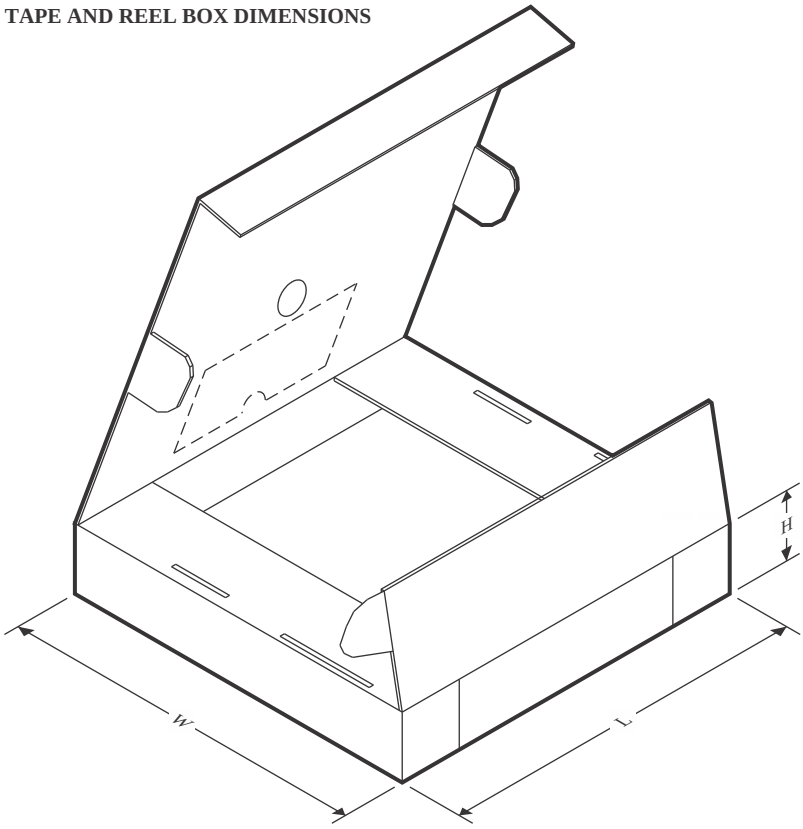
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SN74HC4852DGVR | TVSOP | DGV | 16 | 2000 | 330.0 | 12.4 | 6.8 | 4.0 | 1.6 | 8.0 | 12.0 | Q1 |
| SN74HC4852DR | SOIC | D | 16 | 2500 | 330.0 | 16.4 | 6.5 | 10.3 | 2.1 | 8.0 | 16.0 | Q1 |
| SN74HC4852PWR | TSSOP | PW | 16 | 2000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |

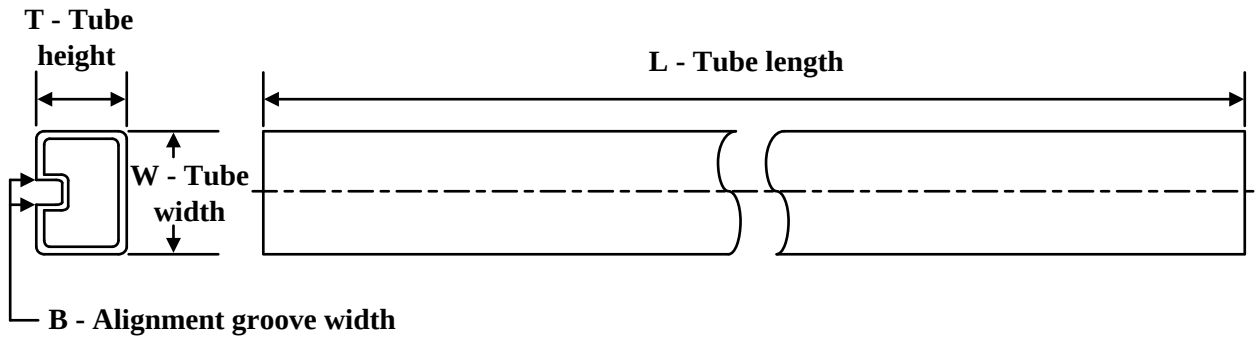
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| SN74HC4852DGVR | TVSOP | DGV | 16 | 2000 | 353.0 | 353.0 | 32.0 |
| SN74HC4852DR | SOIC | D | 16 | 2500 | 353.0 | 353.0 | 32.0 |
| SN74HC4852PWR | TSSOP | PW | 16 | 2000 | 353.0 | 353.0 | 32.0 |

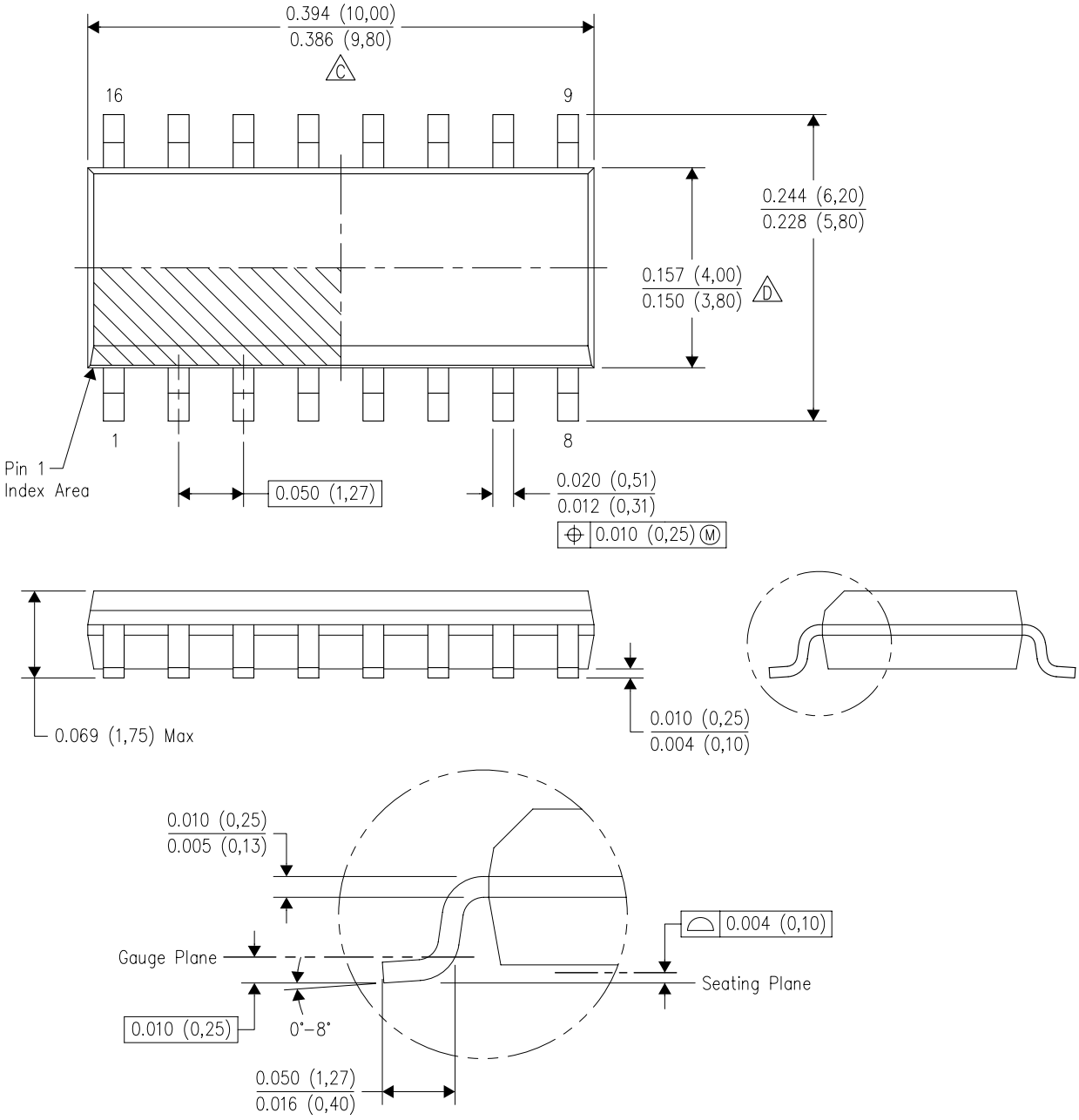
## TUBE




*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| SN74HC4852D | D | SOIC | 16 | 40 | 507 | 8 | 3940 | 4.32 |
| SN74HC4852D.A | D | SOIC | 16 | 40 | 507 | 8 | 3940 | 4.32 |
| SN74HC4852N | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| SN74HC4852N.A | N | PDIP | 16 | 25 | 506 | 13.97 | 11230 | 4.32 |
| SN74HC4852PW | PW | TSSOP | 16 | 90 | 530 | 10.2 | 3600 | 3.5 |
| SN74HC4852PW.A | PW | TSSOP | 16 | 90 | 530 | 10.2 | 3600 | 3.5 |

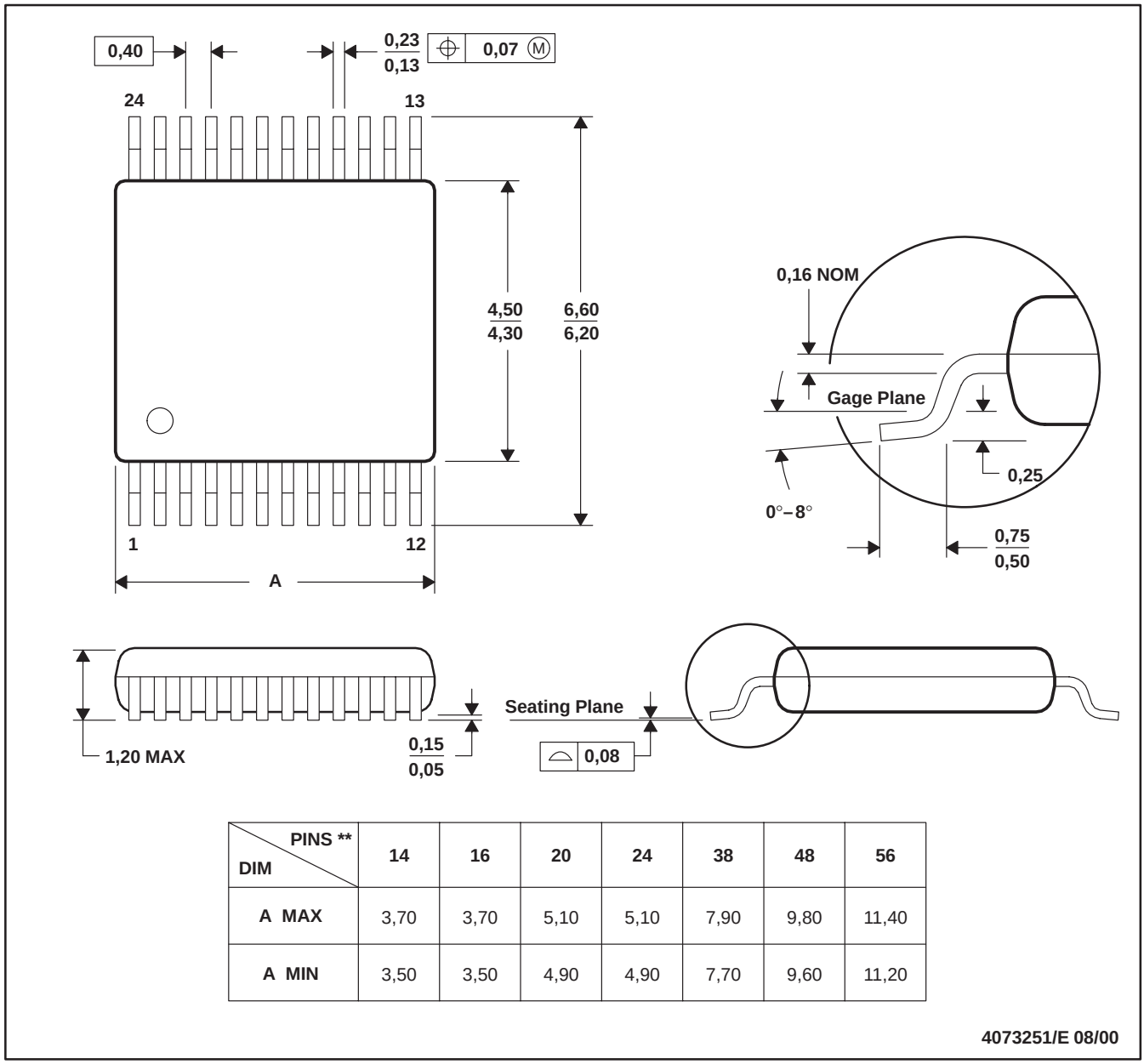
D (R–PDSO–G16) PLASTIC SMALL OUTLINE




NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

**DGV (R-PDSO-G**)** **PLASTIC SMALL-OUTLINE**

**24 PINS SHOWN**




| DIM \ PINS ** | 14 | 16 | 20 | 24 | 38 | 48 | 56 |
|---|---|---|---|---|---|---|---|
| A MAX | 3,70 | 3,70 | 5,10 | 5,10 | 7,90 | 9,80 | 11,40 |
| A MIN | 3,50 | 3,50 | 4,90 | 4,90 | 7,70 | 9,60 | 11,20 |

**4073251/E 08/00**

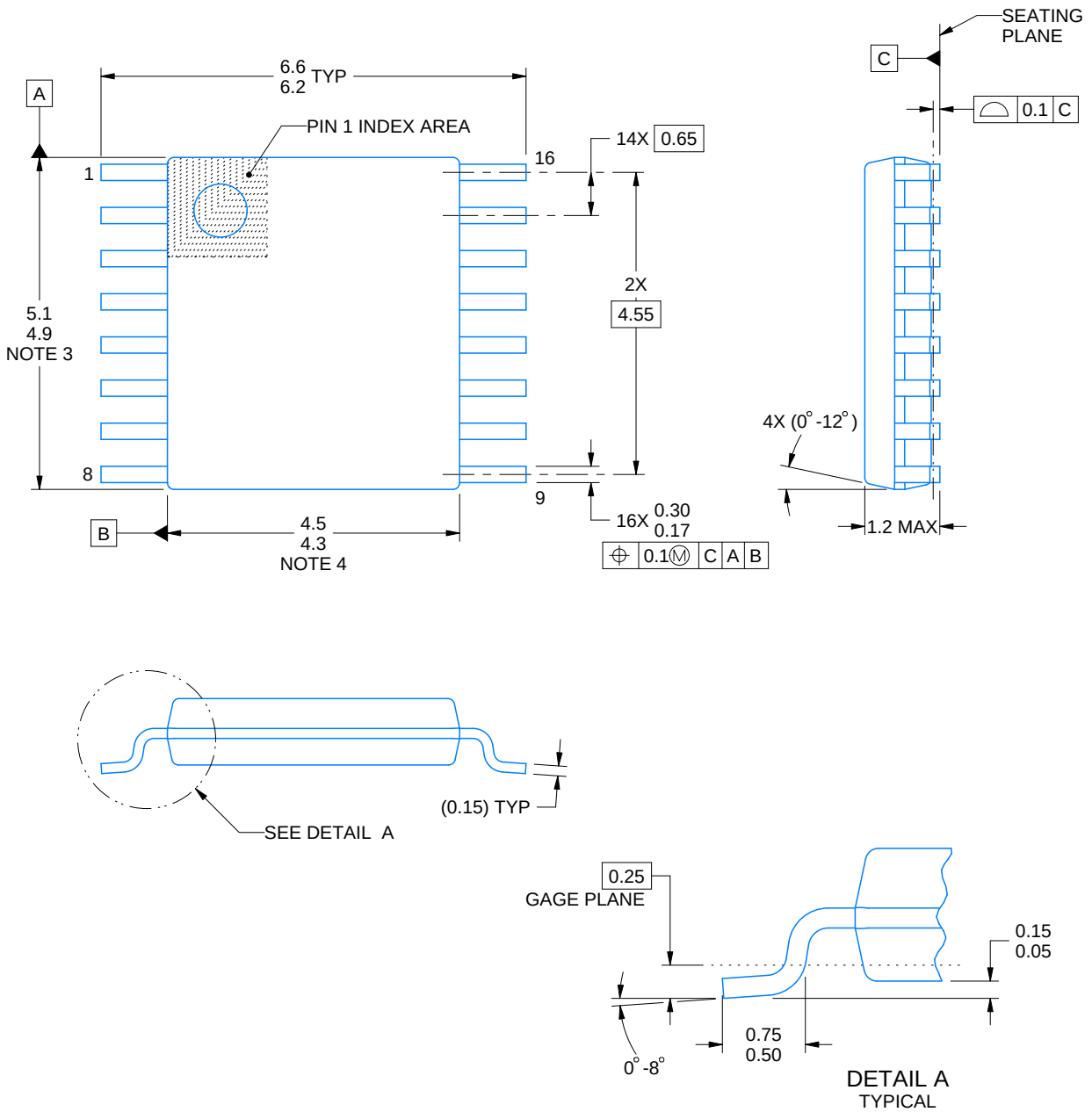
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

# PACKAGE OUTLINE

## PW0016A

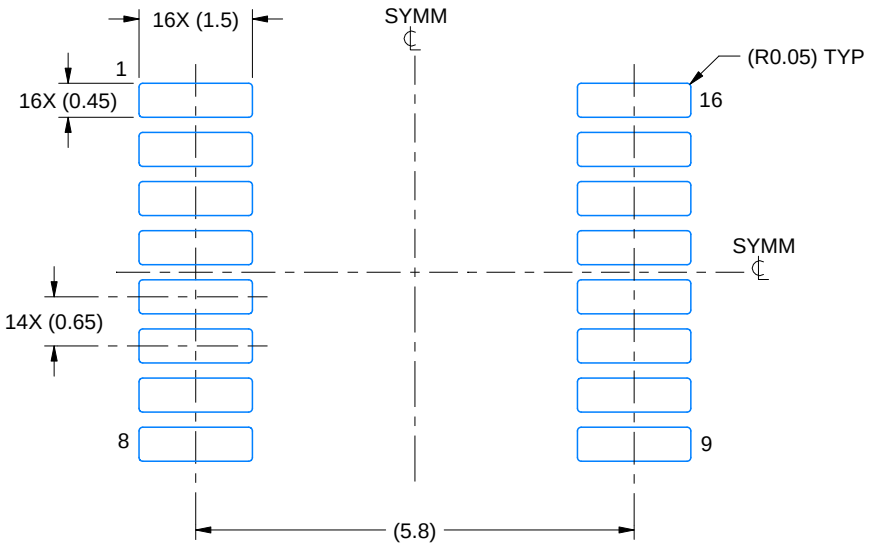
## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

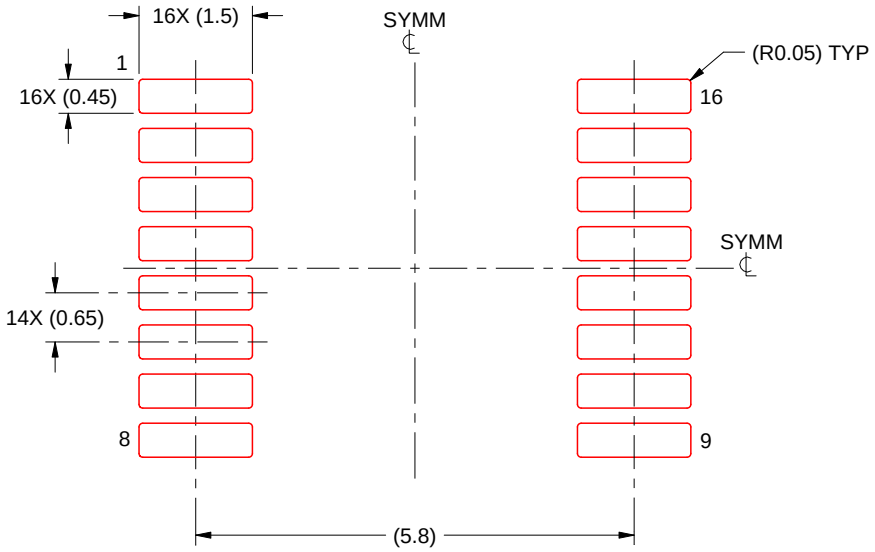



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

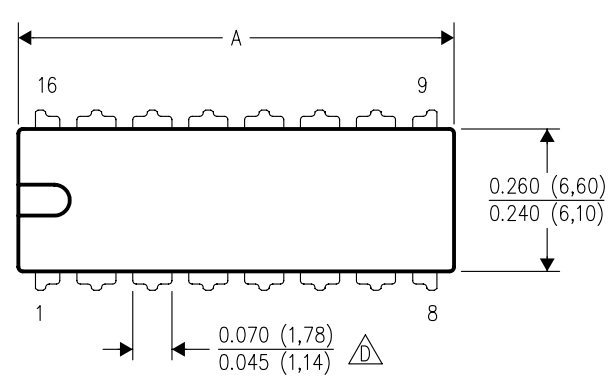
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

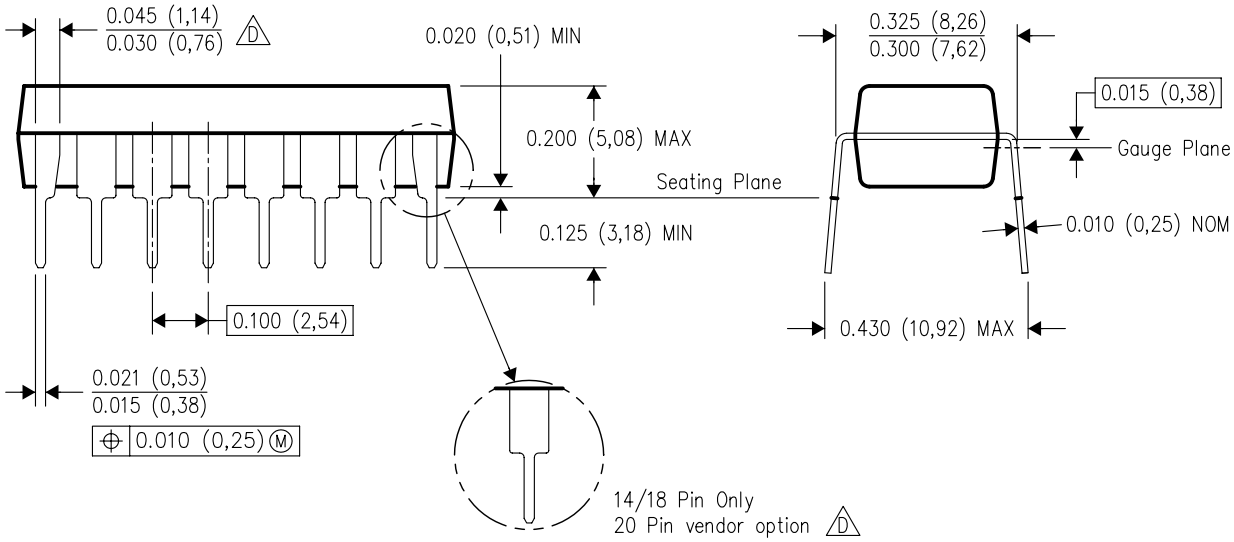
## N (R–PDIP–T**)

## PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN




| DIM \ PINS ** | 14 | 16 | 18 | 20 |
|---|---|---|---|---|
| A MAX | 0.775 (19,69) | 0.775 (19,69) | 0.920 (23,37) | 1.060 (26,92) |
| A MIN | 0.745 (18,92) | 0.745 (18,92) | 0.850 (21,59) | 0.940 (23,88) |
| MS–001 VARIATION (C) | AA | BB | AC | AD |




4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月