SN74HCS125 、3 ステート出力およびシュミット トリガ入力搭載、クワッド バッファ

1 特長

- 広い動作電圧範囲:2V ～ 6V
- シュミット トリガ入力により低速の信号またはノイズの多い信号に対応
- 低消費電力
  - I_{CC}:100nA (標準値)
  - 入力リーク電流:±100nA (標準値)
- 6V で ±7.8mA の出力駆動能力
- 拡張周囲温度範囲:-40℃ ～ +125℃、T_A

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- スイッチのデバウンス
- 低速またはノイズの多い入力信号の除去

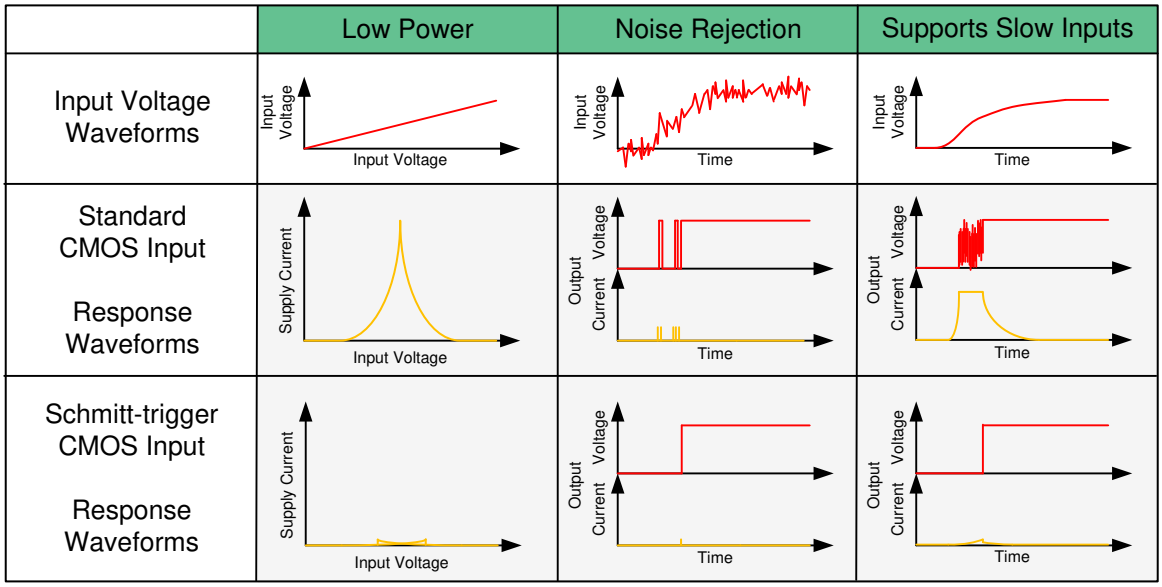
3 説明

SN74HCS125 は、3 ステート出力とシュミット トリガ入力を備えた 4 個の独立なバッファを搭載しています。各バッファはブール関数 Y = A を正論理で実行します。$\overline{OE}$ ピンに HIGH を印加することで、出力をハイ インピーダンス状態にできます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74HCS125PW	TSSOP (14)	5.00mm × 4.40mm
SN74HCS125D	SOIC (14)	9.90mm × 3.90mm
SN74HCS125BQA	WQFN (14)	3.00mm × 2.50mm
SN74HCS125DYY	SOT-23-THIN (14)	2.00mm × 4.20mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



シュミット トリガ入力の利点

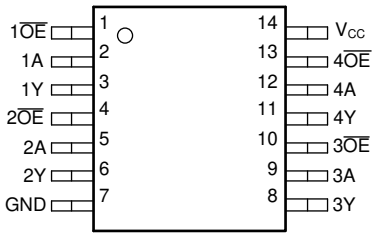
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

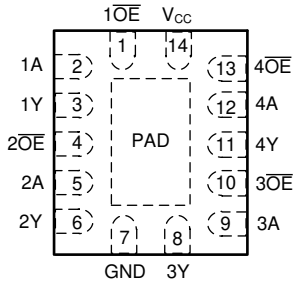
1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 熱に関する情報 6
5.6 電気的特性 6
5.7 スイッチング特性 6
5.8 代表的特性 8
6 パラメータ測定情報 9
7 詳細説明 10
7.1 概要 10
7.2 機能ブロック図 10
7.3 機能説明 10
7.4 デバイスの機能モード 11
8 アプリケーションと実装 12
8.1 使用上の注意 12
8.2 代表的なアプリケーション 12
8.3 電源に関する推奨事項 14
8.4 レイアウト 14
9 デバイスおよびドキュメントのサポート 15
9.1 ドキュメントのサポート 15
9.2 ドキュメントの更新通知を受け取る方法 15
9.3 サポート・リソース 15
9.4 商標 15
9.5 静電気放電に関する注意事項 15
9.6 用語集 15
10 改訂履歴 15
11 メカニカル、パッケージ、および注文情報 17

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



D、PW、または DYY パッケージ
14 ピン SOIC、TSSOP、または SOT
(上面図)



BQA パッケージ
14 ピン WQFN
上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
1A	2	I	チャネル 1、入力 A
1 $\overline{OE}$	1	I	チャネル 1、出力イネーブル、アクティブ Low
1Y	3	O	チャネル 1、出力 Y
2A	5	I	チャネル 2、入力 A
2 $\overline{OE}$	4	I	チャネル 2、出力イネーブル、アクティブ Low
2Y	6	O	チャネル 2、出力 Y
3A	9	I	チャネル 3、入力 A
3 $\overline{OE}$	10	I	チャネル 3、出力イネーブル、アクティブ Low
3Y	8	O	チャネル 3、出力 Y
4A	12	I	チャネル 4、入力 A
4 $\overline{OE}$	13	I	チャネル 4、出力イネーブル、アクティブ Low
4Y	11	O	チャネル 4、出力 Y
GND	7	—	グランド
V_{CC}	14	—	正の電源
サーマル パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし
(2) BQA パッケージのみ。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
I_{IK}	入力クランプ電流(2)	$V_I < 0$ または $V_I > V_{CC}$		±20	mA
I_{OK}	出力クランプ電流(2)	$V_O < 0$ または $V_O > V_{CC}$		±20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±35	mA
I_{CC}	V_{CC} または GND を通過する連続電流			±70	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性がありますが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	2	5	6	V
V_I	入力電圧	0		V_{CC}	V
V_O	出力電圧	0		V_{CC}	V
T_A	周辺温度	-55		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		SN74HCS125-Q1				単位
		D (SOIC)	PW (TSSOP)	BQA (WQFN)	DYY (SOT)	
		14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	133.6	151.7	109.7	236.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	89	79.4	111.0	143.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	89.5	94.7	77.9	146.0	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	45.5	25.2	20.2	29.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	89.1	94.1	77.8	145.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	56.6	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準(1)		SN74HCS125				単位
		PW (TSSOP)	D (SOIC)	BQA (WQFN)	DYY (SOT)	
		14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	151.7	133.6	109.7	236.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	79.4	89	111.0	143.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	94.7	89.5	77.9	146.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	25.2	45.5	20.2	29.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	94.1	89.1	77.8	145.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	56.6	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.6 電気的特性

自由空気での動作温度範囲内、T_A = 25°C で測定した代表値定格 (特に記述のない限り)

パラメータ		テスト条件		V_{CC}	最小値	標準値	最大値	単位
V_{T+}	正のスイッチング スレッショルド			2V	1.13	1.26	1.37	V
				4.5V	2.31	2.47	2.66	
				6V	2.99	3.18	3.44	
V_{T-}	負のスイッチング スレッショルド			2V	0.55	0.62	0.71	V
				4.5V	1.21	1.36	1.5	
				6V	1.56	1.79	1.99	
ΔV_T	V_{T+} - V_{T-}			2V	0.54	0.64	0.71	V
				4.5V	0.94	1.11	1.27	
				6V	1.20	1.38	1.57	
V_{OH}	High レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OH} = -20μA	2V ～ 6V	V_{CC} - 0.1	V_{CC} - 0.002		V
			I_{OH} = -6mA	4.5V	4.0	4.3		
			I_{OH} = -7.8mA	6V	5.4	5.75		
V_{OL}	Low レベル出力電圧	V_I = V_{IH} または V_{IL}	I_{OL} = 20μA	2V ～ 6V		0.002	0.1	V
			I_{OL} = 4mA	4.5V		0.18	0.30	
			I_{OL} = 7.8mA	6V		0.22	0.33	
I_I	入力リーク電流	V_I = V_{CC} または 0		6V		±100	±1000	nA
I_{CC}	電源電流	V_I = V_{CC} または 0、I_O = 0		6V		0.1	2	μA
C_i	入力容量			2V ～ 6V			5	pF
C_{pd}	ゲートあたりの電力散逸容量	無負荷		2V ～ 6V		10		pF

5.7 スイッチング特性

自由空気での動作温度範囲内、T_A = 25°C で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	伝搬遅延	A	Y	2V		12	39	ns
				4.5V		6	26	
				6V		5	24	

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	標準値	最大値	単位
t_{en}	イネーブル時間	$\overline{OE}$	Y	2V		14	24	ns
				4.5V		7	10	
				6V		6	9	
t_{dis}	ディセーブル時間	$\overline{OE}$	Y	2V		12	16	ns
				4.5V		9	10	
				6V		8	9	
t_t	遷移時間		任意	2V		9	16	ns
				4.5V		5	9	
				6V		4	8	

5.8 代表的特性

T_A = 25℃

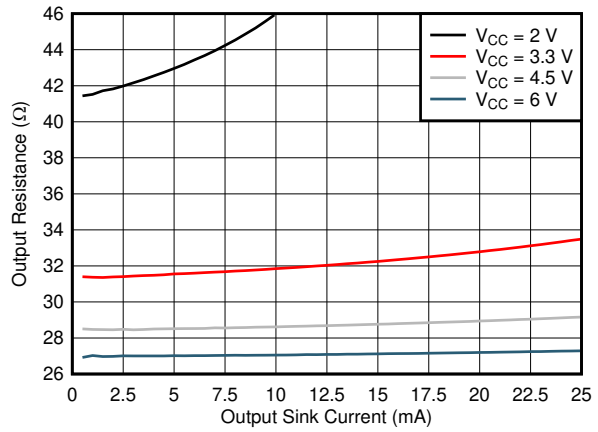


図 5-1. Low 状態の出力ドライバ抵抗

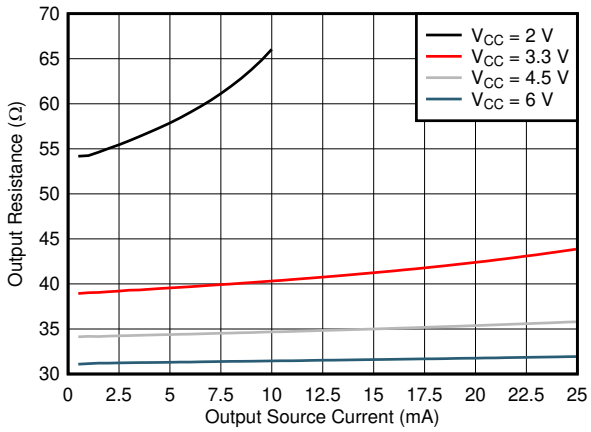


図 5-2. High 状態の出力ドライバ抵抗

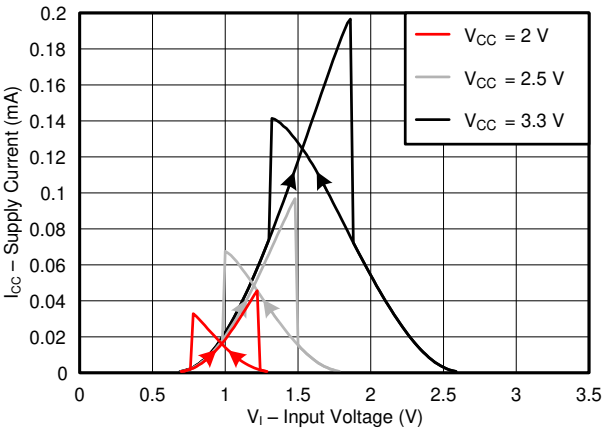


図 5-3. 入力電圧に対する電源電流、2-、2.5-、3.3V 電源

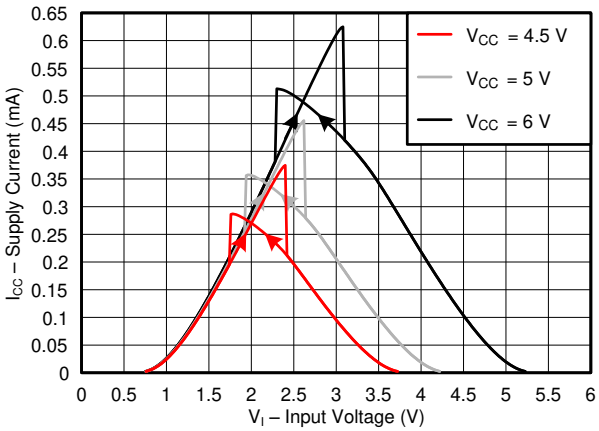


図 5-4. 入力電圧に対する電源電流、4.5-、5-、6V 電源

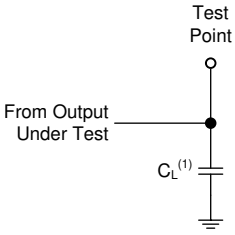
Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

波形間の位相関係は任意で選択します。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

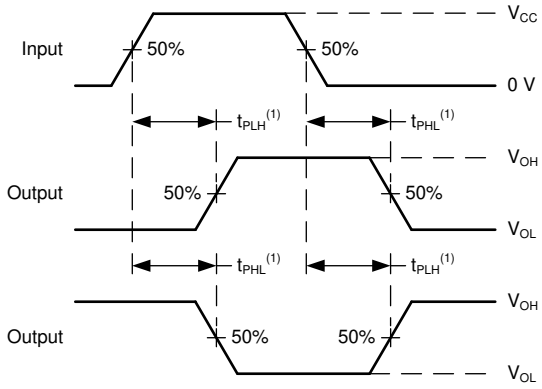
クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



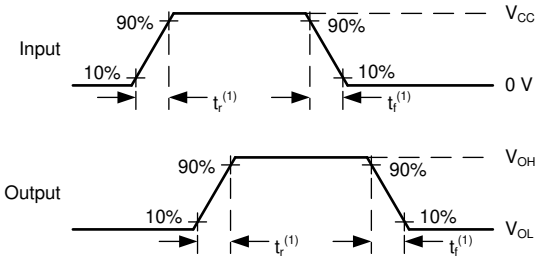
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

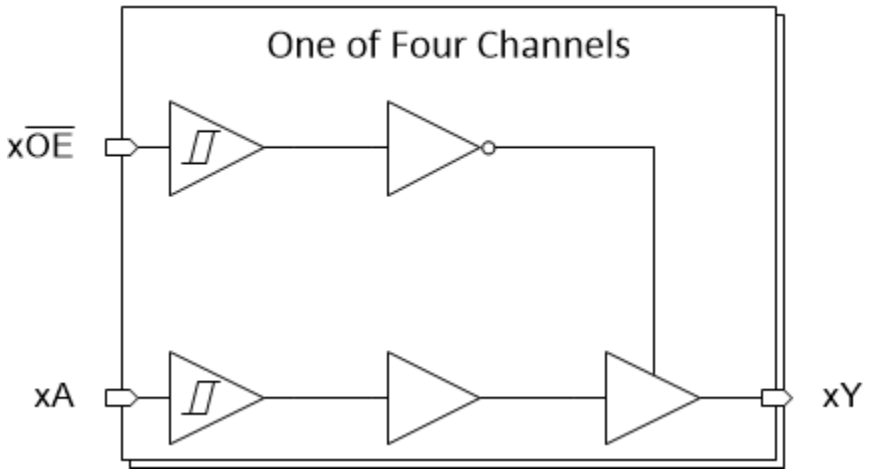
図 6-3. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

このデバイスは、3 ステート出力とシュミット トリガ入力を備えた 4 個の独立なバッファを搭載しています。各バッファはブール関数 Y = A を正論理で実行します。$\overline{OE}$ ピンに HIGH を印加することで、出力をハイ インピーダンス状態にできます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット トリガ入力アーキテクチャでは、「電気的特性」表の ΔV_T で定義されているヒステリシスが発生するため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力は適切に終端することをお勧めします。入力を低速の遷移信号で駆動すると、デバイスの動的な電流消費が増加します。シュミット トリガ入力の詳細については、『*シュミット トリガについて*』を参照してください。scea046

7.3.3 クランプ ダイオード構造

図 7-1 に示すように、このデバイスの入力と出力には正と負の両方のクランプ ダイオードがあります。

Copyright © 2026 Texas Instruments Incorporated

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

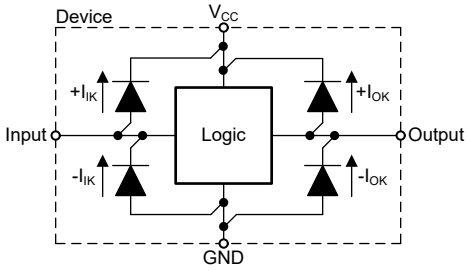


図 7-1. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

機能表に、SN74HCS125 の機能モードを示します。

表 7-1. 機能表

入力(1)		出力
$\overline{OE}$	A	Y
L	H	H
L	L	L
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このアプリケーションでは、図 8-1 に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。残りの 3 つのバッファは、システム内の別の場所の信号調整に使用することも、入力を接地してチャネルを未使用のままにすることもできます。

8.2 代表的なアプリケーション

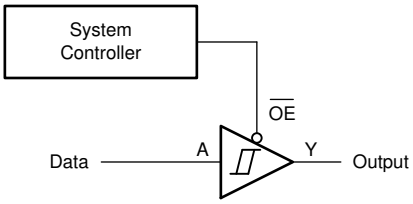


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74HCS125 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グランドは、SN74HCS125 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74HCS125 は、データシートの仕様をすべて満たしながら、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、過剰な電流を防止するため、出力とコンデンサの間に直列抵抗を設置することを推奨します。

SN74HCS125 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、CMOS の消費電力と Cpd の計算のアプリケーション ノートに記載された情報を使って計算できます。

温度の上昇は、標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性のアプリケーション ノートに記載された情報を使って計算できます。

Copyright © 2026 Texas Instruments Incorporated

注意

「絶対最大定格」に記載された最大接合部温度、$T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{t-(min)}$ を超えるとロジック LOW と見なされ、$V_{t+(max)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74HCS125 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74HCS125 にはシュミット トリガ入力があるため、入力信号遷移レートの要件はありません。

シュミット トリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値がピーク ツー ピーク制限となります。

標準的な CMOS 入力とは異なり、シュミット トリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値地) を「代表的特性」のグラフに示します。

このデバイスの入力に関する詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、SN74HCS125 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

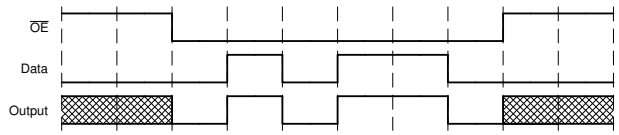


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に接続して、異なる周波数のノイズを除去することができます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るには、次のレイアウト例に示すように、バイパス コンデンサを電源端子のできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

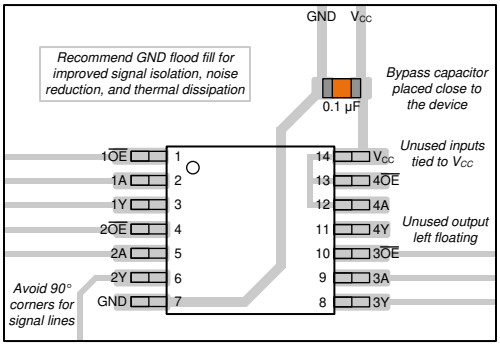


図 8-3. SN74HCS125 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『HCMOS 設計の検討事項』アプリケーション ノート
- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from March 19, 2026 to September 29, 2026 (from Revision D (March 2026) to Revision E (October 2026)) **Page**

- 2V の V_{CC} での V_{T+} の制限値を 1.18V (最小)、1.3V (最大) から 1.13V (最小)、1.37V (最大) に変更 6
- 2V V_{CC} での V_{T+} の標準値を追加 6
- 4.5V の V_{CC} での V_{T+} の制限値を 2.39V (最小)、2.58V (最大) から 2.31V (最小)、2.66V (最大) に変更 6
- 4.5V V_{CC} での V_{T+} の標準値を追加 6
- 6V の V_{CC} での V_{T+} の制限値を 3.11V (最小)、3.32V (最大) から 2.99V (最小)、3.44V (最大) に変更 6
- 6V V_{CC} での V_{T+} の標準値を追加 6

Copyright © 2026 Texas Instruments Incorporated

- 2V の V_{CC} での V_{T-} の制限値を 0.61V (最小)、0.66V (最大) から 0.55V (最小)、0.71V (最大) に変更.....6
- 2V V_{CC} での V_{T-} の標準値を追加.....6
- 4.5V の V_{CC} での V_{T-} の制限値を 1.31V (最小)、1.42V (最大) から 1.21V (最小)、1.50V (最大) に変更.....6
- 4.5V V_{CC} での V_{T-} の標準値を追加.....6
- 6V の V_{CC} での V_{T-} の制限値を 1.72V (最小)、1.87V (最大) から 1.56V (最小)、1.99V (最大) に変更.....6
- 6V V_{CC} での V_{T-} の標準値を追加.....6
- 2V の V_{CC} での ΔV_T の制限値を 0.2V (最小)、1.0V (最大) から 0.55V (最小)、0.67V (最大) に変更.....6
- 2V V_{CC} での ΔV_T の標準値を追加.....6
- 4.5V の V_{CC} での ΔV_T の制限値を 1.04V (最小)、1.21V (最大) から 0.94V (最小)、1.27V (最大) に変更.....6
- 4.5V V_{CC} での ΔV_T の標準値を追加.....6
- 6V の V_{CC} での ΔV_T の制限値を 1.34V (最小)、1.49V (最大) から 1.20V (最小)、1.57V (最大) に変更.....6
- 6V V_{CC} での ΔV_T の標準値を追加.....6

Changes from May 1, 2022 to March 19, 2026 (from Revision C (May 2022) to Revision D (March 2026)) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....1
- 2V の V_{CC} での V_{T+} の制限値を 0.7V (最小)、1.5V (最大) から 1.18V (最小)、1.3V (最大) に変更.....6
- 4.5V の V_{CC} での V_{T+} の制限値を 1.7V (最小)、3.15V (最大) から 2.39V (最小)、2.58V (最大) に変更.....6
- 6V の V_{CC} での V_{T+} の制限値を 2.1V (最小)、4.2V (最大) から 3.11V (最小)、3.32V (最大) に変更.....6
- 2V の V_{CC} での V_{T-} の制限値を 0.3V (最小)、1.0V (最大) から 0.61V (最小)、0.66V (最大) に変更.....6
- 4.5V の V_{CC} での V_{T-} の制限値を 0.9V (最小)、2.2V (最大) から 1.31V (最小)、1.42V (最大) に変更.....6
- 6V の V_{CC} での V_{T-} の制限値を 1.2V (最小)、3.0V (最大) から 1.72V (最小)、1.87V (最大) に変更.....6
- 2V の V_{CC} での ΔV_T の制限値を 0.2V (最小)、1.0V (最大) から 0.55V (最小)、0.67V (最大) に変更.....6
- 4.5V の V_{CC} での ΔV_T の制限値を 0.4V (最小)、1.4V (最大) から 1.04V (最小)、1.21V (最大) に変更.....6
- 6V の V_{CC} での ΔV_T の制限値を 0.6V (最小)、1.6V (最大) から 1.34V (最小)、1.49V (最大) に変更.....6

Changes from Revision B (December 2021) to Revision C (May 2022) **Page**

- 入力リーク電流の不適切な単位を µA から nA に変更.....6

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HCS125BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125BQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HCS125
SN74HCS125PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS125

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74HCS125 :

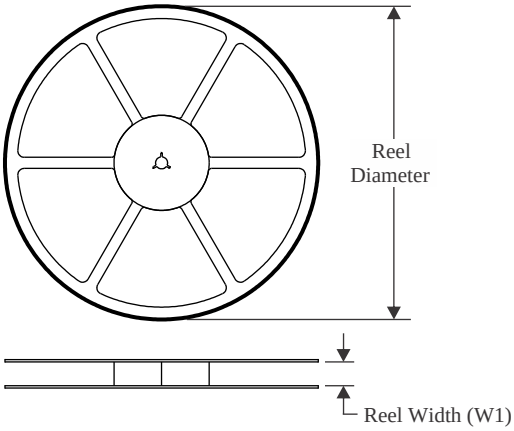
- Automotive : SN74HCS125-Q1

NOTE: Qualified Version Definitions:

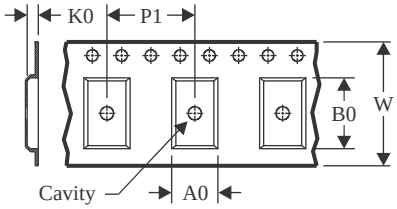
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

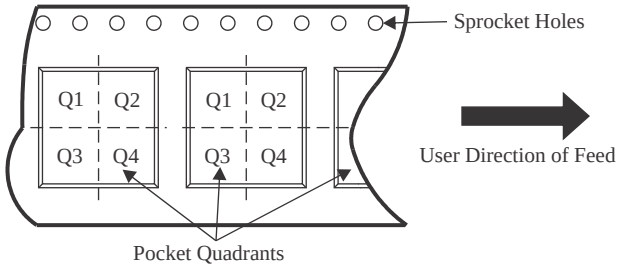


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

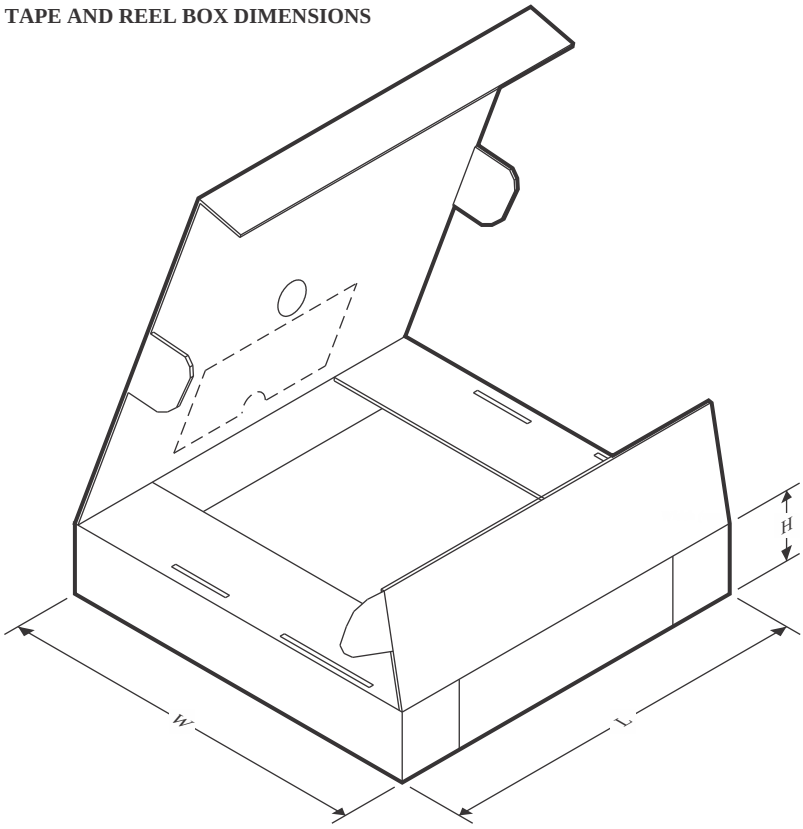
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HCS125BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74HCS125DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HCS125DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
SN74HCS125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCS125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HCS125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

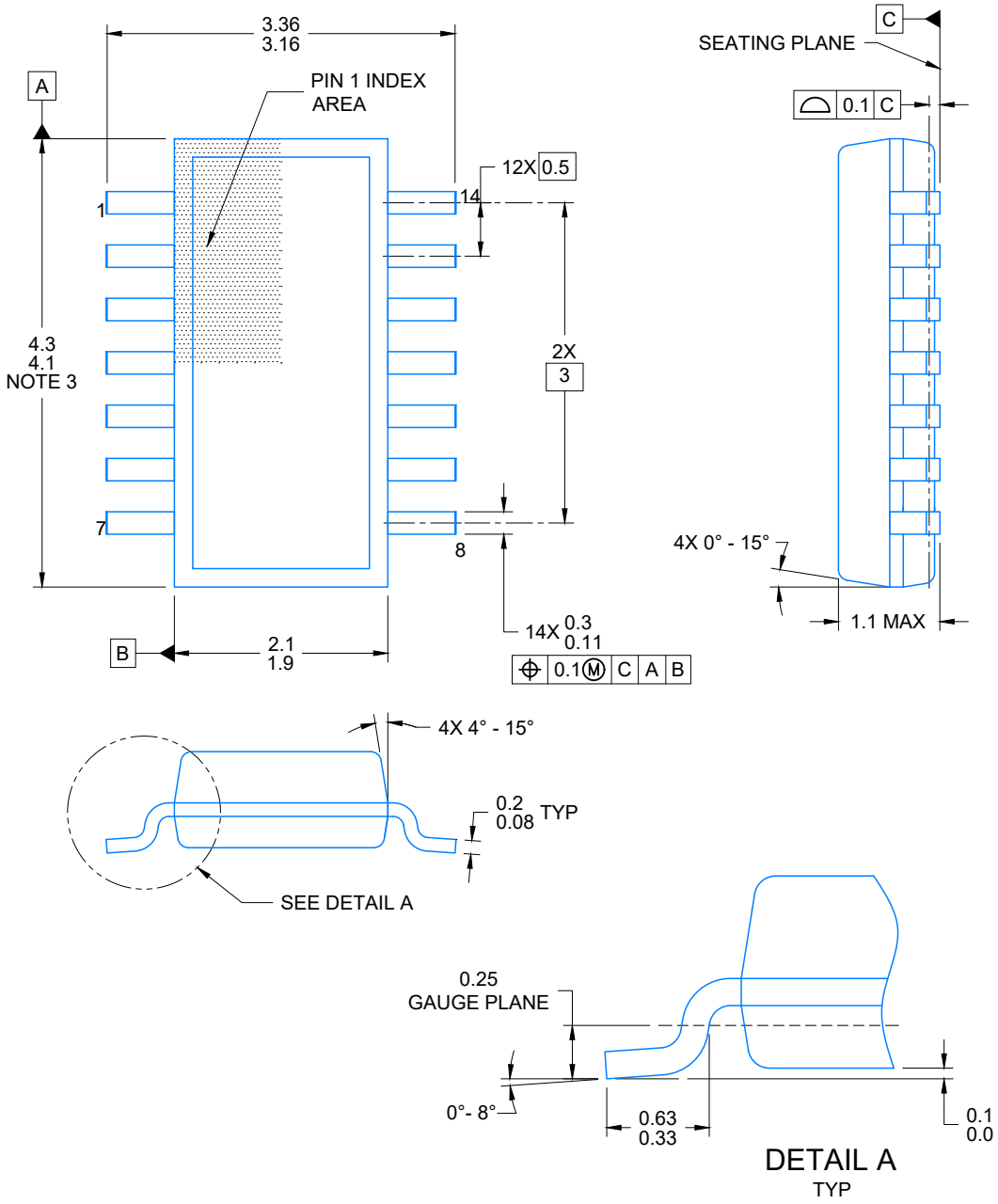
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HCS125BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74HCS125DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74HCS125DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
SN74HCS125PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HCS125PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HCS125PWR	TSSOP	PW	14	2000	356.0	356.0	35.0

PACKAGE OUTLINE

DYY0014A

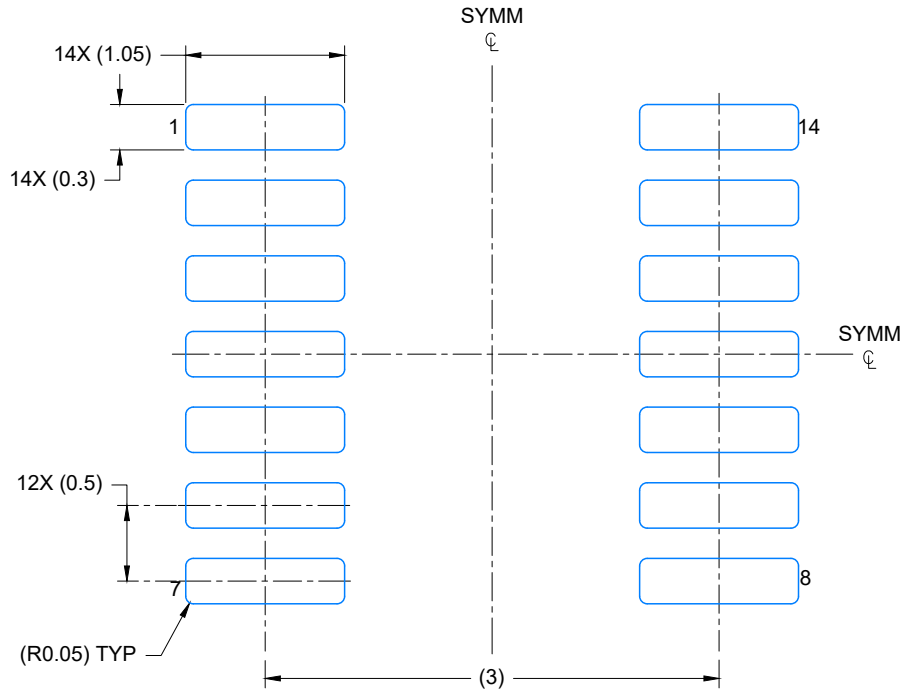
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

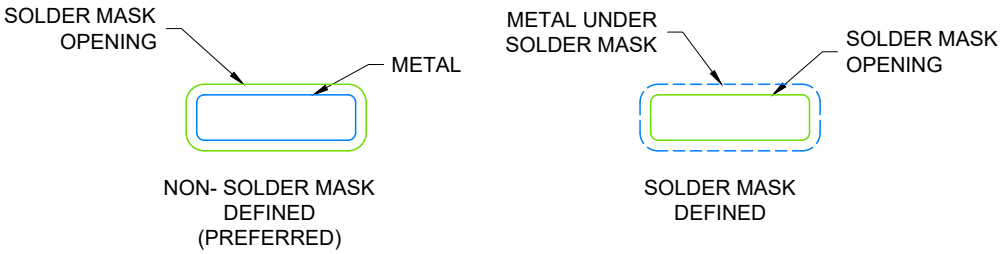


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

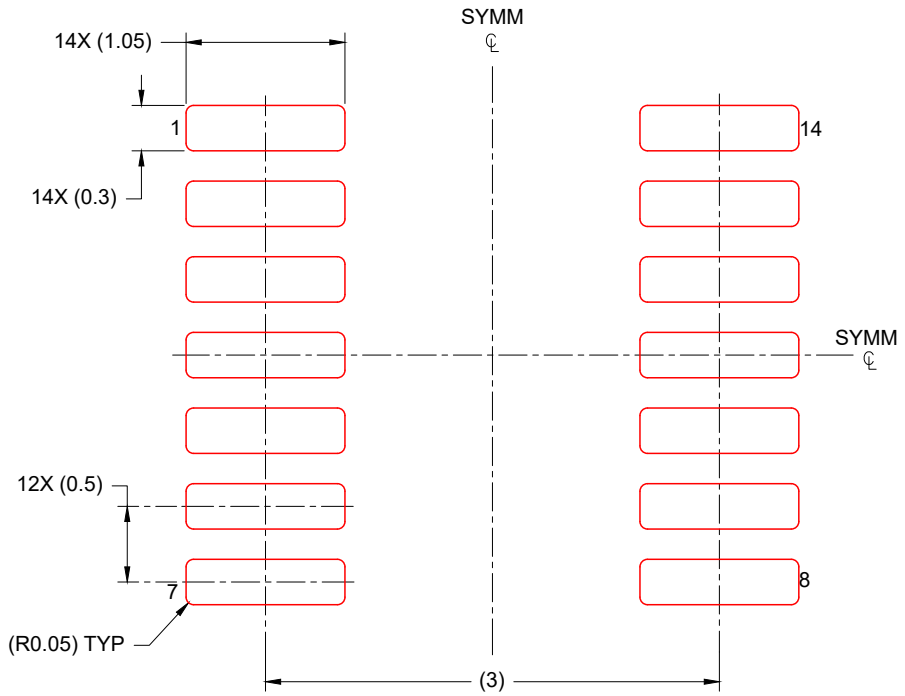


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

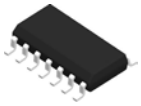


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

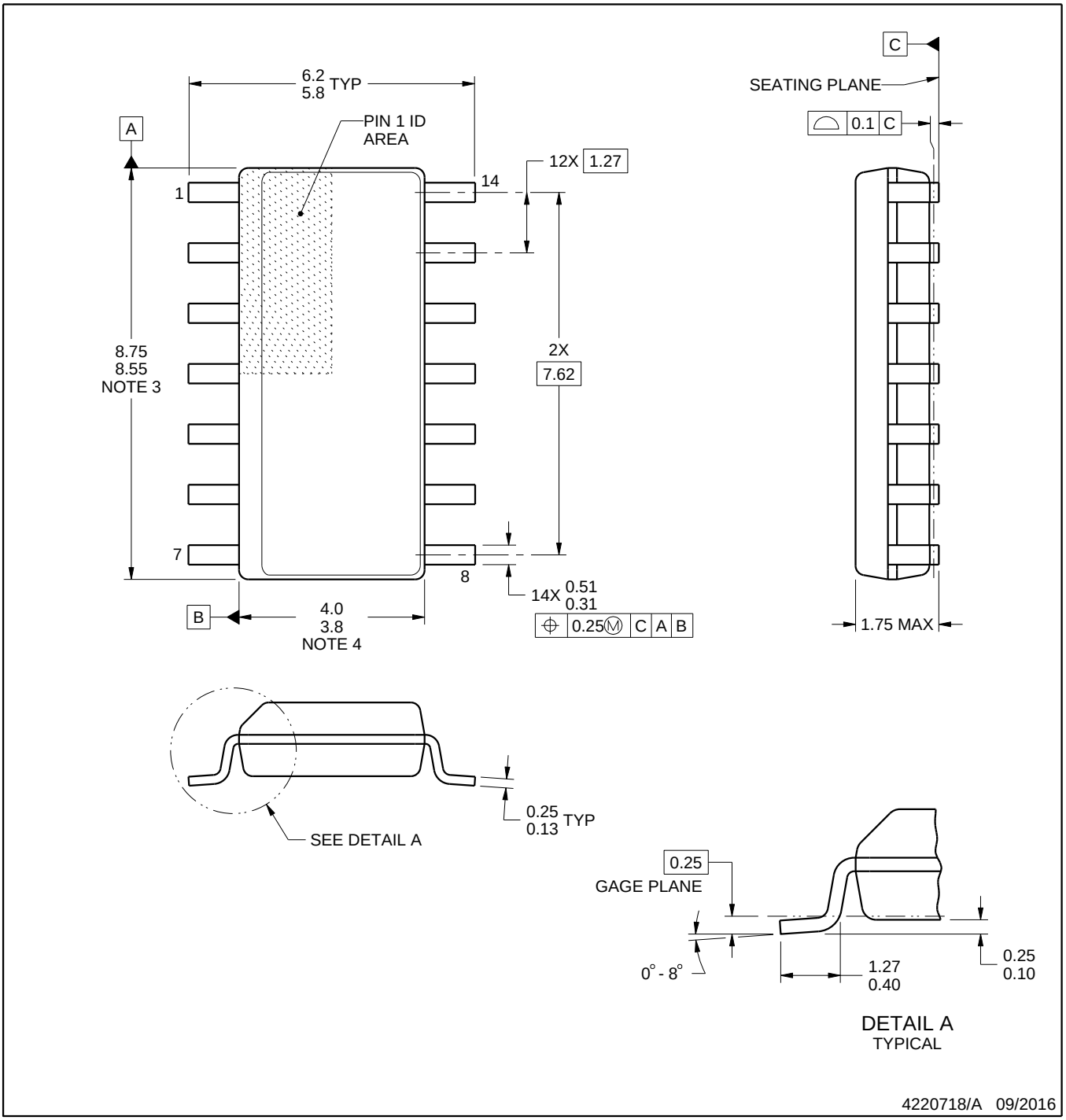


PACKAGE OUTLINE

D0014A

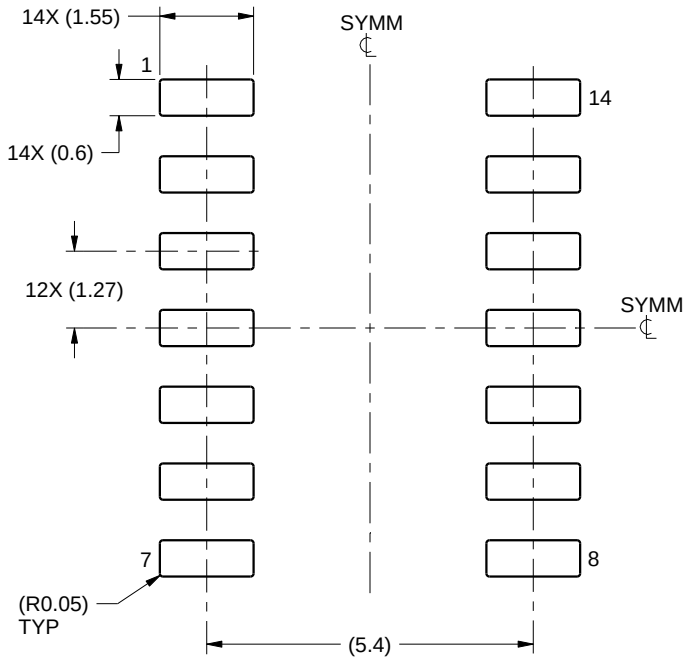
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

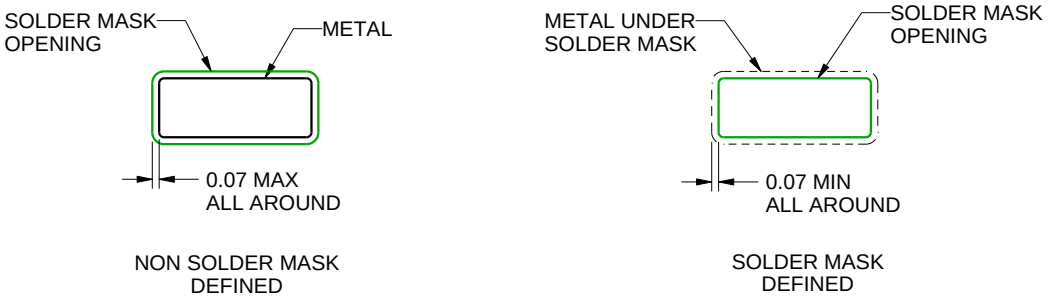


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

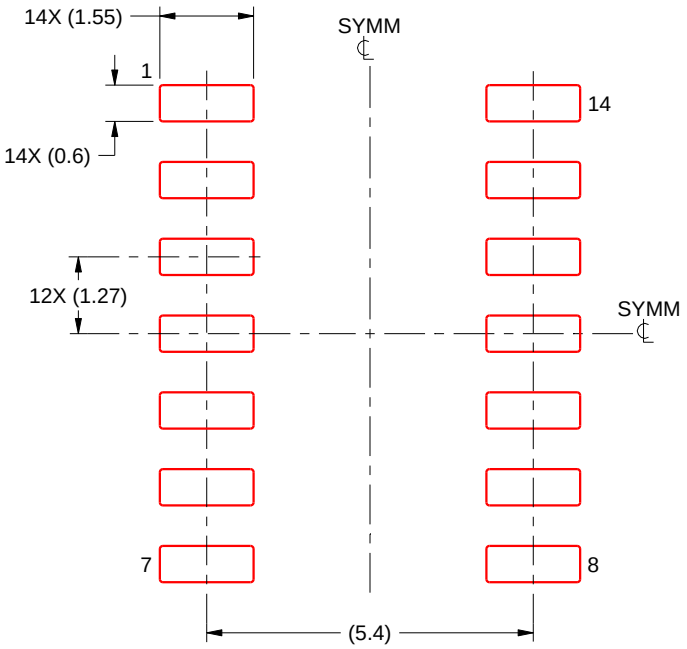
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

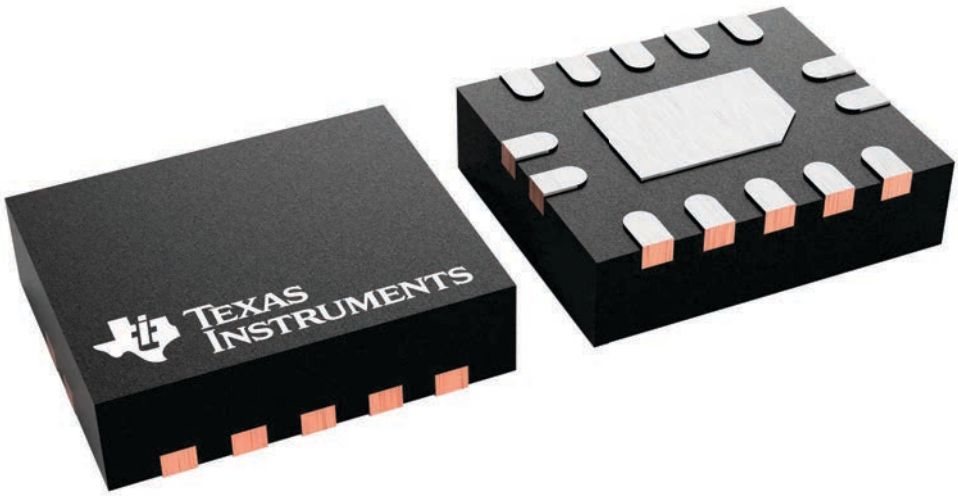
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

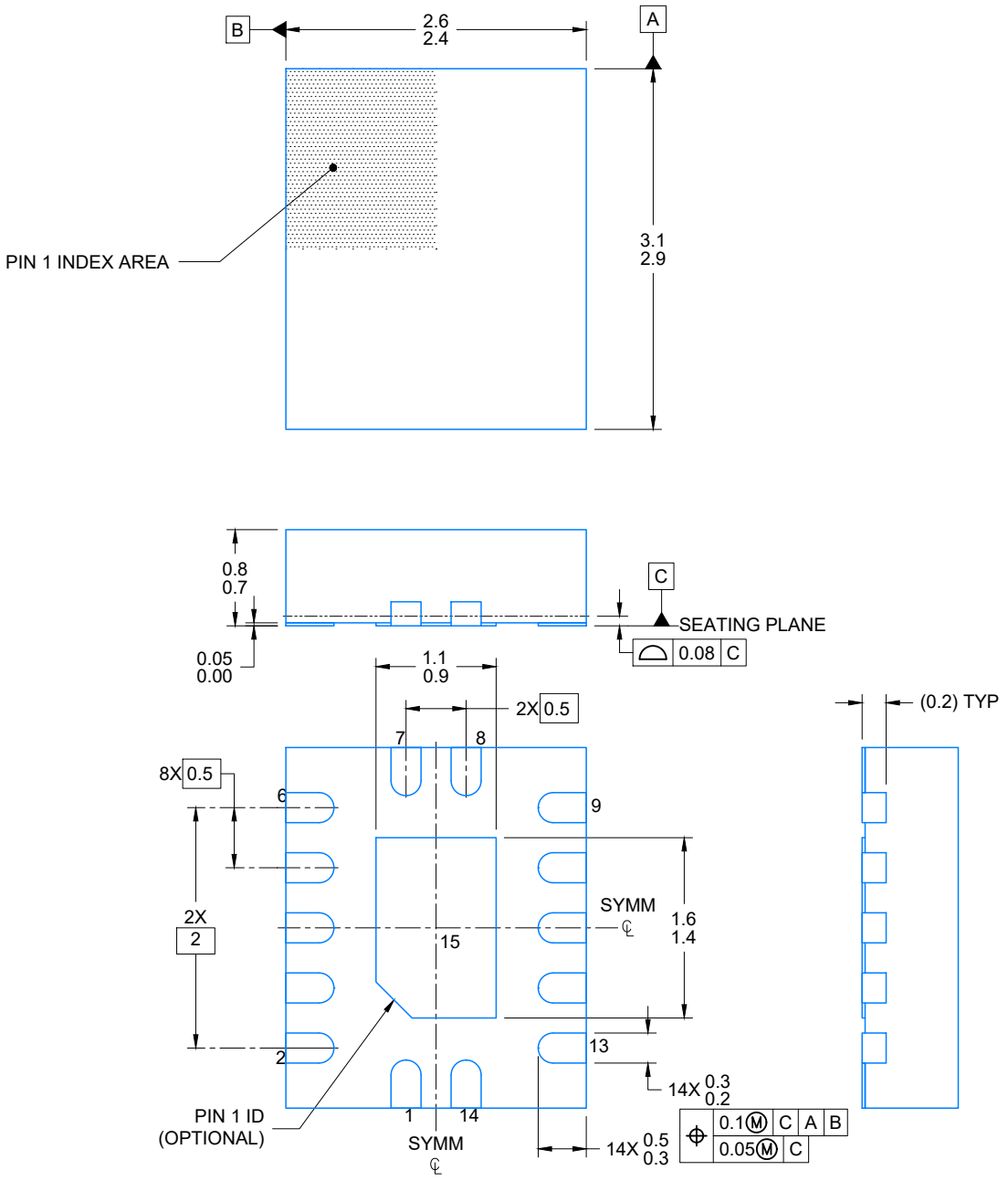


PACKAGE OUTLINE

BQA0014A

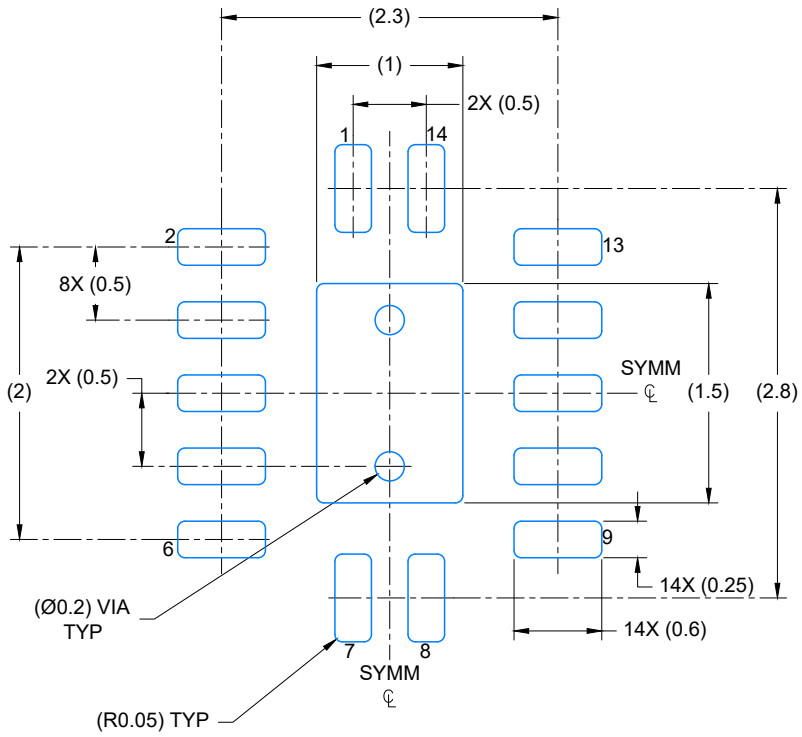
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

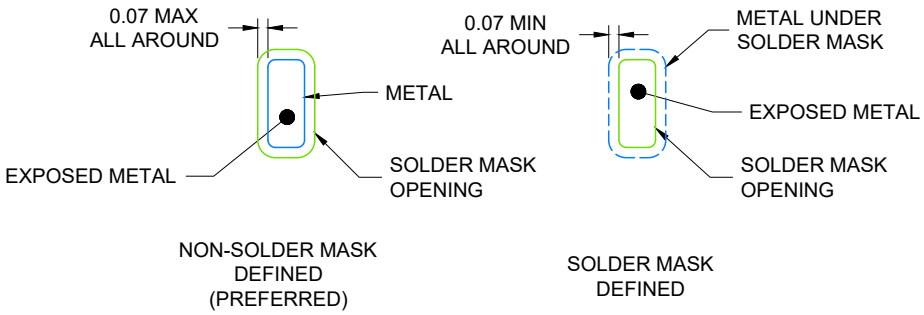


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



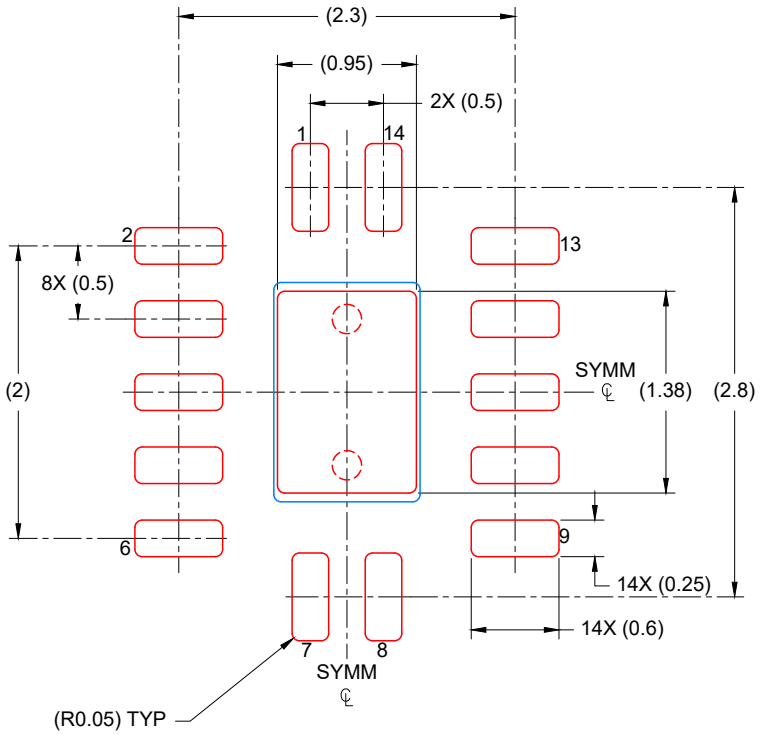
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

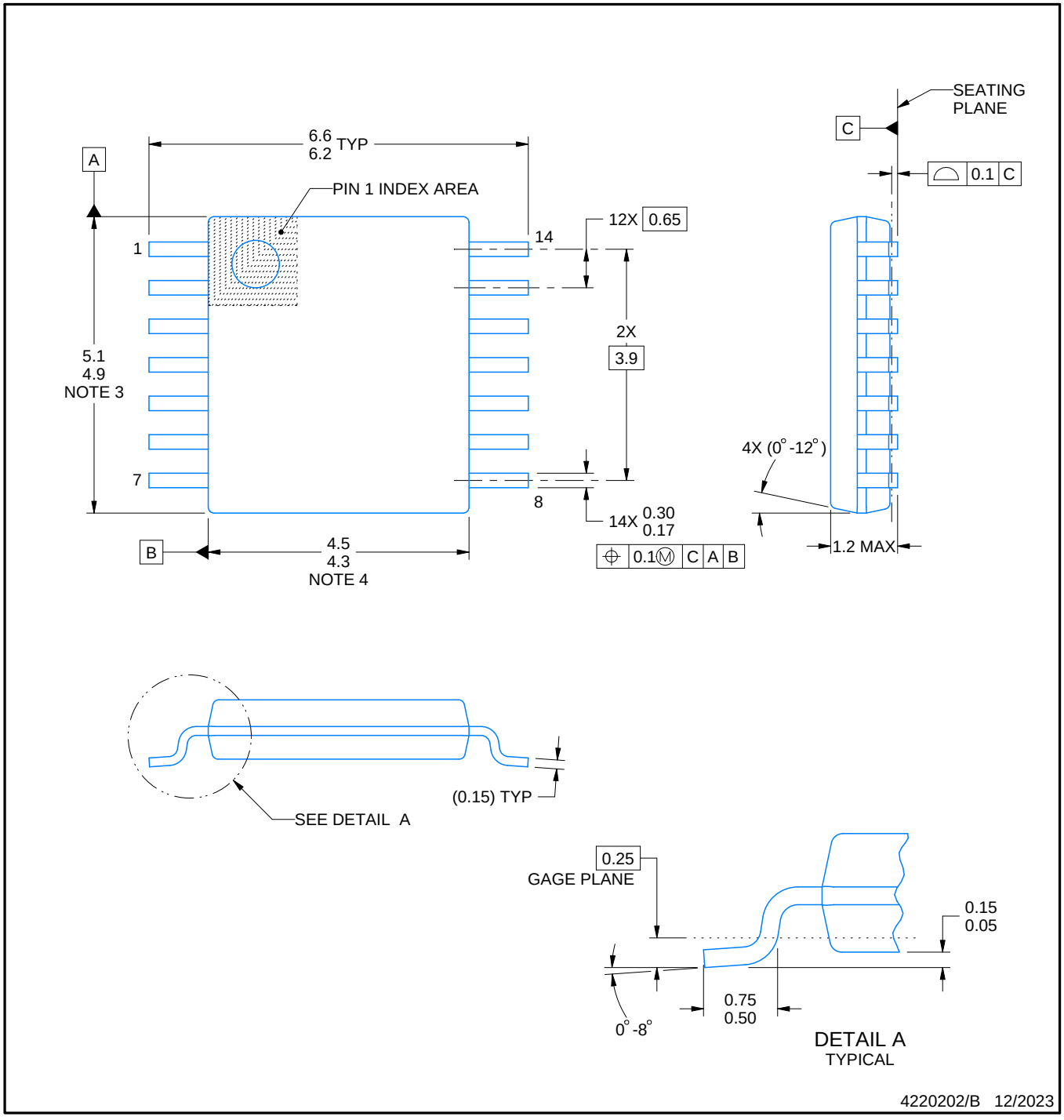
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

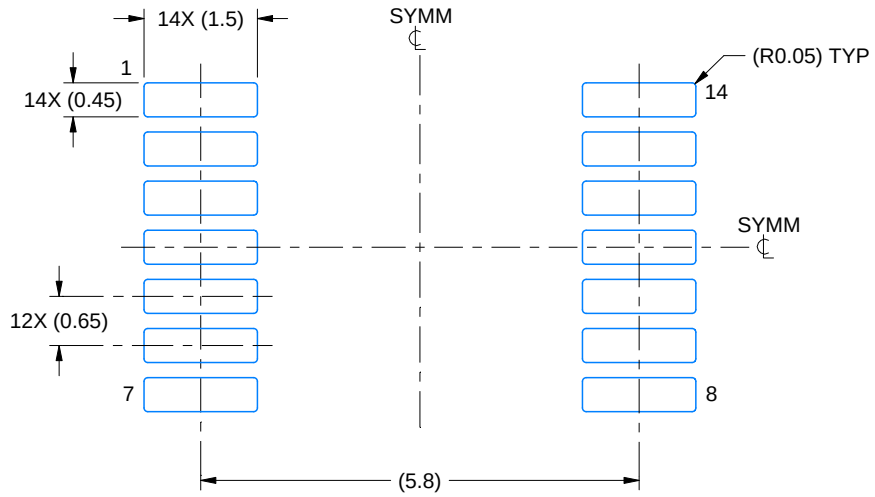
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

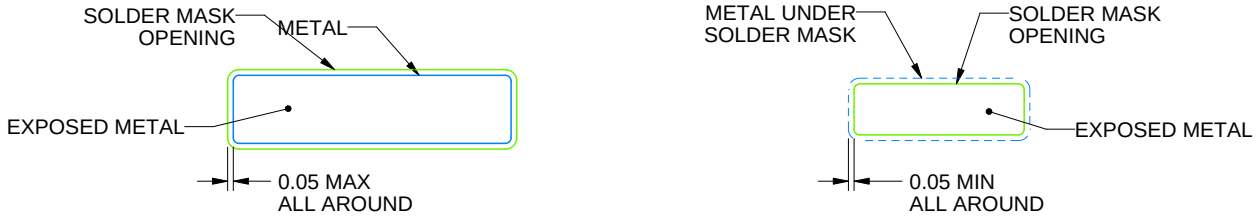


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

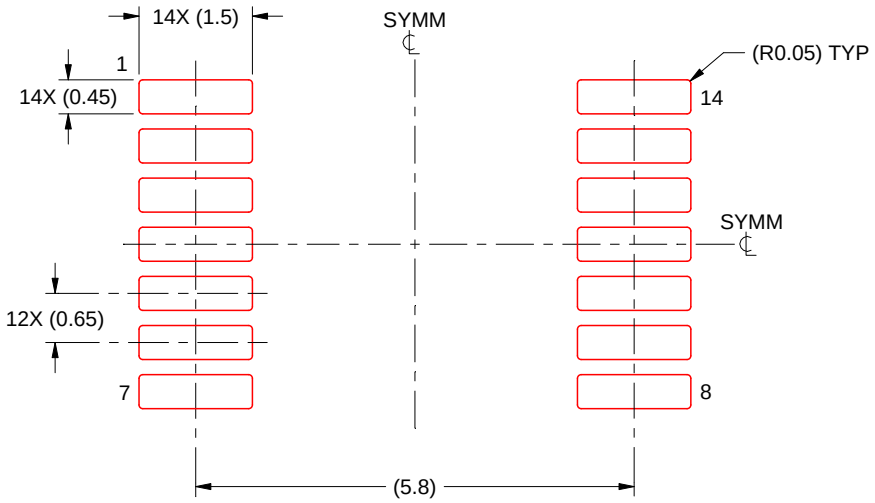


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月