SN74LV08A クワッド、2 入力、正論理 AND ゲート

1 特長

- 2V～5.5V の V_{CC} で動作
- 最大 t_{pd} 7ns (5V 時)
- 標準 V_{OLP} (出力グランド バウンス)
  < 0.8V (V_{CC} = 3.3V、T_A = 25℃)
- V_{OHV} (代表値) (出力 V_{OH} アンダーシュート)
  > 2.3V (V_{CC} = 3.3V、T_A = 25℃)
- すべてのポートで混在モード電圧動作をサポート
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- JESD 17 準拠
  250mA 超のラッチアップ性能

2 アプリケーション

- サーバー
- 通信インフラ
- PC およびノートパソコン
- 複数のパワー グッド信号の組み合わせ

3 説明

クワッド 2 入力正論理 AND ゲートは、2V～5.5V V_{CC} 動作に向けて設計されています。この SN74LV08A デバイスは、プール関数または $Y = A \cdot B$ or $Y = \overline{A} + \overline{B}$ を正論理で実行します。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
SN74LV08A	DGV (TVSOP、14)	3.60mm × 4.40mm
	D (SOIC、14)	8.65mm × 3.91mm
	RGY (VQFN、14)	3.50mm × 3.50mm
	DB (SSOP、14)	6.20mm × 5.30mm
	PW (TSSOP、14)	5.00mm × 4.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

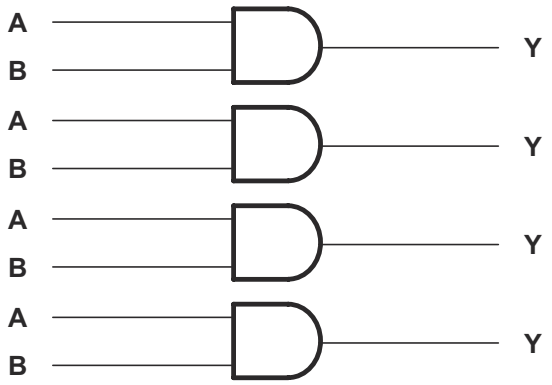


図 3-1. 概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

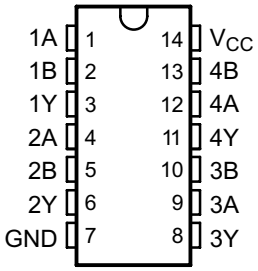
目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 6
5.6 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V ... 6
5.7 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V ... 6
5.8 スイッチング特性、V_{CC} = 5 V ± 0.5 V ... 7
5.9 ノイズ特性 ... 8
5.10 動作特性 ... 8
5.11 代表的特性 ... 8
6 パラメータ測定情報 ... 9
7 詳細説明 ... 10
7.1 概要 ... 10
7.2 機能ブロック図 ... 10
7.3 機能説明 ... 10
7.4 デバイスの機能モード ... 10
8 アプリケーションと実装 ... 11
8.1 アプリケーション情報 ... 11
8.2 代表的なアプリケーション ... 11
8.3 電源に関する推奨事項 ... 13
8.4 レイアウト ... 13
9 デバイスおよびドキュメントのサポート ... 14
9.1 ドキュメントの更新通知を受け取る方法 ... 14
9.2 サポート・リソース ... 14
9.3 商標 ... 14
9.4 静電気放電に関する注意事項 ... 14
9.5 用語集 ... 14
10 改訂履歴 ... 14
11 メカニカル、パッケージ、および注文情報 ... 15

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

SN74LV08A . . . D, DB, DGV, NS, OR PW PACKAGE (TOP VIEW)



SN74LV08A . . . RGY PACKAGE (TOP VIEW)

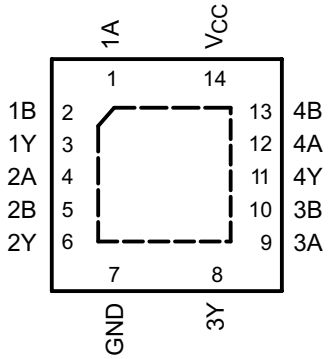


表 4-1. ピンの機能

ピン		タイプ[1]	説明
名称	SN74LV08A D、DB、DGV、 NS、PW、RGY		
1A	1	I	1A 入力
1B	2	I	1B 入力
1Y	3	O	1Y 出力
2A	4	I	2A 入力
2B	5	I	2B 入力
2Y	6	O	2Y 出力
3Y	8	O	3Y 出力
3A	9	I	3A 入力
3B	10	I	3B 入力
4Y	11	O	4Y 出力
4A	12	I	4A 入力
4B	13	I	4B 入力
GND	7	—	グランド ピン
V_{CC}	14	—	パワー ピン

(1) 信号タイプ : I = 入力、O = 出力、I/O = 入力または出力。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_J	接合部温度			150	°C
T_{stg}	保管温度範囲		-65	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「*推奨動作条件*」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) この値は最大 5.5V に制限されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠、すべてのピン (2)	±1000	
		マシン モデル	±200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN74LV08A		単位
			最小値	最大値	
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 2.3V～2.7V	V_{CC} × 0.7		
		V_{CC} = 3V～3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 2.3V～2.7V		V_{CC} × 0.3	
		V_{CC} = 3V～3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V～5.5V		V_{CC} × 0.3 5	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 2.3V～2.7V		-2	mA
		V_{CC} = 3V～3.6V		-6	
		V_{CC} = 4.5V～5.5V		-12	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 2.3V～2.7V		2	mA
		V_{CC} = 3V～3.6V		6	
		V_{CC} = 4.5V～5.5V		12	
Δt/Δv	入力遷移の立ち上がりおよび立ち下がりレート	V_{CC} = 2.3V～2.7V		200	ns/V
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	外気温度での動作時		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『遅延またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74LV08A							単位
		D	DB	DGV	N	NS	PW	RGY	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	90.6	107.1	129.0	57.4	90.7	122.6	57.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	50.9	59.6	52.1	44.9	48.3	51.4	70.8	
$R_{\theta JB}$	接合部から基板への熱抵抗	44.8	54.4	62.0	37.2	49.4	64.4	33.6	
ψ_{JT}	接合部から上面への特性パラメータ	14.7	20.5	6.5	30.1	14.6	6.7	3.4	
ψ_{JB}	接合部から基板への特性パラメータ	44.5	53.8	61.3	37.1	49.1	63.8	33.7	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	–	–	–	–	13.9	

(1) 従来および新しい熱評価基準値の詳細については、『*IC パッケージの熱評価基準*』アプリケーションレポート (SPRA953) を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	SN74LV08A −40°C～85°C			SN74LV08A −40°C～125°C			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	High レベル出力電圧	I_{OH} = -50μA	2V ～ 5.5V	V_{CC} - 0.1			V_{CC} - 0.1			V
		I_{OH} = -2mA	2.3V	2			2			
		I_{OH} = -6mA	3V	2.48			2.48			
		I_{OH} = -12mA	4.5V	3.8			3.8			
V_{OL}	Low レベル出力電圧	I_{OL} = 50μA	2V ～ 5.5V			0.1			0.1	V
		I_{OL} = 2mA	2.3V			0.4			0.4	
		I_{OL} = 6mA	3V			0.44			0.44	
		I_{OL} = 12mA	4.5V			0.55			0.55	
I_I	入力リーク電流 (VI)	V_I = 5.5 V または GND	0～ 5.5V			±1			±1	μA
I_{CC}	静的電源電流	V_I = V_{CC} または GND、 I_O = 0	5.5V			20			20	μA
I_{off}	入力 / 出力電源オフ リーク電流	V_I または V_O = 0～5.5V	0			5			5	μA
C_i	入力容量	V_I = V_{CC} または GND	3.3V		3.3			3.3		pF
			5V		3.3			3.3		

5.6 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V

自由気流での推奨動作温度範囲内 (特に記述のない限り。パラメータ測定情報を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV08A −40°C～85°C		SN74LV08A −40°C～125°C		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		7.9(1)	13.8(1)	1	16	1	17	ns
			C_L = 50pF		10.5	17.3	1	20	1	21	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

5.7 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由気流での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV08A −40°C～85°C		SN74LV08A −40°C～125°C		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		5.6(1)	8.8(1)	1	10.5	1	11.5	ns
			C_L = 50pF		7.5	12.3	1	14	1	15	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

Copyright © 2025 Texas Instruments Incorporated

5.8 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV08A −40°C～85°C		SN74LV08A −40°C～125°C		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		4.1(1)	5.9(1)	1	7	1	8	ns
			C_L = 50pF		5.5	7.9	1	9	1	10	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

5.9 ノイズ特性

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃

パラメータ		SN74LV08A			単位
		最小値	標準値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.2	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.1	-0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		3.1		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

5.10 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd}	電力散逸容量	C_L = 50pF、 f = 10MHz	3.3V	8	pF
			5V	10	

5.11 代表的特性

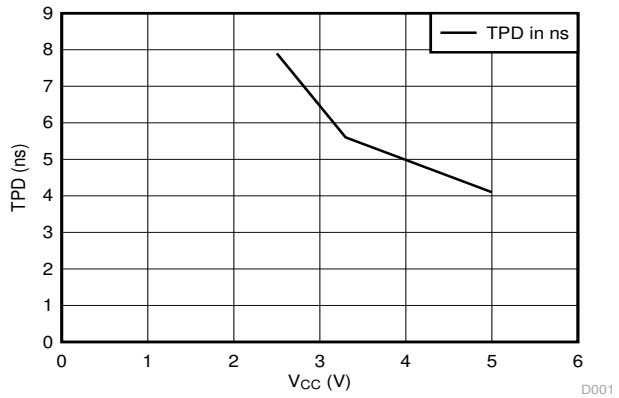


図 5-1. TPD と V_{CC} との関係

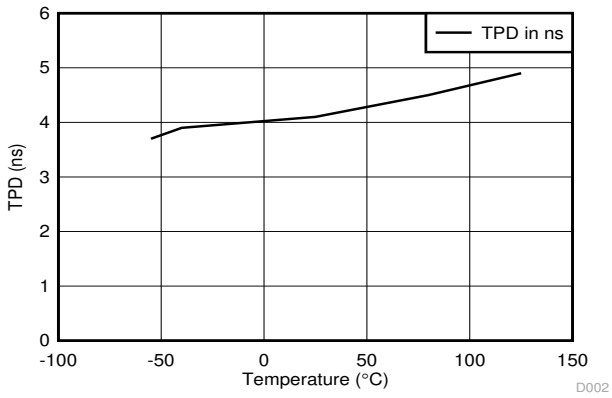
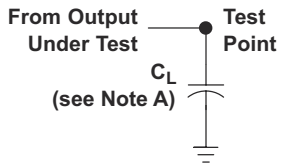


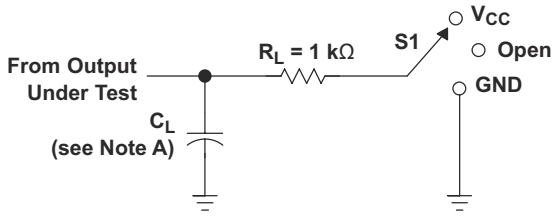
図 5-2. TPD と温度との関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

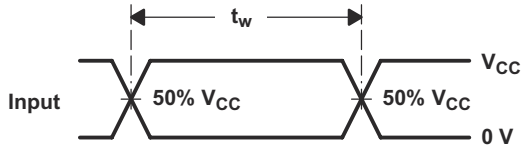


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

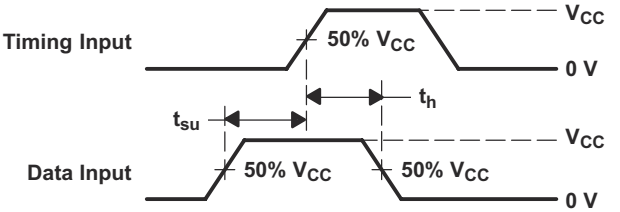


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

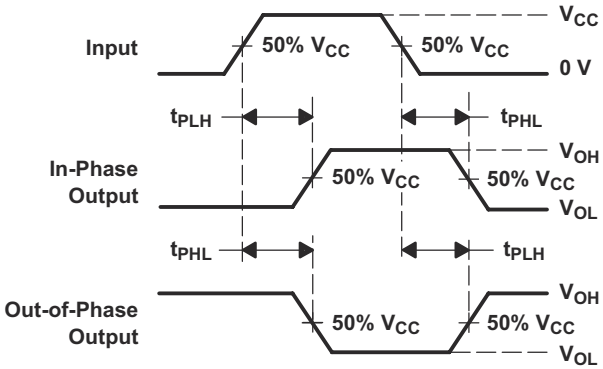
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



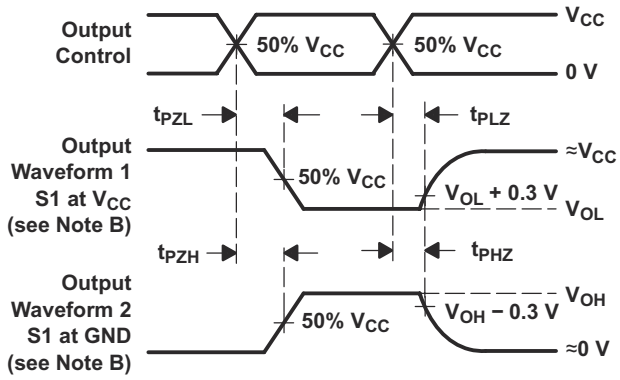
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3ns、t_f ≦ 3ns。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。

F. t_{PZL} と t_{PZH} は t_{en} と同じです。

G. t_{PHL} と t_{PLH} は t_{pd} と同じです。

H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

クワッド 2 入力正論理 AND ゲートは、2V～5.5V V_{CC} 動作に向けて設計されています。この SN74LA08A デバイスは、プール関数または $Y = A \cdot B$ or $Y = \overline{\overline{A} + \overline{B}}$ を正論理で実行します。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーションでの動作が完全に規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

7.2 機能ブロック図

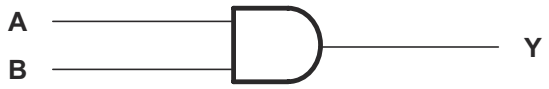


図 7-1. 各ゲートの論理図 (正論理)

7.3 機能説明

- 広い動作電圧範囲
  - 2V ～ 5.5V で動作
- 降圧変換に対応
  - 5.5V までの入力電圧に対応
- I_{off} 機能
  - V_{CC} が 0V のときに入力または出力に電圧をかけることが可能

7.4 デバイスの機能モード

表 7-1. 機能表 (各ゲート)

入力(1)		出力(2)
A	B	Y
H	H	H
L	X	L
X	L	L

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア
(2) H = High に駆動、L = Low に駆動、Z = 高インピーダンス状態

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LV08A は、出力リンギングが懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる低駆動能力の CMOS デバイスです。低駆動および低速エッジ レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。入力は、任意の有効な V_{CC} において 5.5V までの電圧に対応できるため、降圧変換に非常に適しています。

8.2 代表的なアプリケーション

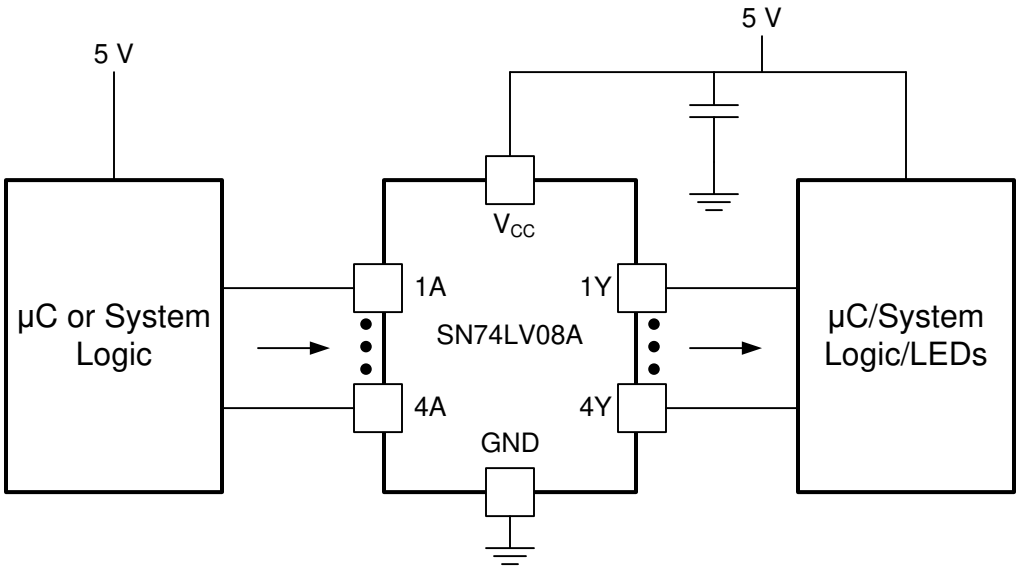


図 8-1. アプリケーション図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 規定された High および Low レベルについては、*セクション 5.3* の表の V_{IH} および V_{IL} を参照してください。
   - 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
2. 推奨出力条件:
   - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

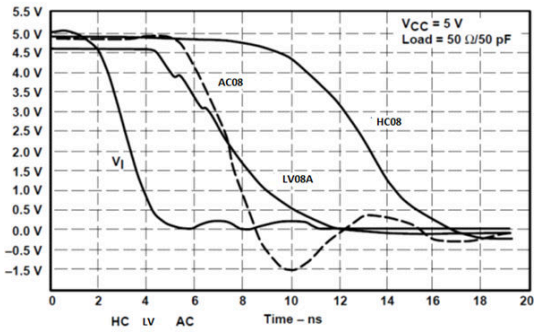


図 8-2. アプリケーション曲線

Copyright © 2025 Texas Instruments Incorporated

8.3 電源に関する推奨事項

電源には、「セクション 5.3」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1µF のコンデンサを推奨します。V_{CC} 端子が複数ある場合、それぞれの電源端子に 0.01µF または 0.022µF のコンデンサを取り付けることが推奨されます。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1µF と 1.0µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子のできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ ゲートのうち 3 入力のみを使用する場合です。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

図 8-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.4.2 レイアウト例

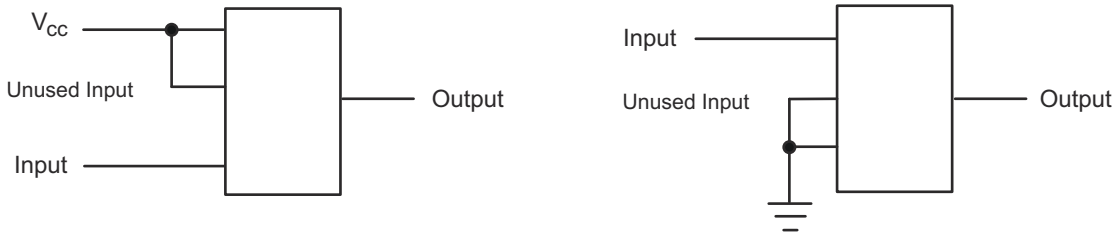


図 8-3. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision M (October 2014) to Revision N (September 2025)	Page
• 最新のデータシート規格を反映するように、文書全体の採番、書式設定、表、図、相互参照を更新	1
• –40°C ～ 85°C の温度範囲を追加	4

Changes from Revision L (October 2010) to Revision M (October 2014)	Page
• ドキュメントを新しい テキサス・インスツルメンツのデータシートのフォーマットに更新	1
• 「注文情報」表を削除。	1
• データシートから SN54LV08A デバイスを削除。	1
• 「アプリケーション」を追加。	1
• 「ピンの機能」表を追加。	3
• 「推奨動作条件」表で、最大動作温度を 125℃に変更。	5
• 「熱に関する情報」表を追加	5
• 「代表的特性」を追加	8
• 「アプリケーションと実装」セクションを追加。	11
• 「電源に関する推奨事項」および「レイアウト」セクションを追加	13

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV08AD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LV08A
SN74LV08ADBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ADBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ADGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ADGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ADR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ADR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08ANSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV08A
SN74LV08ANSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV08A
SN74LV08APW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	LV08A
SN74LV08APWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWRG3	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWRG3.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV08A
SN74LV08APWT	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	LV08A
SN74LV08ARGYR	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV08A
SN74LV08ARGYR.A	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV08A
SN74LV08ARGYRG4	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV08A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV08A :

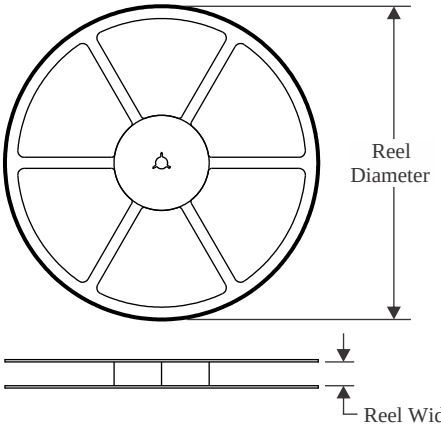
- Automotive : SN74LV08A-Q1
- Enhanced Product : SN74LV08A-EP

NOTE: Qualified Version Definitions:

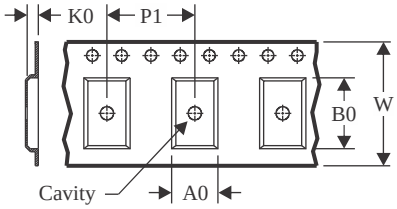
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

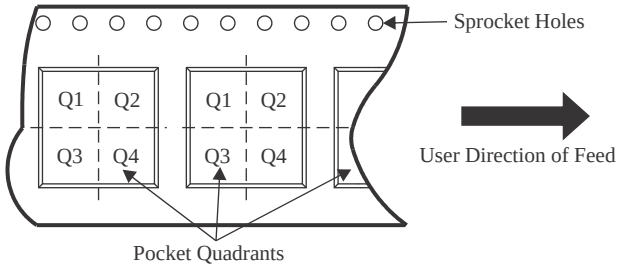


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

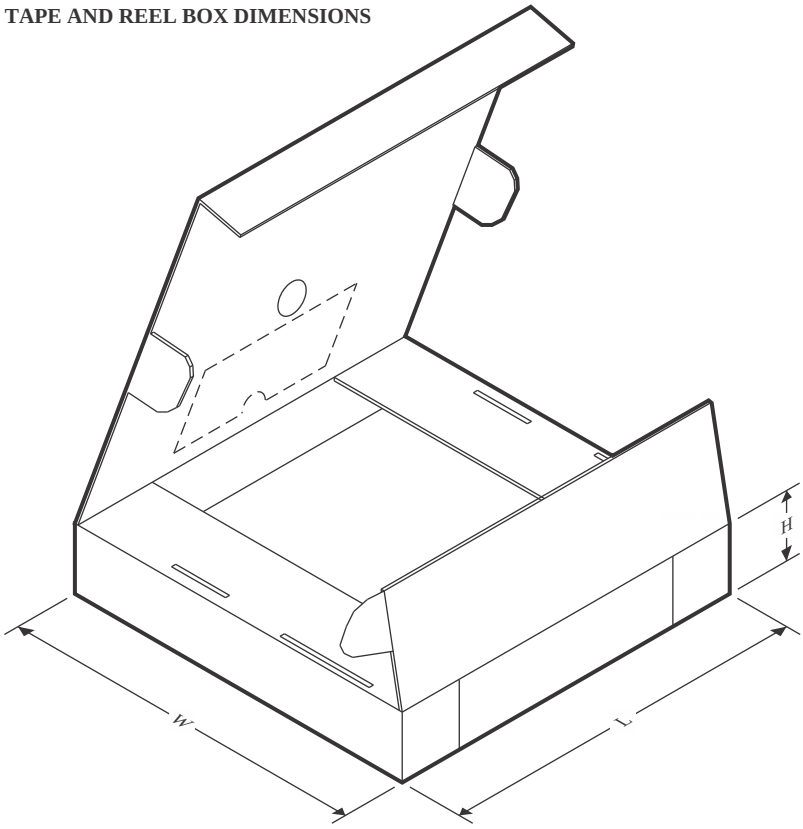
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

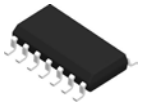
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV08ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV08ADGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV08ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LV08ANSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV08APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV08APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV08APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74LV08APWRG3	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV08APWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74LV08APWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV08ARGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV08ADBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74LV08ADGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74LV08ADR	SOIC	D	14	2500	353.0	353.0	32.0
SN74LV08ANSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74LV08APWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LV08APWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LV08APWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74LV08APWRG3	TSSOP	PW	14	2000	364.0	364.0	27.0
SN74LV08APWRG4	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74LV08APWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LV08ARGYR	VQFN	RGY	14	3000	353.0	353.0	32.0

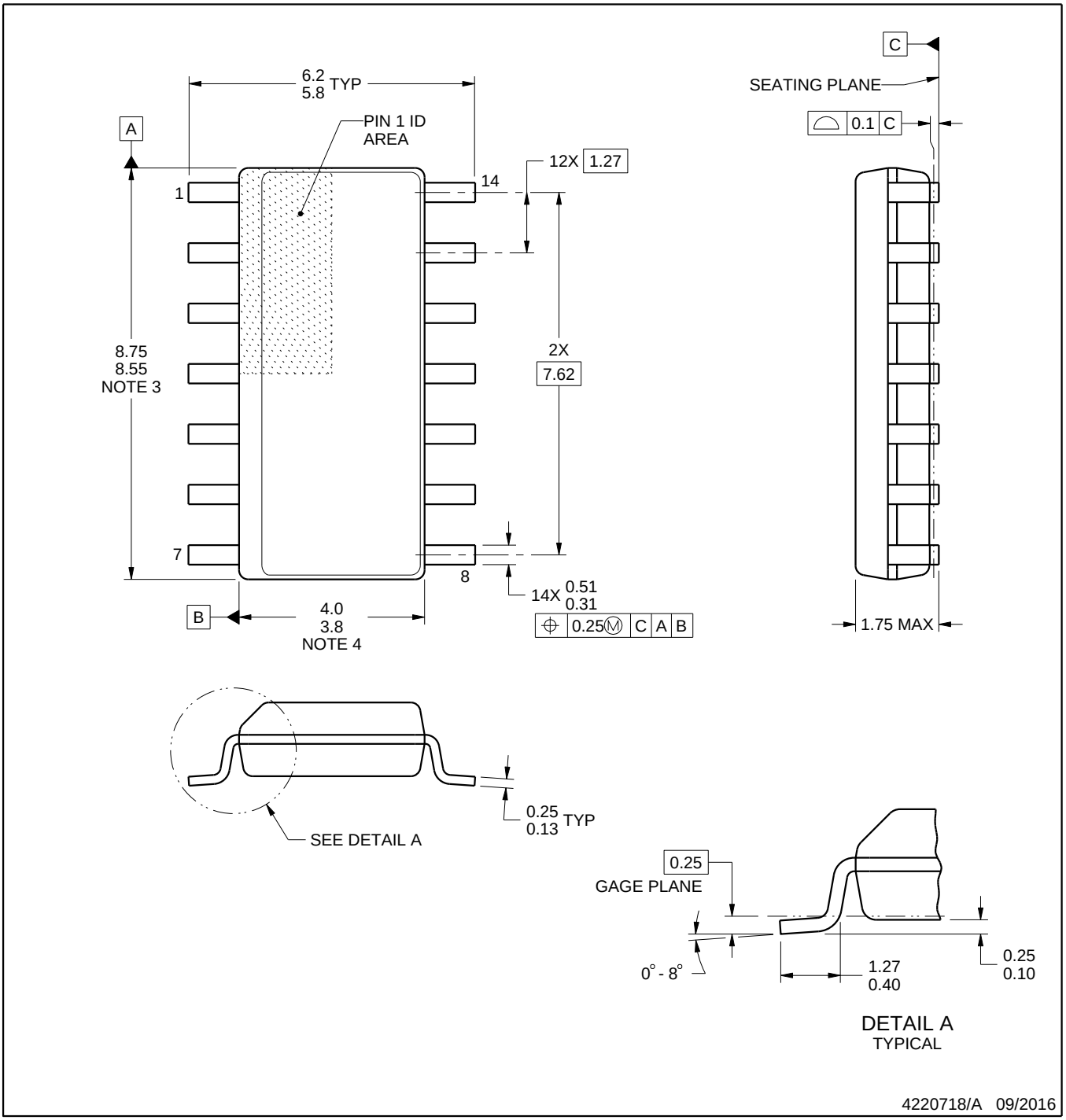


PACKAGE OUTLINE

D0014A

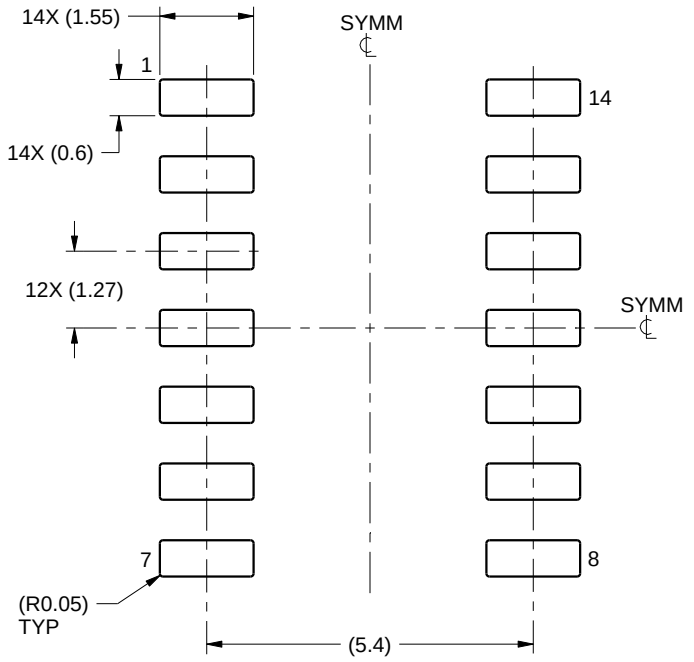
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

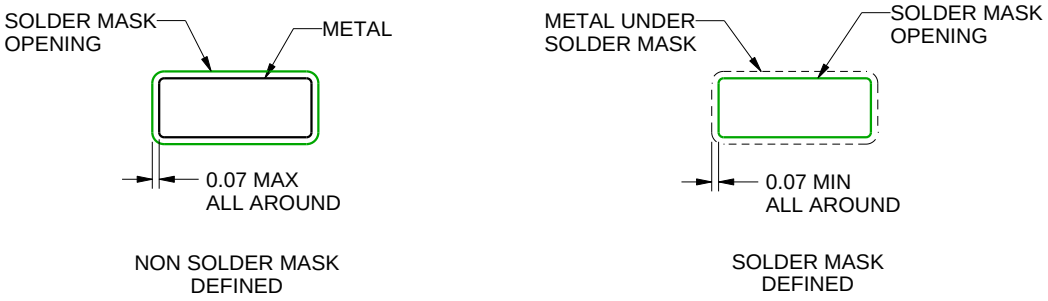


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

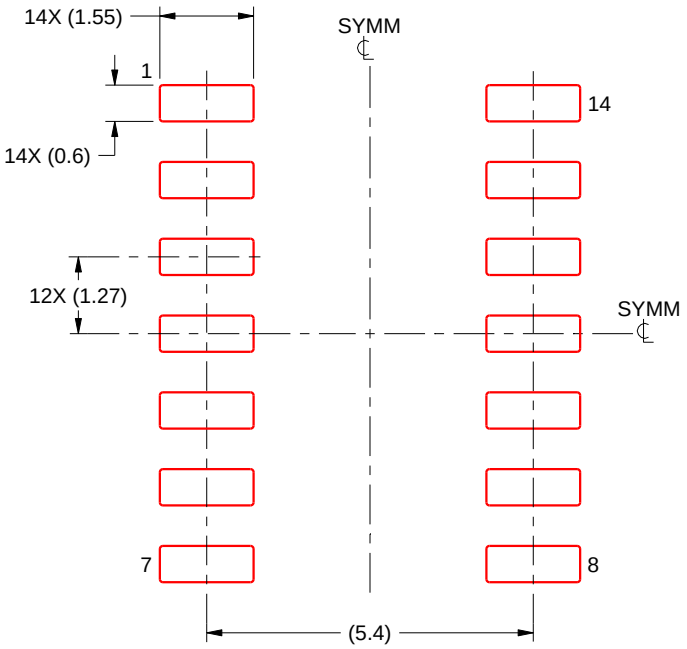
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

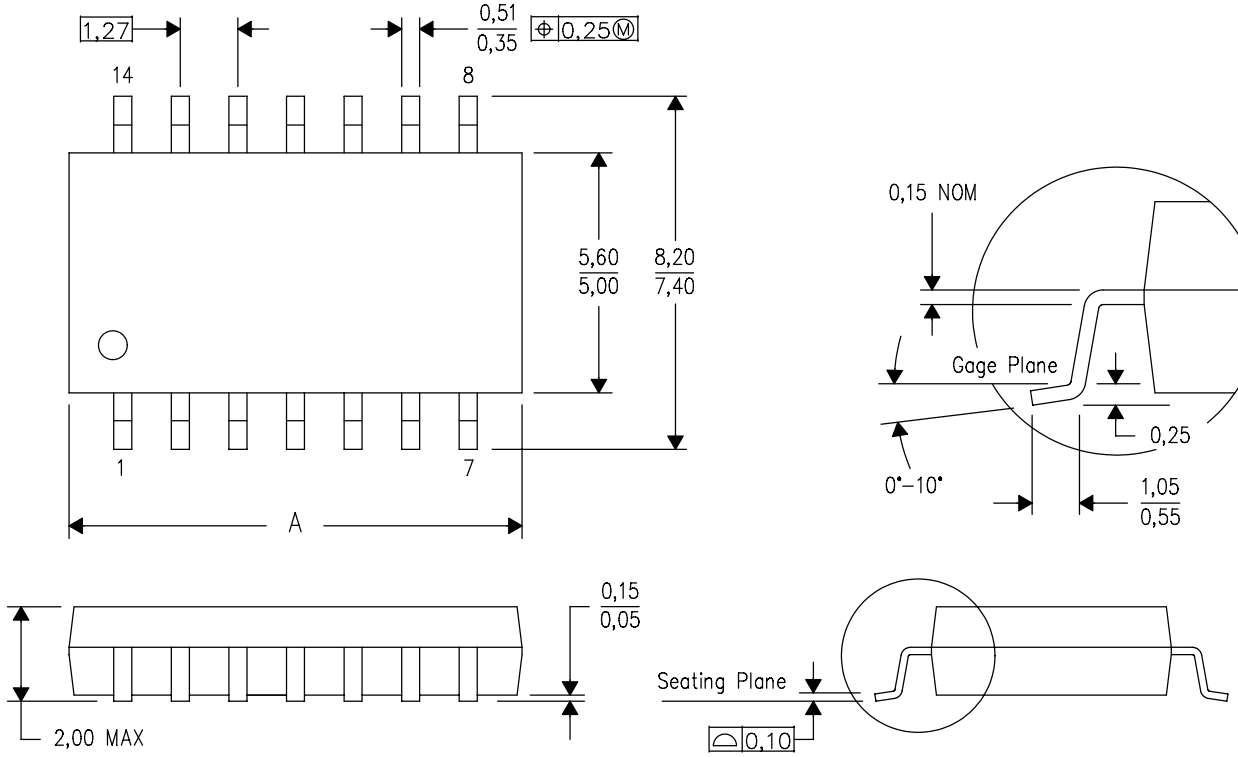
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



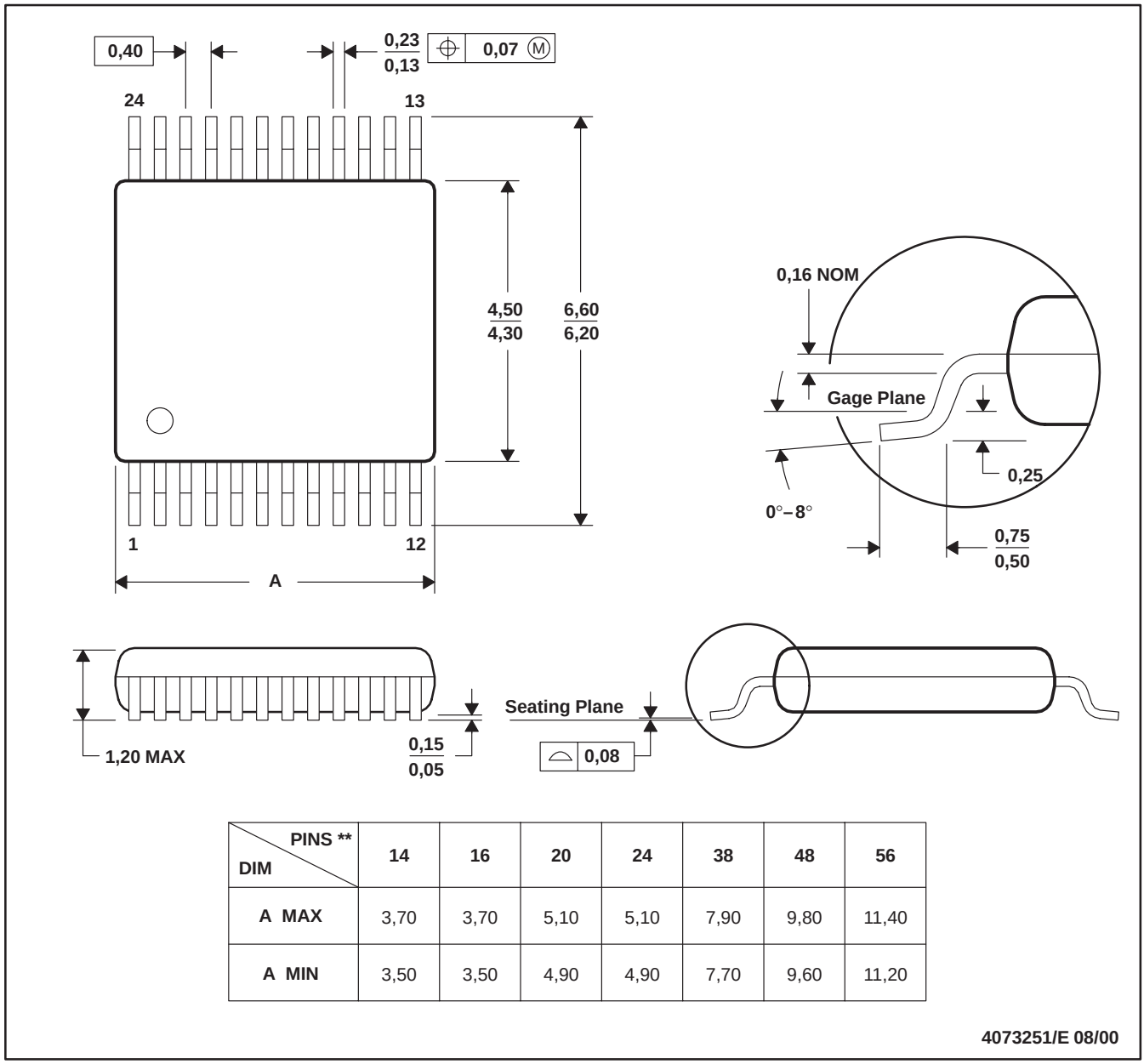
DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

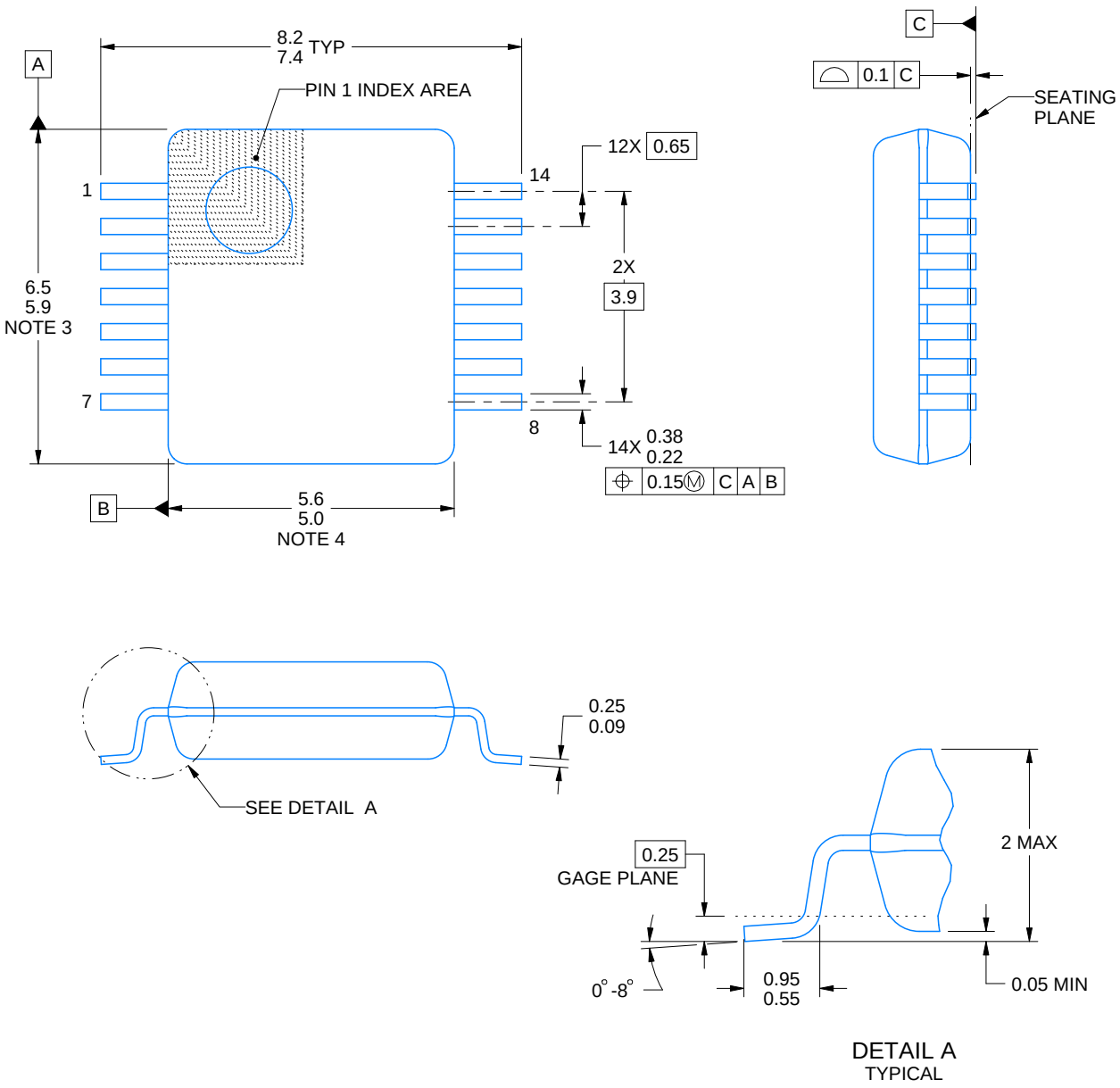
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

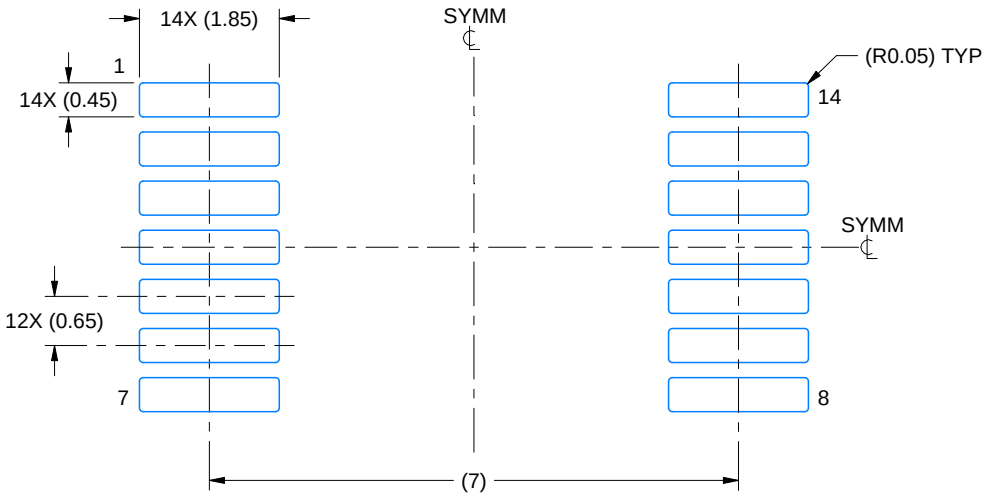
SMALL OUTLINE PACKAGE



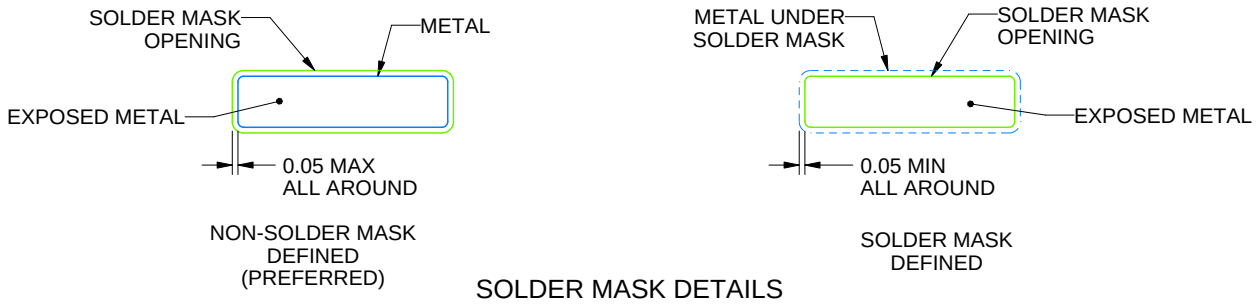
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

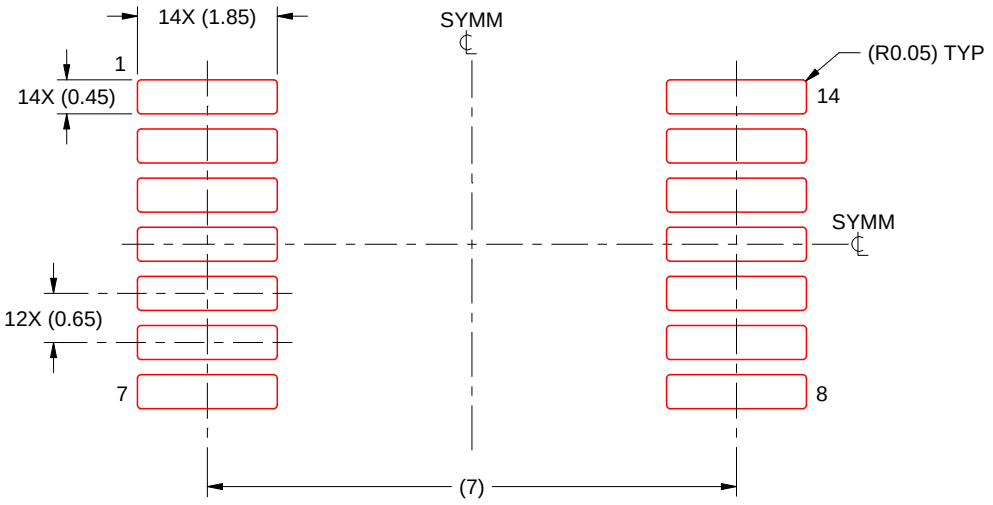


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

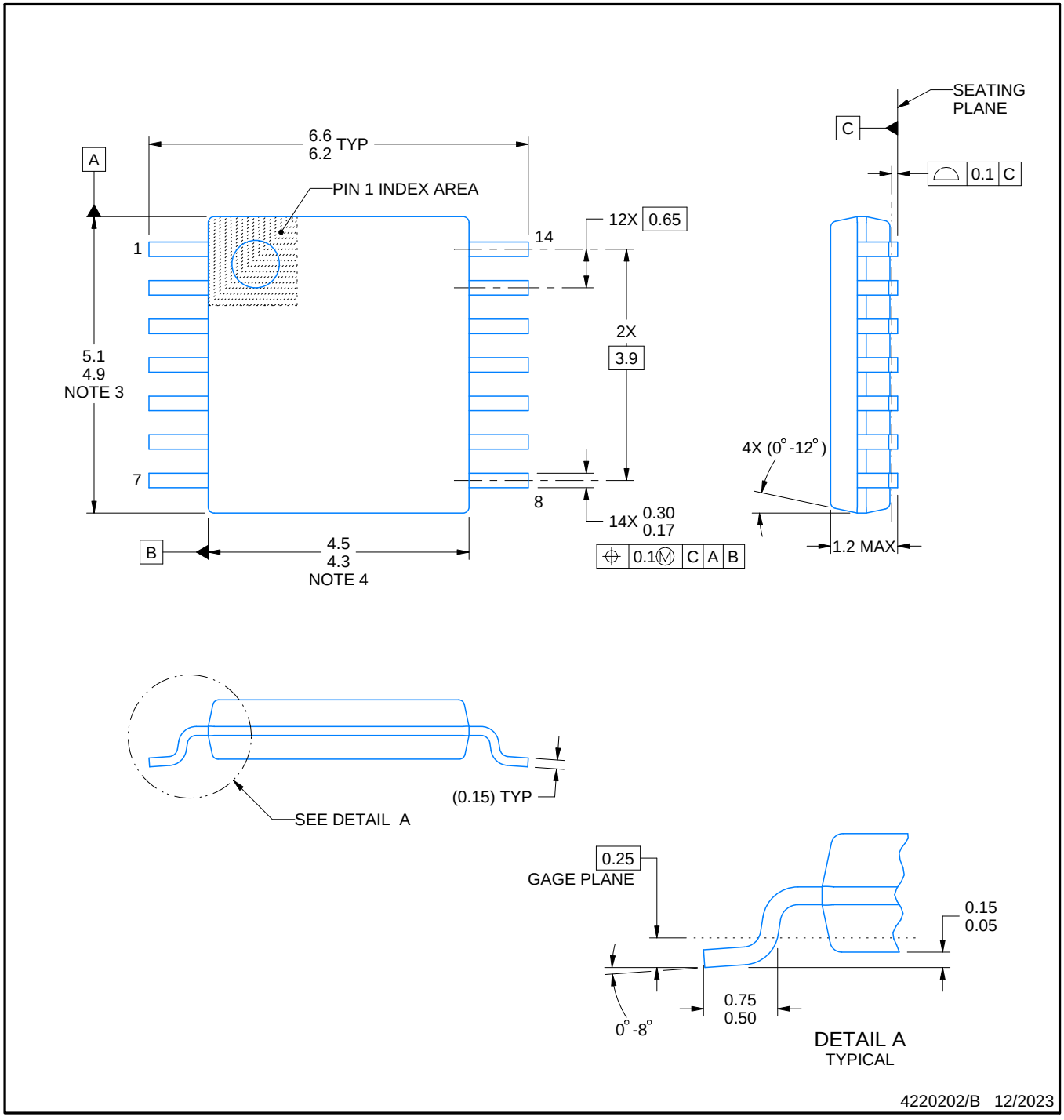
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

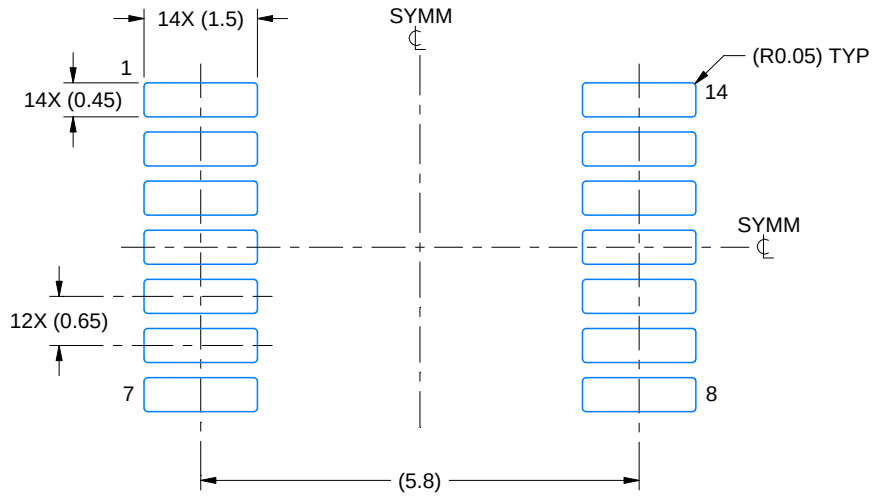
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

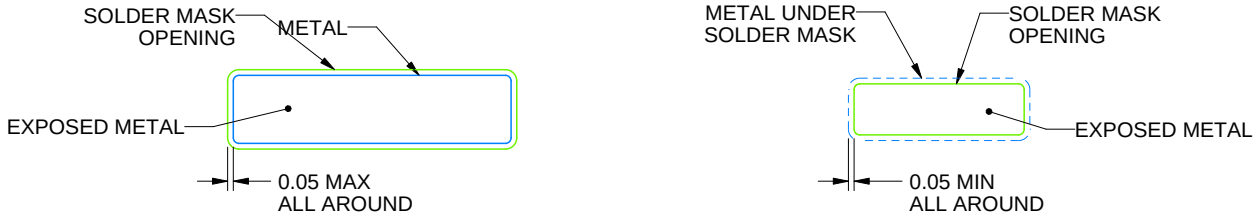


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

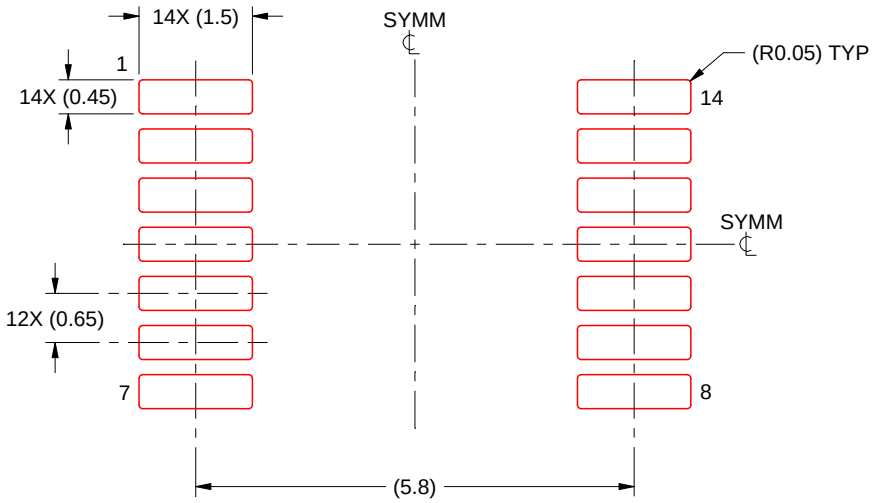


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

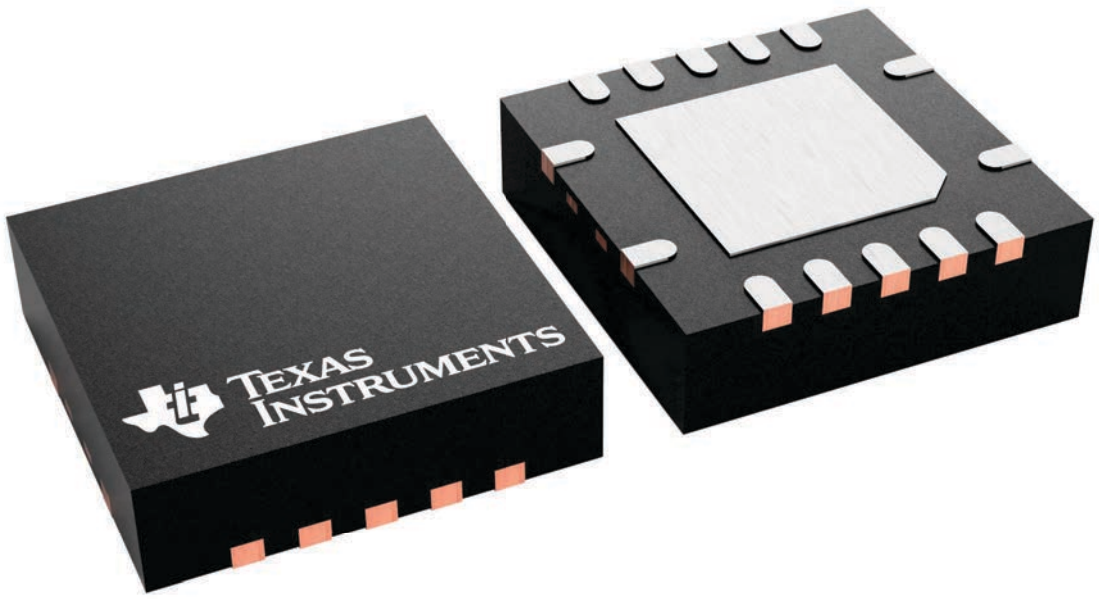
RGY 14

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231541/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月