

SN74LV126A 3 ステート出力、クワッド バス バッファ ゲート

1 特長

- 2V~5.5V の V_{CC} で動作
- 最大 t_{pd} 6.5ns (5V 時)
- V_{OLP} 標準値 (出力グランド バウンス) $<0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート) $>2.3V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- すべてのポートで混在モード電圧動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- サーバー
- ネットワーク スイッチ
- POS システム
- テレビ
- セットトップ ボックス

3 概要

SN74LV126A クワッド バス バッファ ゲートは、2V~5.5V の V_{CC} で動作するように設計されています。

これらのクワッド バス バッファ ゲートは、2V~5.5V の V_{CC} で動作するように設計されています。

SN74LV126A は、3 ステート出力の独立ラインドライバを備えています。各出力は、対応する出力イネーブル (OE) 入力が **Low** のときディセーブルになります。

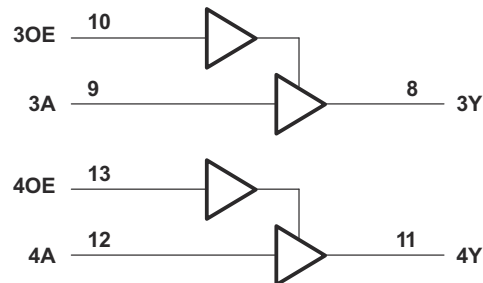
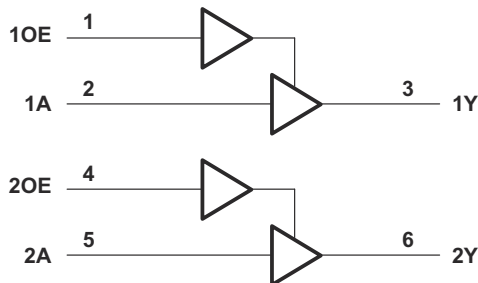
電源オンまたは電源オフ時に高インピーダンス状態を確保するため、OE をプルダウン抵抗経由で **GND** に接続する必要があります。この抵抗の最小値は、ドライバの電流ソース能力によって決まります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74LV126A	D (SOIC, 14)	8.65mm × 6mm
	NS (SOP, 14)	10.2mm × 7.8mm
	DB (SSOP, 14)	6.2mm × 7.8mm
	PW (TSSOP, 14)	5mm × 6.4mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



Table of Contents

1 特長	1	7.1 Overview.....	8
2 アプリケーション	1	7.2 Functional Block Diagram.....	8
3 概要	1	7.3 Feature Description.....	8
4 Pin Configuration and Functions	2	7.4 Device Functional Modes.....	8
5 Specifications	3	8 Application and Implementation	9
5.1 Absolute Maximum Ratings.....	3	8.1 Application Information.....	9
5.2 ESD Ratings.....	3	8.2 Typical Application.....	9
5.3 Recommended Operating Conditions.....	3	8.3 Power Supply Recommendations.....	10
5.4 Thermal Information.....	4	8.4 Layout.....	10
5.5 Electrical Characteristics.....	4	9 Device and Documentation Support	11
5.6 Switching Characteristics, $V_{CC} = 2.5V \pm 0.2V$	5	9.1 Documentation Support.....	11
5.7 Switching Characteristics, $V_{CC} = 3.3V \pm 0.3V$	5	9.2 サポート・リソース.....	11
5.8 Switching Characteristics, $V_{CC} = 5V \pm 0.5V$	5	9.3 Trademarks.....	11
5.9 Noise Characteristics.....	6	9.4 静電気放電に関する注意事項.....	11
5.10 Operating Characteristics.....	6	9.5 用語集.....	11
5.11 Typical Characteristics.....	6	10 Revision History	11
6 Parameter Measurement Information	7	11 Mechanical, Packaging, and Orderable Information	11
7 Detailed Description	8		

4 Pin Configuration and Functions

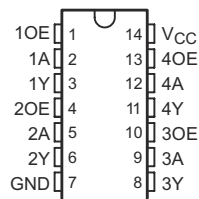


図 4-1. SN74LV126A: D, DB, DGV, NS, or PW Package, 14-Pin SOIC, SSOP, TVSOP, SOP, or TSSOP (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1OE	1	I	Channel 1, Output Enable
1A	2	I	Channel 1, Input A
1Y	3	O	Channel 1, Output Y
2OE	4	I	Channel 2, Output Enable
2A	5	I	Channel 2, Input A
2Y	6	O	Channel 2, Output Y
GND	7	—	Ground
3Y	8	O	Channel 3, Output Y
3A	9	I	Channel 3, Input A
3OE	10	I	Channel 3, Output Enable
4Y	11	O	Channel 4, Output Y
4A	12	I	Channel 4, Input A
4OE	13	I	Channel 4, Output Enable
V _{CC}	14	—	Positive Supply

(1) I = input, O = output, P = power, G = ground

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	–0.5	7	V
V _I	Input voltage ⁽²⁾	–0.5	7	V
V _O	Voltage applied to any output in the high-impedance or power-off state ⁽²⁾	–0.5	7	V
V _O	Output voltage ^{(2) (3)}	–0.5	V _{CC} + 0.5V	V
I _{IK}	Input clamp current, V _I < 0		–20	mA
I _{OK}	Output clamp current, V _O < 0		–50	mA
I _O	Continuous output current, V _O = 0 to V _{CC}		±35	mA
	Continuous current through V _{CC} or GND		±70	mA
T _{stg}	Storage temperature	–65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.
- (3) This value is limited to 5.5V maximum.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

see ⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage		2	5.5	V
V _{IH}	High-level input voltage	V _{CC} = 2V	1.5		V
		V _{CC} = 2.3 to 2.7V	V _{CC} × 0.7		
		V _{CC} = 3 to 3.6V	V _{CC} × 0.7		
		V _{CC} = 4.5 to 5.5V	V _{CC} × 0.7		
V _{IL}	Low-level input voltage	V _{CC} = 2V		0.5	V
		V _{CC} = 2.3 to 2.7V		V _{CC} × 0.3	
		V _{CC} = 3 to 3.6V		V _{CC} × 0.3	
		V _{CC} = 4.5 to 5.5V		V _{CC} × 0.3	
V _I	Input voltage		0	5.5	V
V _O	Output voltage	High or low state	0	V _{CC}	V
		3-state	0	5.5	
I _{OH}	High-level output current	V _{CC} = 2V		–50	μA
		V _{CC} = 2.3 to 2.7V		–2	mA
		V _{CC} = 3 to 3.6V		–8	
		V _{CC} = 4.5 to 5.5V		–16	

5.3 Recommended Operating Conditions (続き)

see (1)

		MIN	MAX	UNIT
I_{OL}	Low-level output current	$V_{CC} = 2V$	50	μA
		$V_{CC} = 2.3$ to $2.7V$	2	mA
		$V_{CC} = 3$ to $3.6V$	8	
		$V_{CC} = 4.5$ to $5.5V$	16	
$\Delta t/\Delta v$	Input transition rise or fall rate	$V_{CC} = 2.3$ to $2.7V$	200	ns/V
		$V_{CC} = 3$ to $3.6V$	100	
		$V_{CC} = 4.5$ to $5.5V$	20	
T_A	Operating free-air temperature	-40	125	$^{\circ}C$

(1) All unused inputs of the device must be held at V_{CC} or GND for proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, [SCBA004](#).

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		D	DB	DGV	NS	PW	UNIT
		14 PINS					
R _{θJA}	Junction-to-ambient thermal resistance ⁽²⁾	92.7	105.0	127.6	89.6	119.8	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	54.1	57.5	50.7	47.2	48.6	
R _{θJB}	Junction-to-board thermal resistance	47.0	52.3	60.5	48.4	61.5	
Ψ _{JT}	Junction-to-top characterization parameter	18.9	19.1	6.1	14.0	5.7	
Ψ _{JB}	Junction-to-board characterization parameter	46.7	51.8	59.8	48.1	61.0	

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, [SPRA953](#).

(2) The package thermal impedance is calculated in accordance with JESD 51-7.

5.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V_{CC}	MIN	TYP	MAX	UNIT
V_{OH}	$I_{OH} = -50\mu A$	2 to 5.5V	$V_{CC} - 0.1$			V
	$I_{OH} = -2mA$	2.3V	2			
	$I_{OH} = -8mA$	3V	2.48			
	$I_{OH} = -16mA$	4.5V	3.8			
V_{OL}	$I_{OL} = 50\mu A$	2 to 5.5V			0.1	V
	$I_{OL} = 2mA$	2.3V			0.4	
	$I_{OL} = 8mA$	3V			0.44	
	$I_{OL} = 16mA$	4.5V			0.55	
I_I	$V_I = 5.5V$ or GND	0 to 5.5V			± 1	μA
I_{OZ}	$V_O = V_{CC}$ or GND	5.5V			± 5	μA
I_{CC}	$V_I = V_{CC}$ or GND, $I_O = 0$	5.5V			20	μA
I_{off}	V_I or $V_O = 0$ to 5.5V	0V			± 5	μA
C_i	$V_I = V_{CC}$ or GND	3.3V		1.6		pF

5.6 Switching Characteristics, $V_{CC} = 2.5V \pm 0.2V$

over recommended operating free-air temperature range (unless otherwise noted) (see [Figure 6-1](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{pd}	A	Y	$C_L = 15\text{pF}$		7.1	13	1	15.5	ns
t_{en}	OE				7.4	13	1	15.5	
t_{dis}	OE				5.7	14.7	1	17	
t_{pd}	A	Y	$C_L = 50\text{pF}$		9.2	16.5	1	18.5	ns
t_{en}	OE				9.5	16.5	1	18.5	
t_{dis}	OE				8.1	18.2	15	20.5	
$t_{sk(o)}$						2		2	

5.7 Switching Characteristics, $V_{CC} = 3.3V \pm 0.3V$

over recommended operating free-air temperature range (unless otherwise noted) (see [Figure 6-1](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{pd}	A	Y	$C_L = 15\text{pF}$		5	8	1	9.5	ns
t_{en}	OE				5.1	8	1	9.5	
t_{dis}	OE				4.4	9.7	1	11.5	
t_{pd}	A	Y	$C_L = 50\text{pF}$		6.4	11.5	1	13	ns
t_{en}	OE				6.6	11.5	1	13	
t_{dis}	OE				6.1	13.2	1	15	
$t_{sk(o)}$						1.5		1.5	

5.8 Switching Characteristics, $V_{CC} = 5V \pm 0.5V$

over recommended operating free-air temperature range (unless otherwise noted) (see [Figure 6-1](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{pd}	A	Y	$C_L = 15\text{pF}$		3.5	5.5	1	6.5	ns
t_{en}	OE				3.6	5.1	1	6	
t_{dis}	OE				3.3	6.8	1	8	
t_{pd}	A	Y	$C_L = 50\text{pF}$		4.6	7.5	1	8.5	ns
t_{en}	OE				4.6	7.1	1	8	
t_{dis}	OE				4.3	8.8	1	10	
$t_{sk(o)}$						1		1	

5.9 Noise Characteristics

$V_{CC} = 3.3V$, $C_L = 50pF$, $T_A = 25^\circ C$ (see ⁽¹⁾)

PARAMETER		MIN	TYP	MAX	UNIT
$V_{OL(P)}$	Quiet output, maximum dynamic V_{OL}		0.3	0.8	V
$V_{OL(V)}$	Quiet output, minimum dynamic V_{OL}		-0.2	-0.8	
$V_{OH(V)}$	Quiet output, minimum dynamic V_{OH}		3.1		
$V_{IH(D)}$	High-level dynamic input voltage	2.31			
$V_{IL(D)}$	Low-level dynamic input voltage			0.97	

(1) Characteristics are for surface-mount packages only.

5.10 Operating Characteristics

$T_A = 25^\circ C$

PARAMETER		TEST CONDITIONS	V_{CC}	TYP	UNIT
C_{pd}	Power dissipation capacitance	Outputs enable; $C_L = 50pF$, $f = 10MHz$	3.3V	14.4	pF
			5V	15.9	

5.11 Typical Characteristics

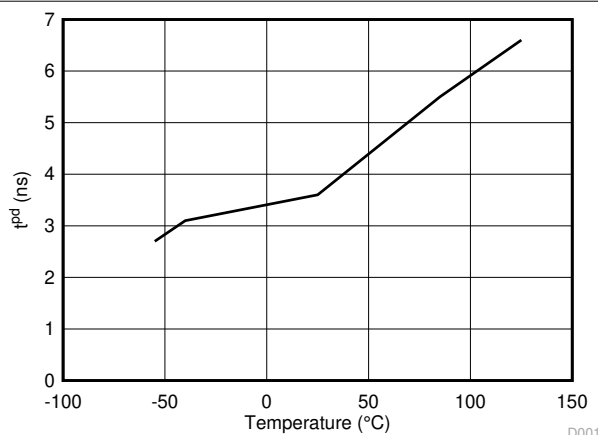


图 5-1. SN74LV126A t_{PD} vs Temperature at 5V

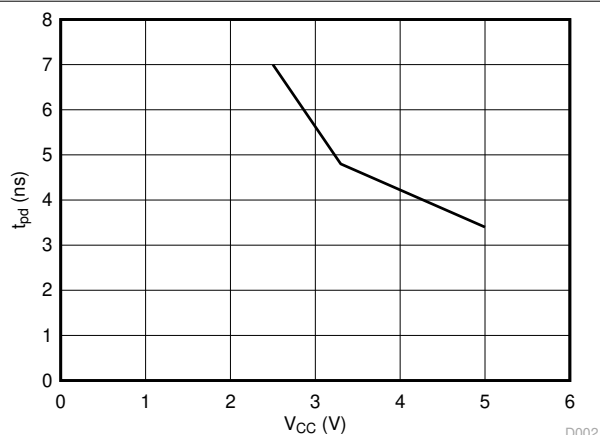
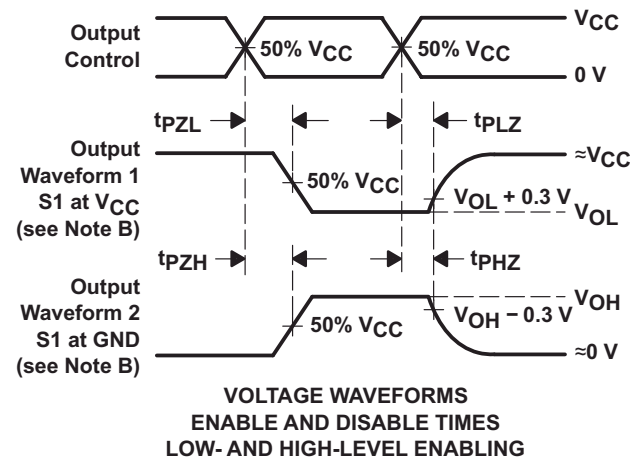
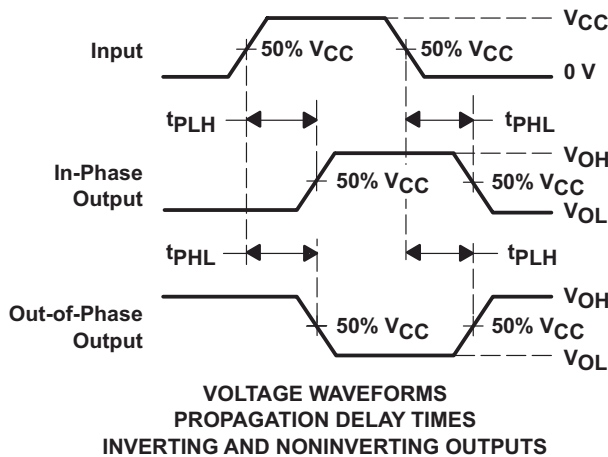
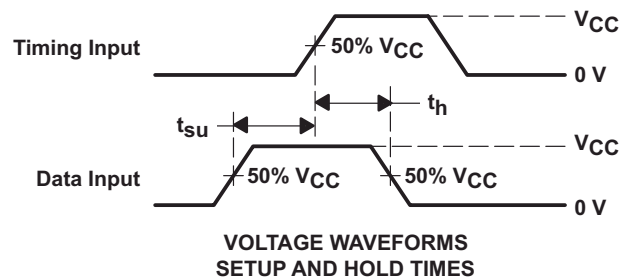
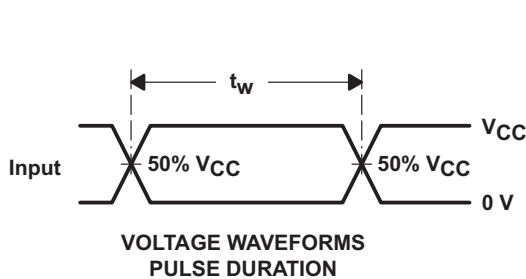
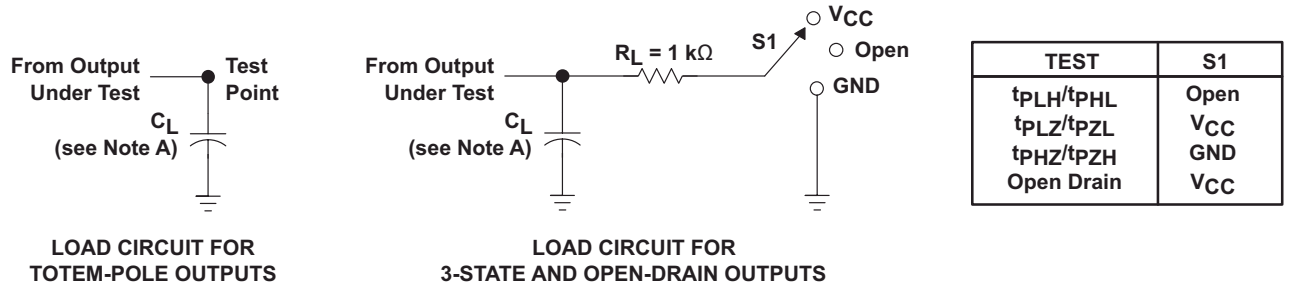


图 5-2. SN74LV126A t_{PD} vs V_{CC} at $25^\circ C$

6 Parameter Measurement Information



- A. C_L includes probe and jig capacitance.
- B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
- C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
- D. The outputs are measured one at a time, with one input transition per measurement.
- E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
- F. t_{PZL} and t_{PZH} are the same as t_{en} .
- G. t_{PHL} and t_{PLH} are the same as t_{pd} .
- H. All parameters and waveforms are not applicable to all devices.

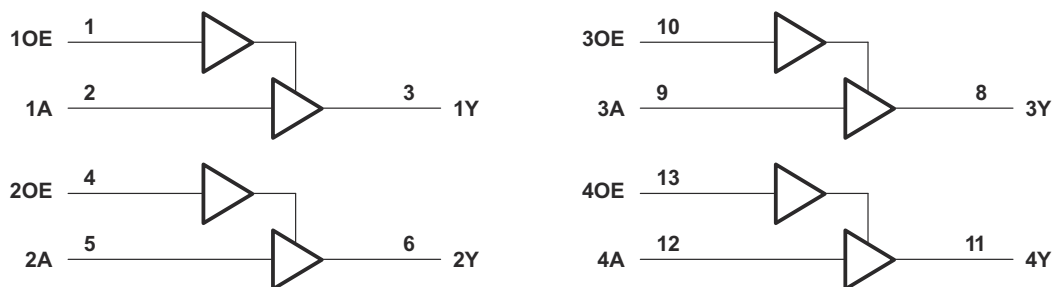
图 6-1. Load Circuit and Voltage Waveforms

7 Detailed Description

7.1 Overview

The SN74LV126A devices are quadruple bus buffer gates featuring independent line drivers with 3-state outputs. Each output is disabled when the associated output-enable (OE) input is low. When OE is high, the respective gate passes the data from the A input to its Y output. To put the device in the high-impedance state during power up or power down, tie OE to GND through a pulldown resistor; the current-sourcing capability of the driver determines the minimum value of the resistor.

7.2 Functional Block Diagram



A. Pin numbers shown are for the D, DB, DGV, J, N, NS, PW, and W packages.

图 7-1. Logic Diagram (Positive Logic)

7.3 Feature Description

- Wide operating voltage range, operates from 2 to 5.5V
- Allows down voltage translation, inputs accept voltages to 5.5V
- Ioff supports live insertion, partial power down mode, and back drive protection

7.4 Device Functional Modes

表 7-1. Function Table
(Each Buffer)

INPUTS		OUTPUT Y
OE	A	
H	H	H
H	L	L
L	X	Z

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

The SN74LV126A is a low-drive CMOS device that can be used for a multitude of bus interface type applications where output ringing is a concern. The low drive and slow edge rates minimize overshoot and undershoot on the outputs. The inputs are 5.5V tolerant at any valid V_{CC} making this device an excellent choice for translating down to V_{CC} .

8.2 Typical Application

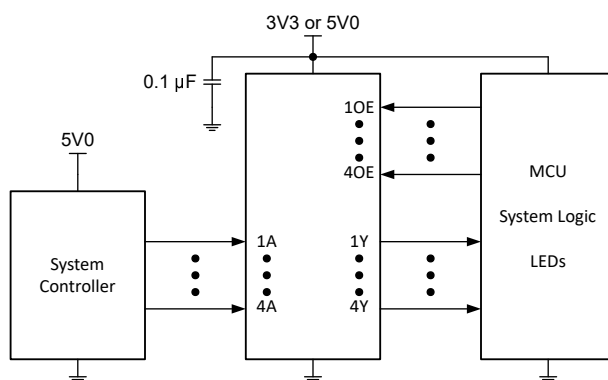


図 8-1. Typical Application Schematic

8.2.1 Design Requirements

This device uses CMOS technology and has balanced output drive. Take care to avoid bus contention because it can drive currents that would exceed maximum limits. The high drive will also create fast edges into light loads so routing and load conditions should be considered to prevent ringing.

8.2.2 Detailed Design Procedure

1. Recommended input conditions
 - Rise time and fall time specifications, see $(\Delta t/\Delta V)$ in [Recommended Operating Conditions](#).
 - Specified High and low levels. See $(V_{IH}$ and $V_{IL})$ in [Recommended Operating Conditions](#).
2. Recommend output conditions
 - Load currents should not exceed 35mA per output and 70mA total for the part
 - Outputs should not be pulled above V_{CC}

8.2.3 Application Curve

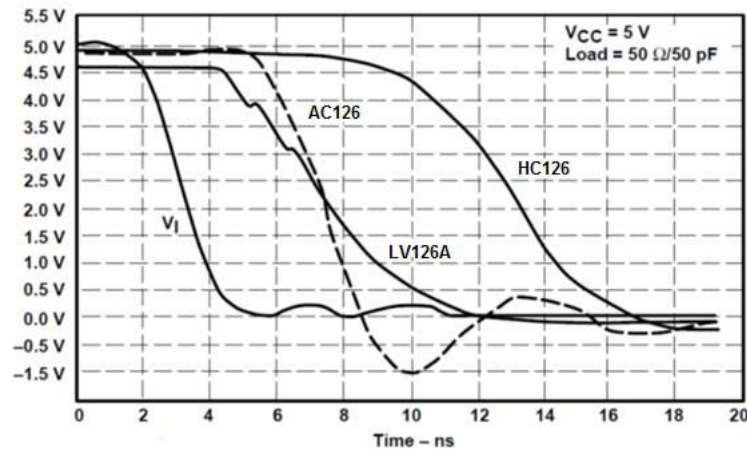


図 8-2. Switching Characteristics Comparison

8.3 Power Supply Recommendations

The power supply can be any voltage between the Min and Max supply voltage rating located in [Recommended Operating Conditions](#). Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, 0.1 μ F is recommended and if there are multiple V_{CC} terminals then .01 or .022 μ F is recommended for each power terminal. It is okay to parallel multiple bypass capacitors to reject different frequencies of noise. A 0.1 and 1 μ F are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

8.4 Layout

8.4.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float. In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} whichever makes more sense or is more convenient. It is generally okay to float outputs unless the part is a transceiver. If the transceiver has an output enable pin, then it will disable the outputs section of the part when asserted. This will not disable the input section of the IOs so they also cannot float when disabled.

8.4.2 Layout Example

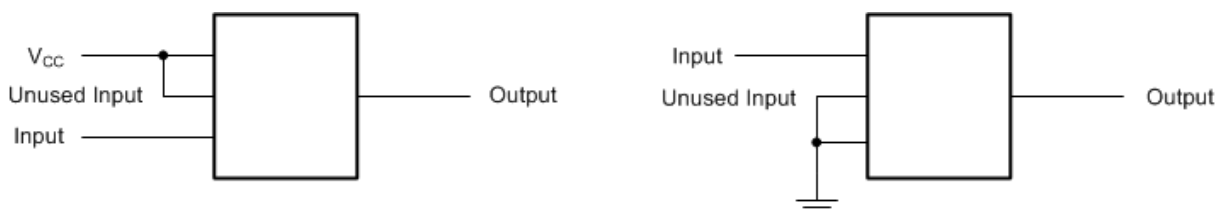


図 8-3. Layout Recommendation

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (February 2015) to Revision J (April 2024)	Page
• データシートから SN54LV126A の情報を削除。.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Changed the 125 function table with the correct 126 function table.....	8

Changes from Revision H (April 2005) to Revision I (February 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• Updated operating free-air temperature maximum from 85°C to 125°C for SN74LV126A	3

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV126ADBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV126A	Samples
SN74LV126ADGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV126A	Samples
SN74LV126ADR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LV126A	Samples
SN74LV126ANSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV126A	Samples
SN74LV126APWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LV126A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

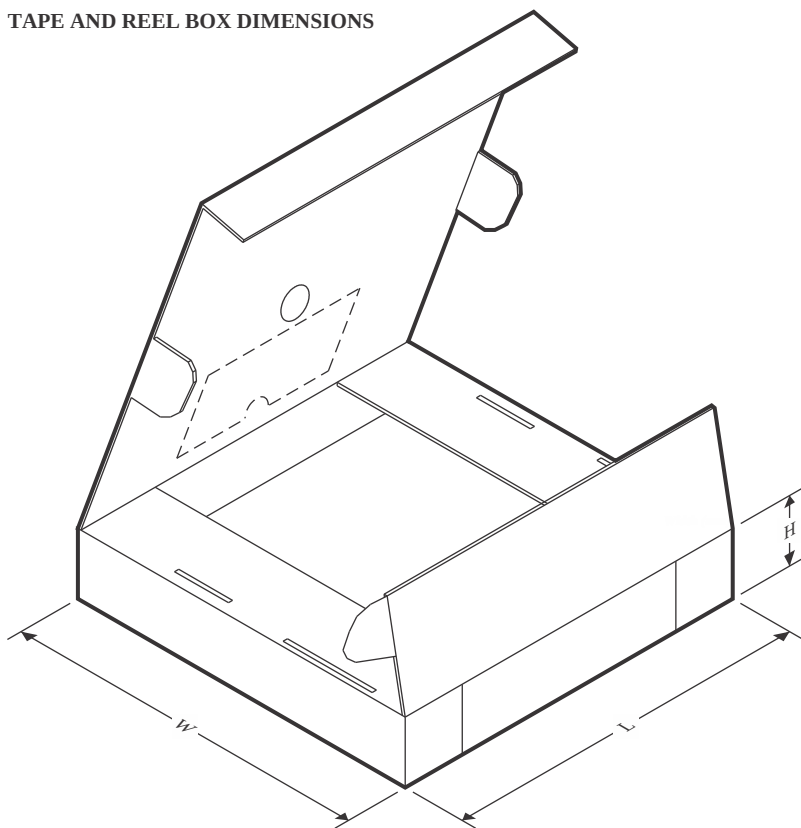
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV126ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV126ADGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV126ADR	SOIC	D	14	2500	330.0	16.4	6.6	9.3	2.1	8.0	16.0	Q1
SN74LV126ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LV126ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LV126ANSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74LV126APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV126APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



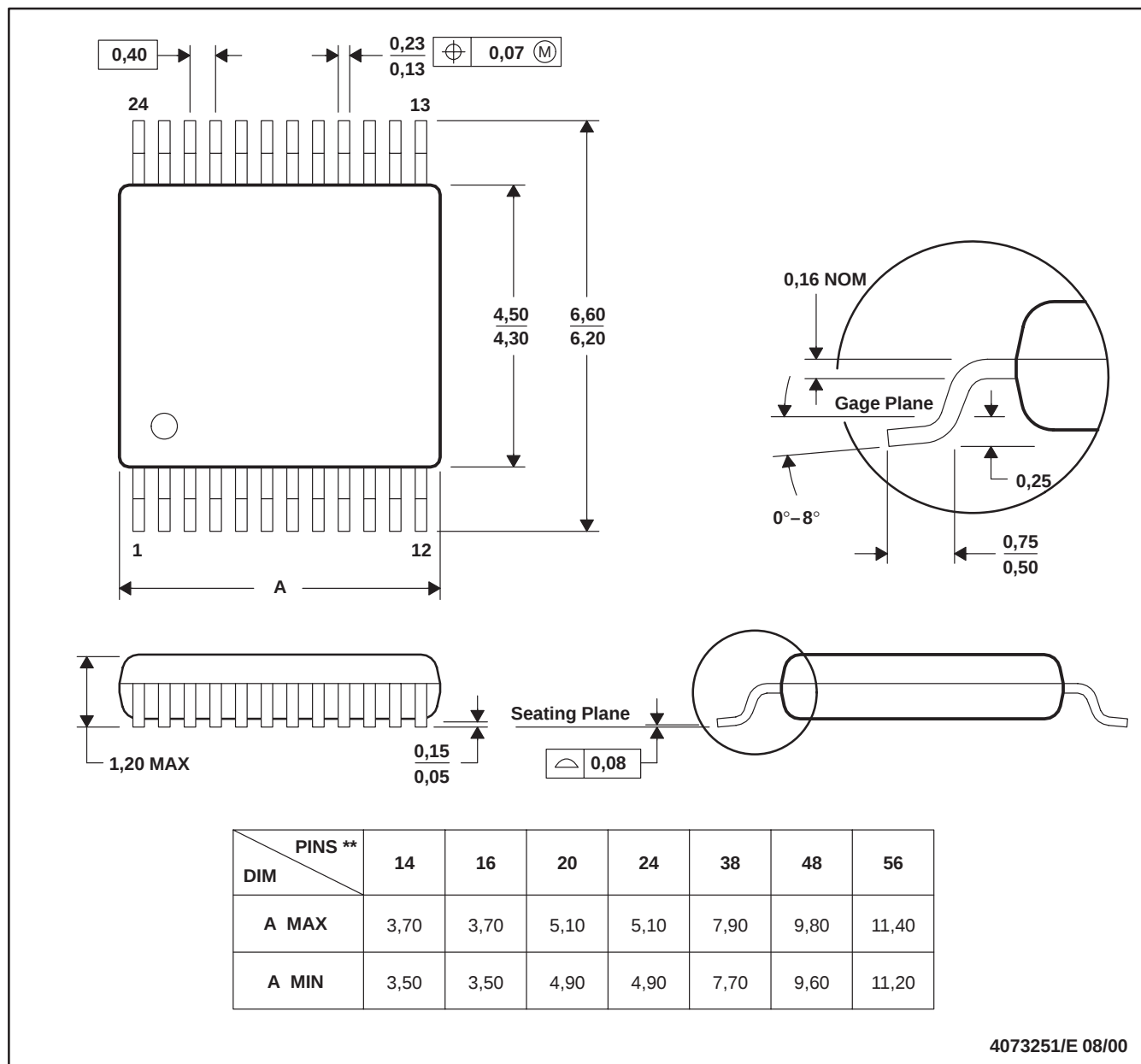
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV126ADBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74LV126ADGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74LV126ADR	SOIC	D	14	2500	366.0	364.0	50.0
SN74LV126ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LV126ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LV126ANSR	SO	NS	14	2000	356.0	356.0	35.0
SN74LV126APWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LV126APWR	TSSOP	PW	14	2000	356.0	356.0	35.0

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

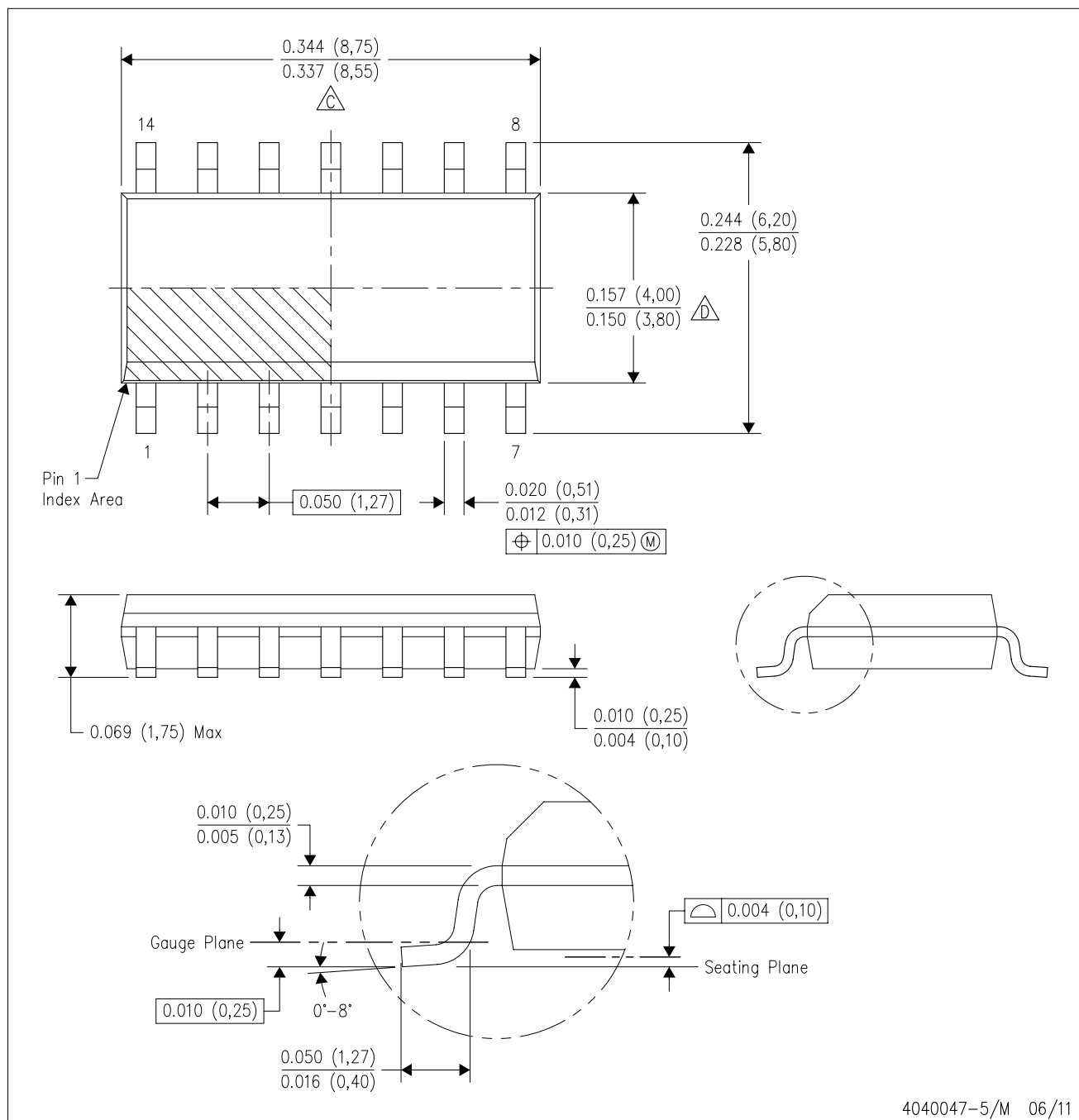
24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



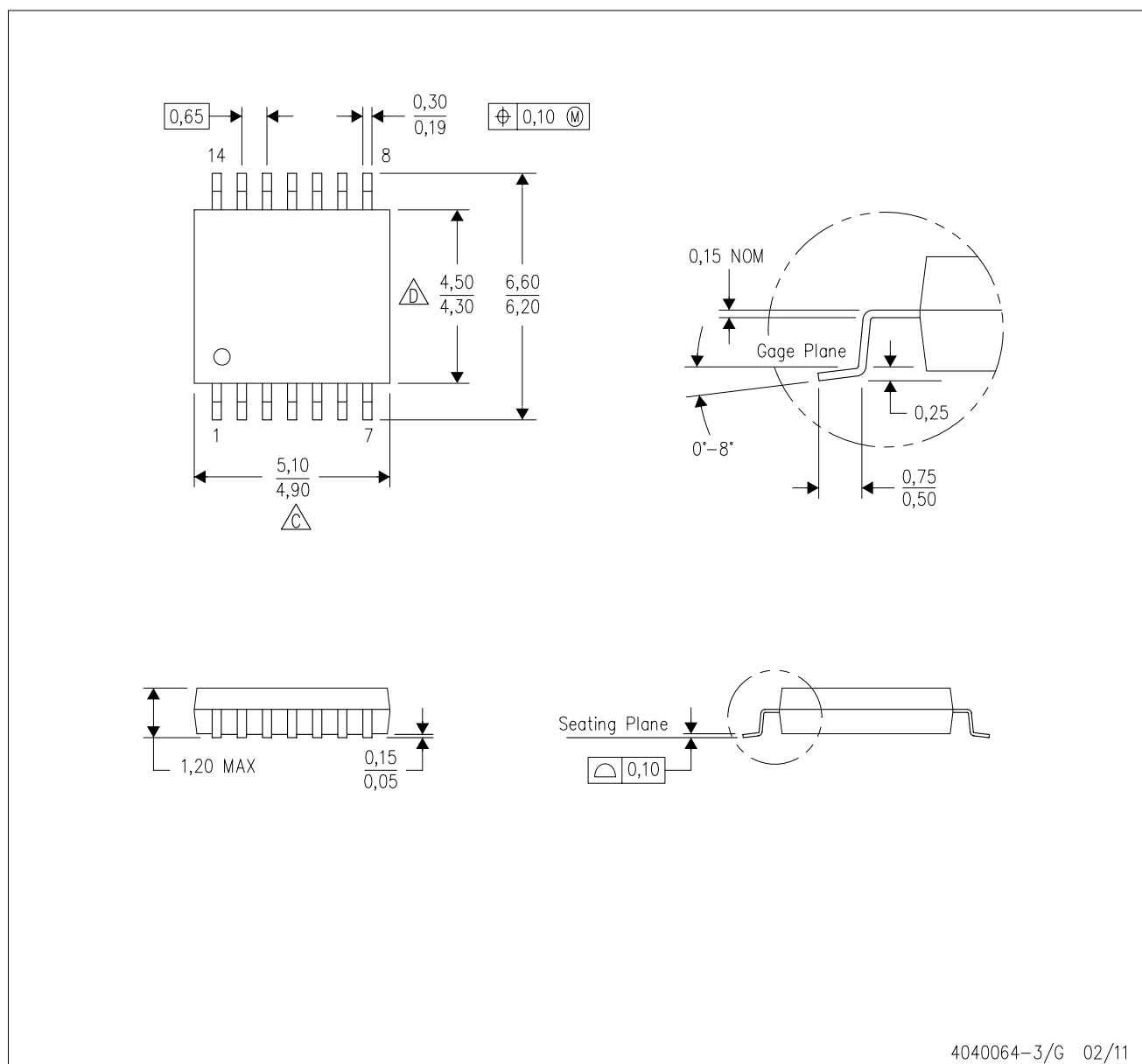
4040047-5/M 06/11

NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AB.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE

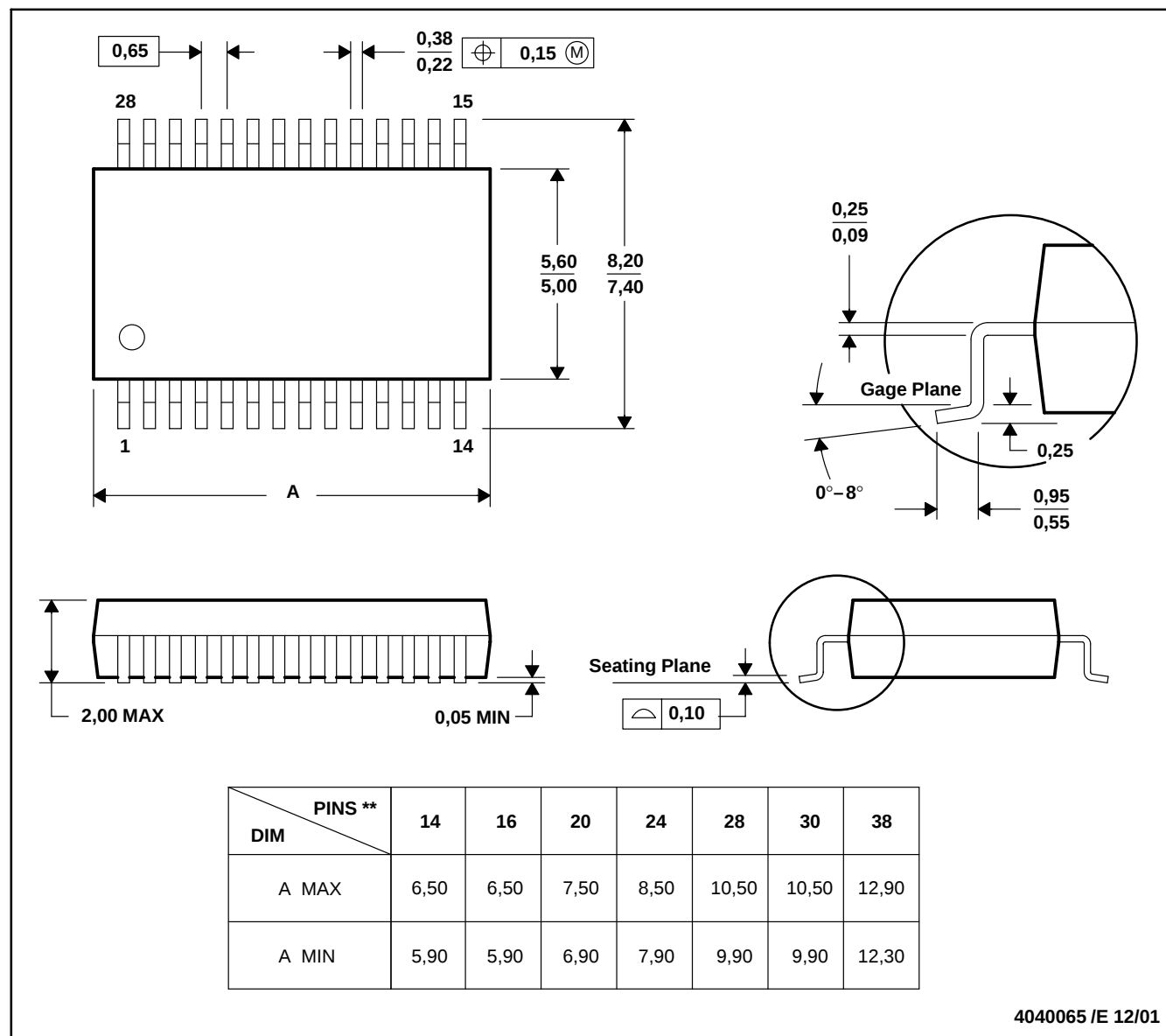


- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

DB (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

28 PINS SHOWN



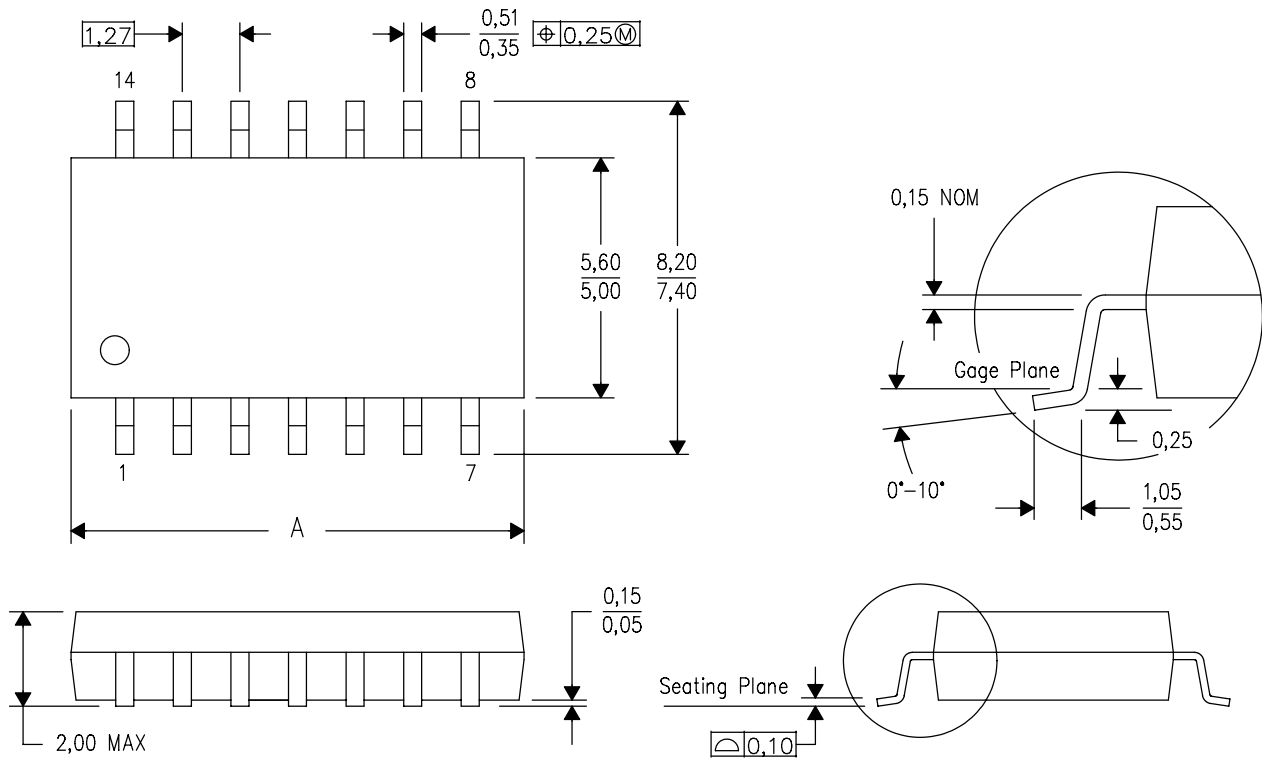
- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-150

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated