SN74LV273A クリア搭載、オクタル D タイプ・フリップ・フロップ

1 特長

- 2V～5.5V の V_{CC} で動作
- 最大 t_{pd} 10.5ns (5V 時)
- V_{OLP} (代表値) (出力グランド・バウンス)
  < 0.8V (V_{CC} = 3.3V、T_A = 25℃)
- V_{OHV} (代表値) (出力 V_{OH} アンダーシュート)
  > 2.3V (V_{CC} = 3.3V、T_A = 25℃)
- I_{off} により部分的パワーダウン・モードでの動作をサポート
- すべてのポートで混合モード電圧動作をサポート
- JESD 17 準拠
  250mA 超のラッチアップ性能

2 アプリケーション

- 変電設備制御
- I/O モジュール:アナログ PLC/DCS 入力
- ヒューマン・マシン・インターフェイス (HMI)
- 流量計
- メディカル・モニタ
- 試験および計測用ソリューション

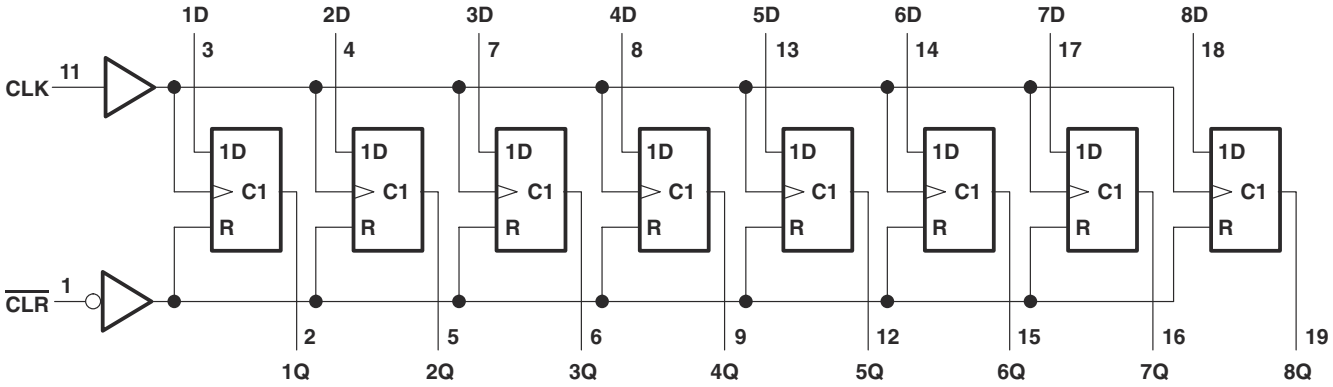
3 概要

SN74LV273A デバイスは、2V～5.5V の V_{CC} で動作するように設計されたオクタル D タイプ・フリップ・フロップです。

パッケージ情報

部品番号	パッケージ [1]	パッケージ・サイズ [2]
SN74LV273A	DB (SSOP、20)	7.2mm × 7.8mm
	DGV (TVSOP、20)	5.00mm × 6.4mm
	DW (SOIC、20)	12.80mm × 10.3mm
	NS (SO、20)	12.60mm × 5.30mm
	PW (TSSOP、20)	6.50mm × 7.8mm
	RGY (VQFN、20)	4.5mm × 3.50mm
	RKS (VQFN、20)	4.50mm × 2.50mm
	DGS (VSSOP、20)	5.10mm × 4.9mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 6
6.5 電気的特性 ... 7
6.6 タイミング要件、V_{CC} = 2.5V ± 0.2V ... 7
6.7 タイミング要件、V_{CC} = 3.3V ± 0.3V ... 7
6.8 タイミング要件、V_{CC} = 5V±0.5V ... 8
6.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V ... 8
6.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V ... 8
6.11 スイッチング特性、V_{CC} = 5V ± 0.5V ... 9
6.12 ノイズ特性 ... 9
6.13 動作特性 ... 9
6.14 代表的特性 ... 10
7 パラメータ測定情報 ... 12
8 詳細説明 ... 13
8.1 概要 ... 13
8.2 機能ブロック図 ... 13
8.3 機能説明 ... 13
8.4 デバイスの機能モード ... 14
9 アプリケーションと実装 ... 15
9.1 アプリケーション情報 ... 15
9.2 代表的なアプリケーション ... 15
9.3 電源に関する推奨事項 ... 18
9.4 レイアウト ... 18
10 デバイスおよびドキュメントのサポート ... 19
10.1 ドキュメントの更新通知を受け取る方法 ... 19
10.2 サポート・リソース ... 19
10.3 商標 ... 19
10.4 静電気放電に関する注意事項 ... 19
10.5 用語集 ... 19
11 メカニカル、パッケージ、および注文情報 ... 19

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (March 2023) to Revision O (August 2023)	Page
• 「パッケージ情報」表から ZQN および GQN を削除	1
• PW パッケージの熱特性値を RθJA = 104.7 から 128.2、RθJC(top) = 38.8 から 70.5、RθJB = 55.7 から 79.3、ΨJT = 2.9 から 23.4、ΨJB = 55.1 から 78.9 に更新 (値はすべて℃/W)	6

Changes from Revision M (January 2023) to Revision N (March 2023)	Page
• DB パッケージの熱特性値を RθJA = 98.7 から 128.2、RθJC(top) = 60.4 から 70.5、RθJB = 56.9 から 79.3、ΨJT = 21.6 から 23.4、ΨJB = 55.1 から 78.9 に更新 (値はすべて℃/W)	6
• DW パッケージの熱特性値を RθJA = 81.8 から 102.3、RθJC(top) = 47.8 から 69.9、RθJB = 49.4 から 70.8、ΨJT = 20.1 から 46.4、ΨJB = 49.0 から 70.4 に更新 (値はすべて℃/W)	6

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

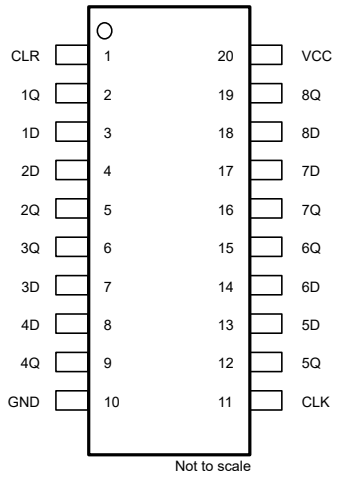


図 5-1. SN74LV273A DB、DGV、DW、NS、PW、または DGS パッケージ、20 ピン SSOP、TVSOP、SOP、TSSOP または VSSOP (上面図)

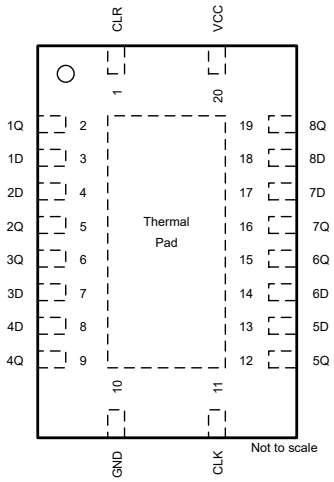


図 5-2. SN74LV273A RGY または RKS パッケージ、20 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
$\overline{CLR}$	1	I	クリア・ピン
1Q	2	O	1Q 出力
1D	3	I	1D 入力
2D	4	I	2D 入力
2Q	5	O	2Q 出力
3Q	6	O	3Q 出力
3D	7	I	3D 入力
4D	8	I	4D 入力
4Q	9	O	4Q 出力
GND	10	—	グランド・ピン
CLK	11	I	クロック・ピン
5Q	12	O	5Q 出力
5D	13	I	5D 入力
6D	14	I	6D 入力
6Q	15	O	6Q 出力
7Q	16	O	7Q 出力
7D	17	I	7D 入力
8D	18	I	8D 入力
8Q	19	O	8Q 出力
V_{CC}	20	—	パワー・ピン
サーマル・パッド		—	サーマル・パッド[2]

(1) I = 入力、O = 出力
(2) RKS パッケージのみ

Copyright © 2023 Texas Instruments Incorporated

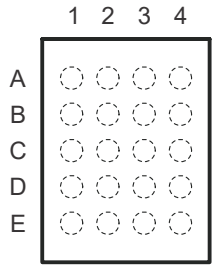


図 5-3. GQN または ZQN パッケージ、20 ピン BGA (上面図)

表 5-2. GQN または ZQN のピン配置

	1	2	3	4
A	1Q	$\overline{CLR}$	V_{CC}	8Q
B	2D	7D	1D	8D
C	3Q	2Q	6Q	7Q
D	4D	5D	3D	6D
E	GND	4Q	CLK	5Q

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力電流と出力電流の定格が遵守されると、入力と出力の負電圧の定格を超える可能性があります。
(3) この値は最大 5.5V に制限されています。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン(1)	±3000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±2000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

Copyright © 2023 Texas Instruments Incorporated

6.3 推奨動作条件

(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 2.3V～2.7V	V_{CC} × 0.7		
		V_{CC} = 3V～3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 2.3V～2.7V		V_{CC} × 0.3	
		V_{CC} = 3V～3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V～5.5V		V_{CC} × 0.3	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 2.3V～2.7V		-2	mA
		V_{CC} = 3V～3.6V		-6	
		V_{CC} = 4.5V～5.5V		-12	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 2.3V～2.7V		2	mA
		V_{CC} = 3V～3.6V		6	
		V_{CC} = 4.5V～5.5V		12	
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート	V_{CC} = 2.3V～2.7V		200	ns/V
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	自由空気での動作温度		-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『遅延またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

6.4 熱に関する情報

熱評価基準(1)		SN74LV273A								単位
		DB	DGV	DW	NS	PW	RGY	RKS	DGS	
		20 ピン								
$R_{\theta JA}$	接合部から周囲への熱抵抗	118.2	118.1	102.3	79.4	128.2	37.1	75.2	125.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.2	33.4	69.9	45.9	70.5	46.1	79.4	80.0	
$R_{\theta JB}$	接合部から基板への熱抵抗	73	59.6	70.8	46.9	79.3	14.9	47.8	63.8	
ψ_{JT}	接合部から上面への特性パラメータ	42.2	1.1	46.4	19.1	23.4	1.3	14.6	8.4	
ψ_{JB}	接合部から基板への特性パラメータ	72.6	58.9	70.4	46.5	78.9	15.0	47.8	79.9	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	9.8	31.5	該当なし	

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃～85℃		-40℃～125℃		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	2V～5.5V	V_{CC} - 0.1			V_{CC} - 0.1		V_{CC} - 0.1		V
	I_{OH} = -2mA	2.3V	2			2		2		
	I_{OH} = -6mA	3V	2.48			2.48		2.48		
	I_{OH} = -12mA	4.5V	3.8			3.8		3.8		
V_{OL}	I_{OL} = -50μA	2V～5.5V			0.1		0.1		0.1	V
	I_{OL} = -2mA	2.3V			0.4		0.4		0.4	
	I_{OL} = -6mA	3V			0.44		0.44		0.44	
	I_{OL} = -12mA	4.5V			0.55		0.55		0.55	
I_I	V_I = 5.5V または GND	0～5.5V			±1		±1		±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			20		20		20	μA
I_{off}	V_I または V_O = 0～5.5V	0V			5		5		5	μA
C_i	V_I = V_{CC} または GND	3.3V		2						pF

6.6 タイミング要件、V_{CC} = 2.5V ± 0.2V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

		T_A = 25℃		-40℃～85℃		-40℃～125℃		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w パルス幅	$\overline{CLR}$ low	6.5		7		7.5		ns
	CLK high または low	7		8.5		9		
t_{su} セットアップ時間、CLK ↑ 前のデータ	データ	8.5		10.5		12		ns
	$\overline{CLR}$ 非アクティブ	4		4		4.5		
t_h ホールド時間、CLK ↑ 後のデータ		0.5		1		2.5		ns

6.7 タイミング要件、V_{CC} = 3.3V ± 0.3V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

		T_A = 25℃		-40℃～85℃		-40℃～125℃		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w パルス幅	$\overline{CLR}$ low	5		6		6.5		ns
	CLK high または low	5		6.5		7		
t_{su} セットアップ時間、CLK ↑ 前のデータ	データ	5.5		6.5		8		ns
	$\overline{CLR}$ 非アクティブ	2.5		2.5		3		
t_h ホールド時間、CLK ↑ 後のデータ		1		1		2.5		ns

Copyright © 2023 Texas Instruments Incorporated

6.8 タイミング要件、V_{CC} = 5V±0.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

		T_A = 25℃		-40℃～85℃		-40℃～125℃		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w パルス幅	$\overline{CLR}$ low	5		5		5.5		ns
	CLK high または low	5		5		5.5		
t_{su} セットアップ時間、CLK ↑ 前のデータ	データ	4.5		4.5		6		ns
	$\overline{CLR}$ 非アクティブ	2		2		2.5		
t_h ホールド時間、CLK ↑ 後のデータ		1		1		2		ns

6.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～85℃		-40℃～125℃		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	55	95		45		45		MHz
			C_L = 50pF	45	75		40		40		
t_{pd}	CLK	Q	C_L = 15pF		10.4	18.3	1	20.5	1	22.5	ns
t_{PHL}	$\overline{CLR}$	Q			10.3	19	1	21	1	23	ns
t_{pd}	CLK	Q	C_L = 50pF		12.9	22.1	1	25	1	27	ns
t_{PHL}	$\overline{CLR}$	Q			13.1	22.8	1	25.5	1	27.5	ns
$t_{sk(o)}$						2				2	ns

6.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～85℃		-40℃～125℃		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	75	140		65		65		MHz
			C_L = 50pF	50	110		45		45		
t_{pd}	CLK	Q	C_L = 15pF		7.1	13.6	1	16	1	17.5	ns
t_{PHL}	$\overline{CLR}$	Q			6.9	13.6	1	16	1	17.5	ns
t_{pd}	CLK	Q	C_L = 50pF		9.1	17.1	1	19.5	1	21	ns
t_{PHL}	$\overline{CLR}$	Q			8.7	17.1	1	19.5	1	21	ns
$t_{sk(o)}$						1.5				1.5	ns

Copyright © 2023 Texas Instruments Incorporated

6.11 スイッチング特性、V_{CC} = 5V ± 0.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～85℃		-40℃～125℃		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	120	205		100		100		MHz
			C_L = 50pF	80	160		70		70		
t_{pd}	CLK	Q	C_L = 15pF		4.8	9	1	10.5	1	11.5	ns
t_{PHL}	$\overline{CLR}$	Q			4.7	8.5	1	10	1	11	ns
t_{pd}	CLK	Q	C_L = 50pF		6.2	11	1	12.5	1	14	ns
t_{PHL}	$\overline{CLR}$	Q			6	10.5	1	12	1	13.5	ns
$t_{sk(o)}$						1				1	ns

6.12 ノイズ特性

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃

パラメータ		SN74LV273A			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的 V_{OL}		0.4	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 V_{OL}		-0.4	-0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的 V_{OH}		2.9		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

6.13 動作特性

T_A = 25℃

パラメータ		テスト条件		V_{CC}	代表値	単位
C_{pd}	電力散逸容量	C_L = 50pF、	f = 10MHz	3.3V	15.9	pF
				5V	17.1	

6.14 代表的特性

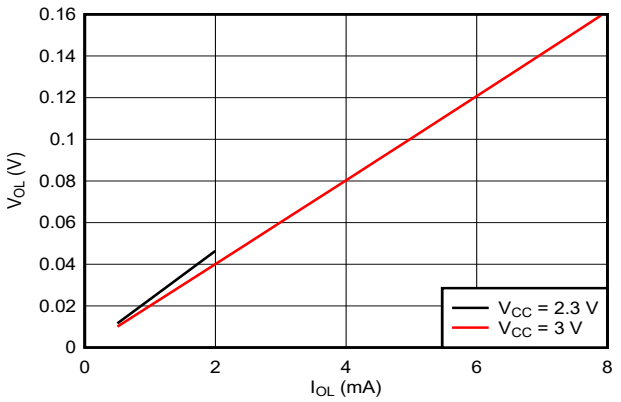


図 6-1. Low 状態での出力電圧、2.3V および 3V 電源

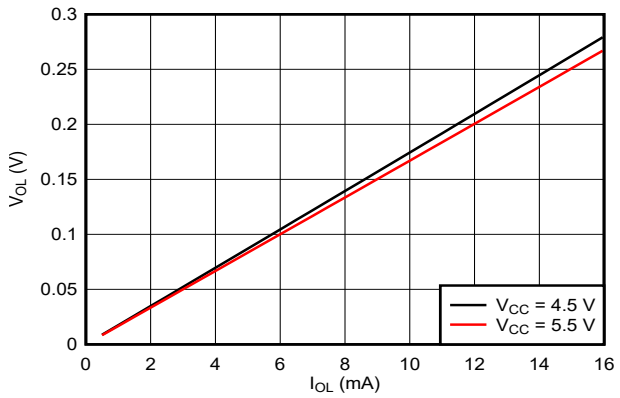


図 6-2. Low 状態での出力電圧、4.5V および 5.5V 電源

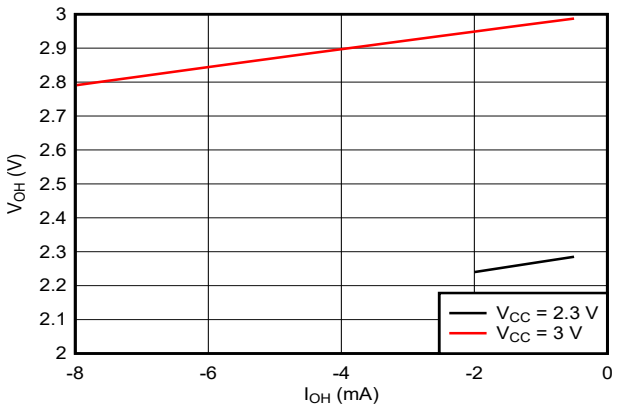


図 6-3. High 状態での出力電圧、2.3V および 3V 電源

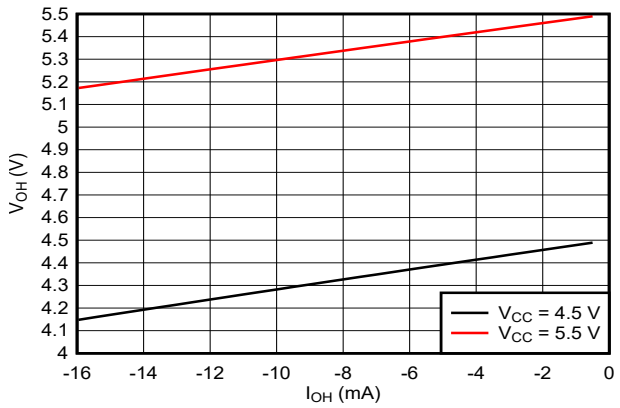


図 6-4. High 状態での出力電圧、4.5V および 5.5V 電源

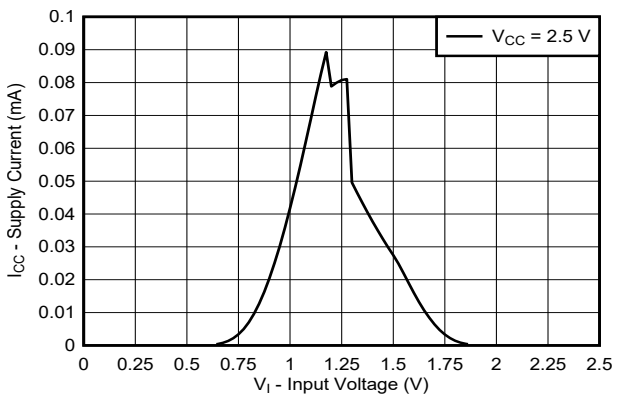


図 6-5. 入力電圧に対する消費電流、2.5V 電源

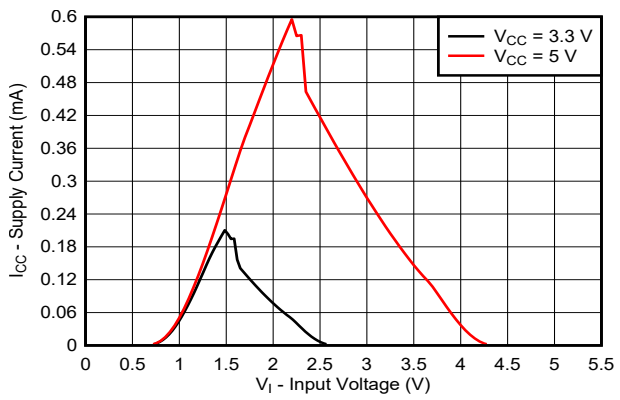


図 6-6. 入力電圧に対する消費電流、3.3V および 5V 電源

Copyright © 2023 Texas Instruments Incorporated

6.14 代表的特性 (continued)

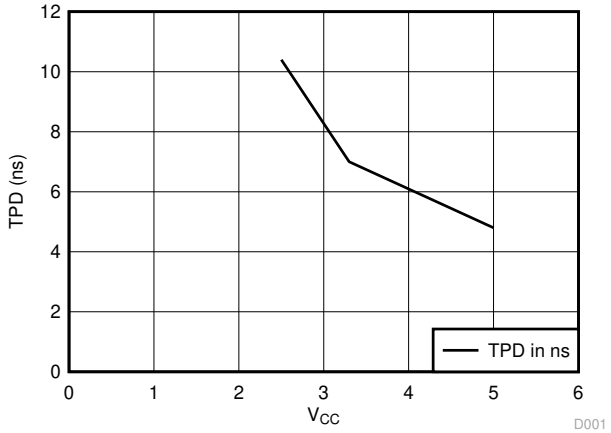


図 6-7. 25℃での TPD と V_{CC} との関係

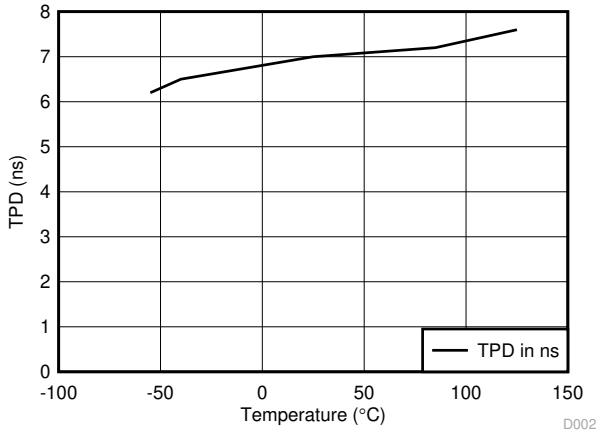
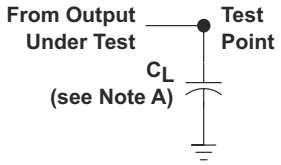
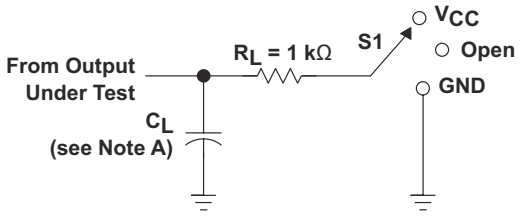


図 6-8. TPD と温度との関係

7 パラメータ測定情報

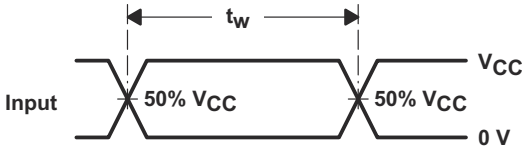


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

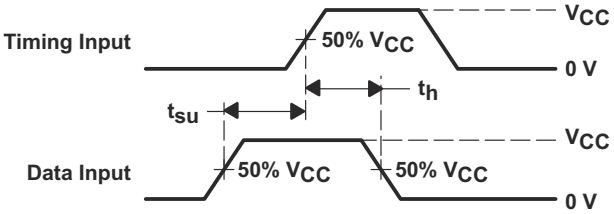


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

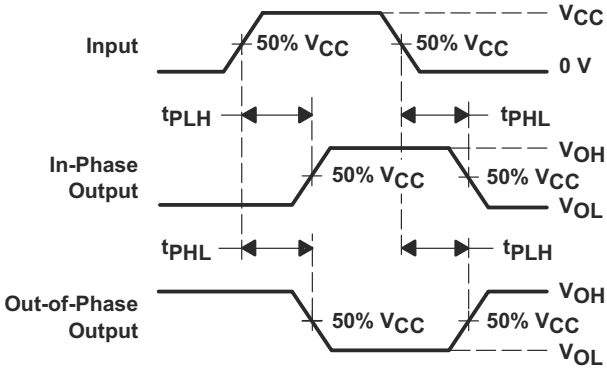
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



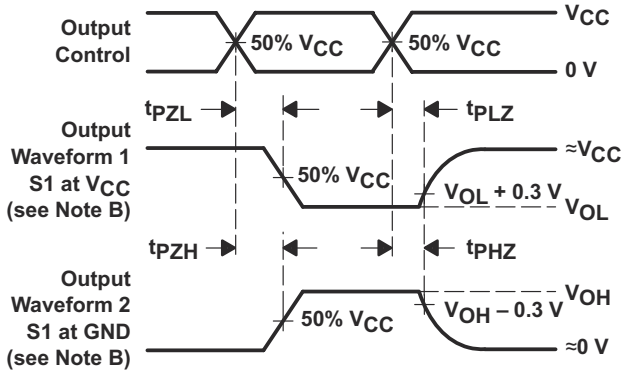
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます:PRR ≦ 1MHz、Z_O = 50Ω、t_r ≤ 3ns、t_f ≤ 3ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

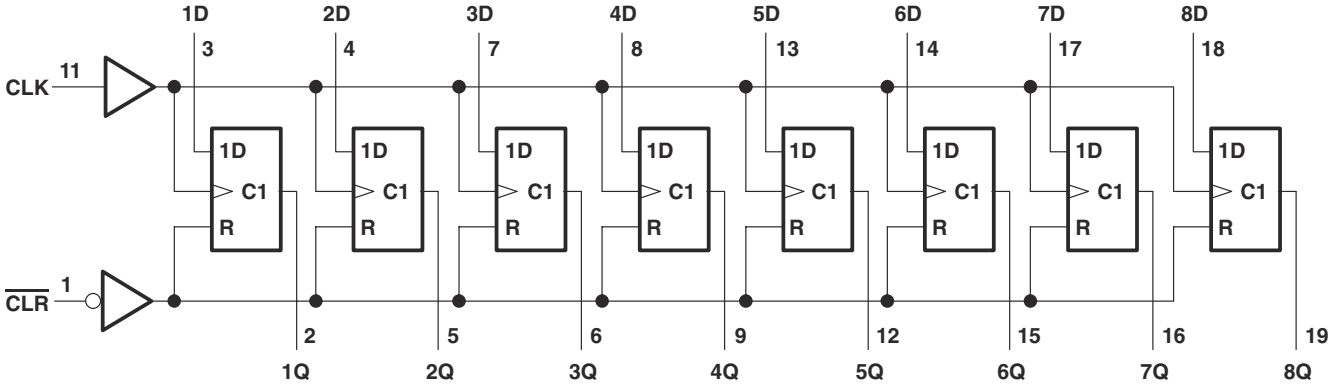
8.1 概要

SN74LV273A デバイスは、2V～5.5V の V_{CC} で動作するように設計されたオクタル D タイプ・フリップ・フロップです。

このデバイスは、ダイレクト・クリア ($\overline{CLR}$) 入力を備えたポジティブ・エッジ・トリガ・フリップ・フロップです。セットアップ時間の要件を満たすデータ (D) 入力の情報は、クロック・パルスの立ち上がりエッジで Q 出力に転送されます。クロックのトリガは、特定の電圧レベルで発生し、正方向パルスの遷移時間とは直接関係しません。クロック (CLK) 入力が High レベルまたは Low レベルのとき、D 入力信号は出力に影響を与えません。

SN74LV273A デバイスは、I_{off} を使用する部分的パワーダウン・アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするので、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語 は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

8.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

8.3.3 部分的パワーダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルする回路が内蔵されています。ディセーブル時には、印加された入力電圧に関係なく、出力は電流をソースまたはシンクしません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

Copyright © 2023 Texas Instruments Incorporated

8.3.4 クランプ・ダイオード構造

図 8-1 は、このデバイスの入力と出力に負のクランプ・ダイオードのみが配置されていることを示しています。

注意
「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

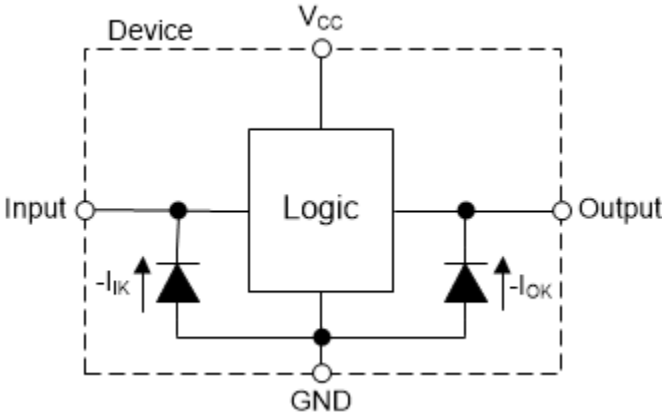


図 8-1. 各入力と出力に対するクランプ・ダイオードの電気的配置

8.4 デバイスの機能モード

表 8-1. 機能表
(各フリップ・フロップ)

入力			出力
$\overline{CLR}$	CLK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q_0

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN74LV273A はデータを保持またはラッチする必要がある多くのバス・インターフェイス・タイプのアプリケーションに使用できる低駆動の CMOS デバイスです。低駆動および低速エッジ・レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。入力は、任意の有効な V_{CC} において 5.5V 耐圧です。この機能により、V_{CC} レベルへの変換に理想的です。図 9-2 に、AC などのより高い駆動部品と比較してリンギングが減少していることを示します。

9.2 代表的なアプリケーション

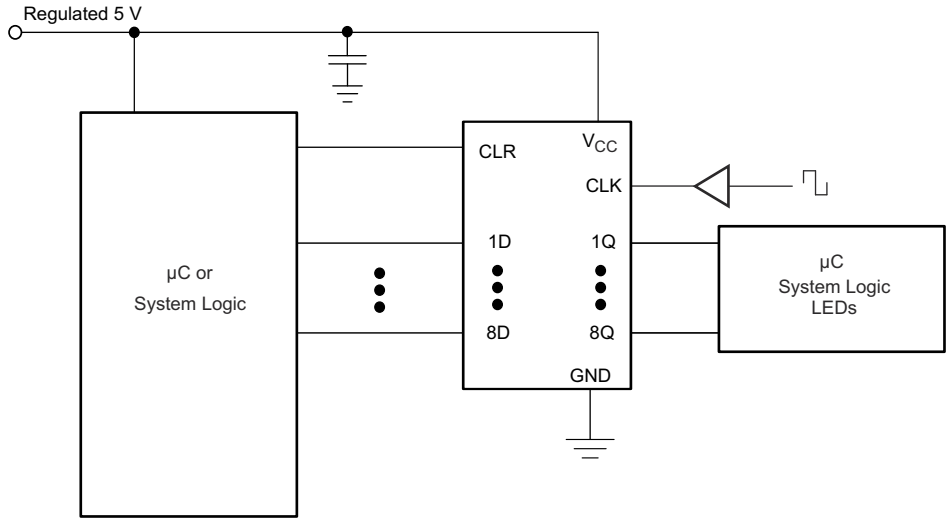


図 9-1. 代表的なアプリケーション回路図

9.2.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74LV273A のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SN74LV273A のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74LV273A は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74LV273A は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

Copyright © 2023 Texas Instruments Incorporated

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

9.2.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があり、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV273A へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10kΩ の抵抗値が使用されます。

SN74LV273A には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の V_{OH} 仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の V_{OL} 仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.4 詳細な設計手順

1. V_{CC} と GND の間にデカップリング・コンデンサを追加します。このコンデンサは物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV273A から 1 つまたは複数の受信デバイスまでの短い適切なサイズのトレースを提供することで実現できます。
3. 出力の抵抗性負荷が $(V_{CC} / I_{O(max)})$ Ω より大きいことを確認します。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には、MΩ で測定される抵抗性負荷があります。これは、前に計算した最小値よりもはるかに大きくなります。
4. 熱の問題がロジック・ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション・レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

Copyright © 2023 Texas Instruments Incorporated

9.2.5 アプリケーション曲線

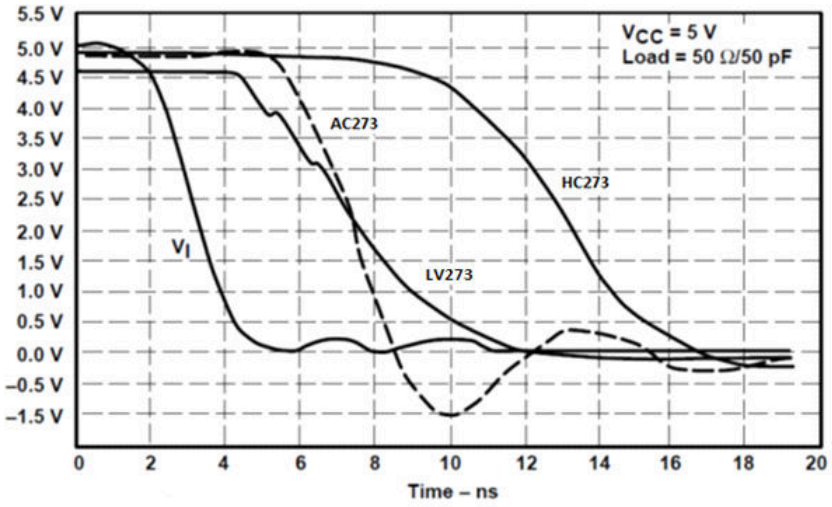


図 9-2. スイッチング特性の比較

9.3 電源に関する推奨事項

電源には、「推奨動作条件」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス・コンデンサを配置する必要があります。単電源のデバイスには、0.1µF を推奨します。V_{CC} ピンが複数ある場合、各電源ピンに対して 0.01µF または 0.022µF を推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。0.1µF と 1µF のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス・コンデンサは電源ピンのできるだけ近くに配置する必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

多ビット・ロジック・デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ・ゲートのうち 3 入力のみを使用する場合です。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

図 9-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル・ロジック・デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。

9.4.2 レイアウト例

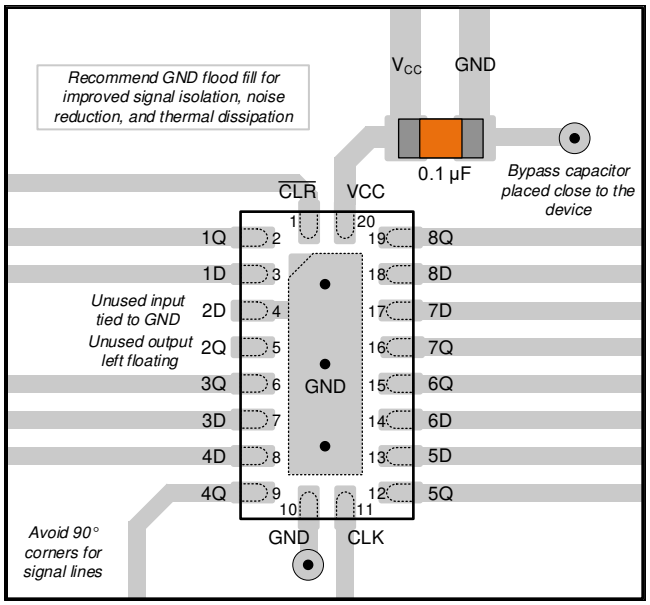


図 9-3. RKS パッケージに封止した SN74LV273A のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは、予告なしに、また、ドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV273ADBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBRE4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBRG4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273A
SN74LV273ADGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273A
SN74LV273ADGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADGVR.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 125	LV273A
SN74LV273ADWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ANSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV273A
SN74LV273ANSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV273A
SN74LV273APW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 125	LV273A
SN74LV273APWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ARGYR	Last Time Buy	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV273A
SN74LV273ARGYR.A	Last Time Buy	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV273A
SN74LV273ARKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ARKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV273A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV273A :

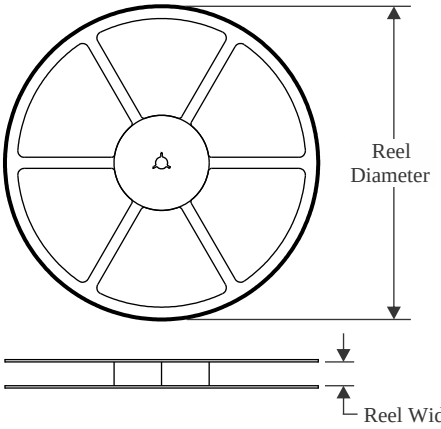
- Automotive : SN74LV273A-Q1

NOTE: Qualified Version Definitions:

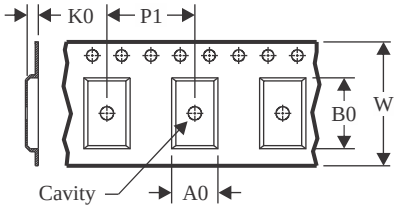
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

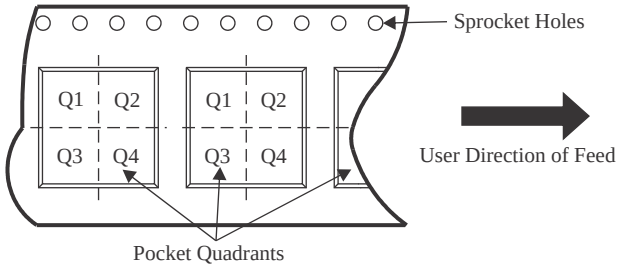


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

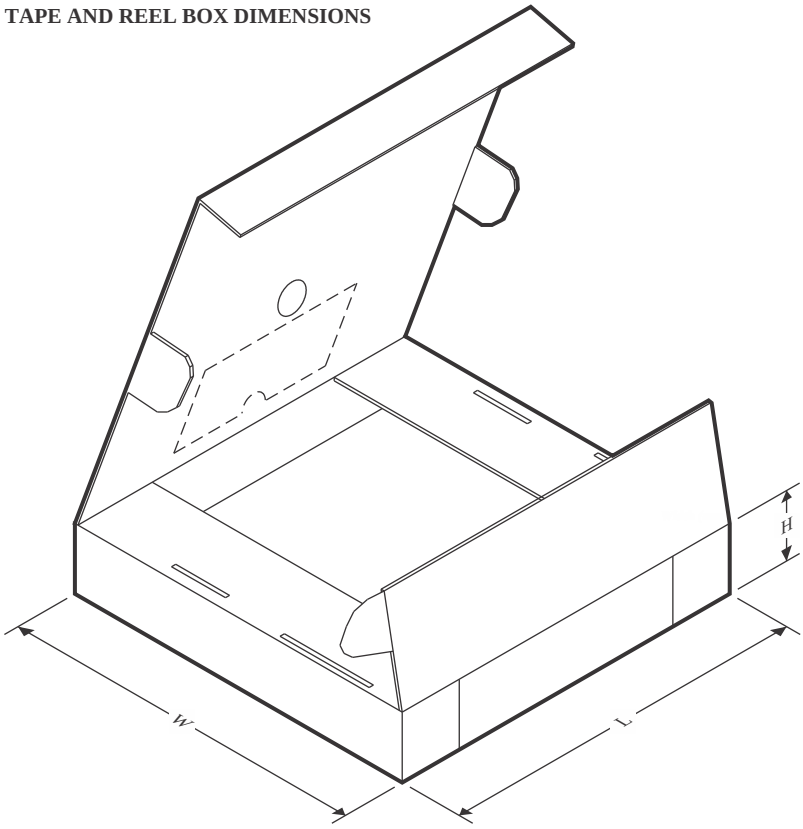
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV273ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LV273ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV273ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LV273ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV273APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LV273ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

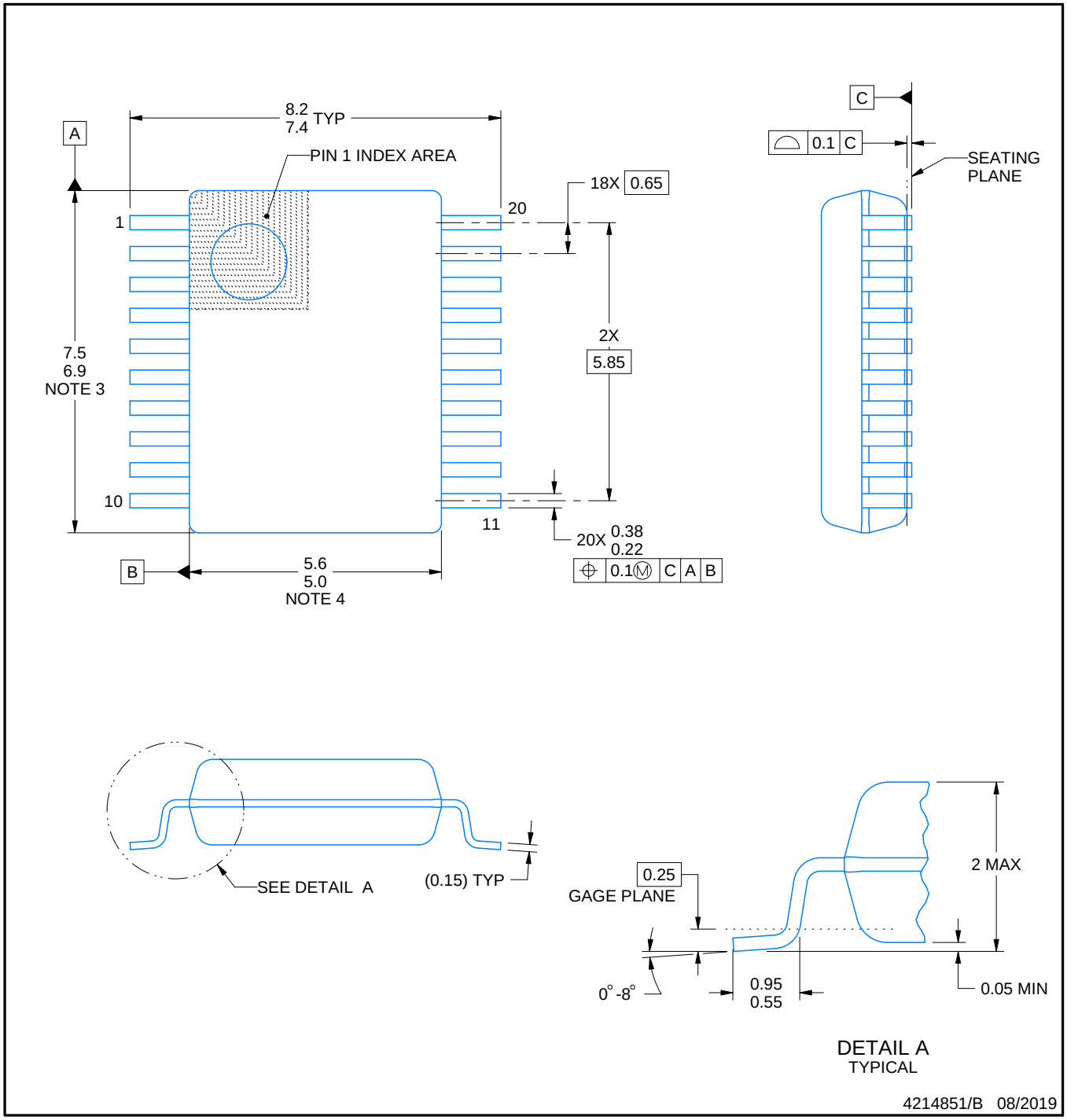
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV273ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LV273ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV273ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LV273ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV273ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV273ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LV273APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LV273ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DB0020A

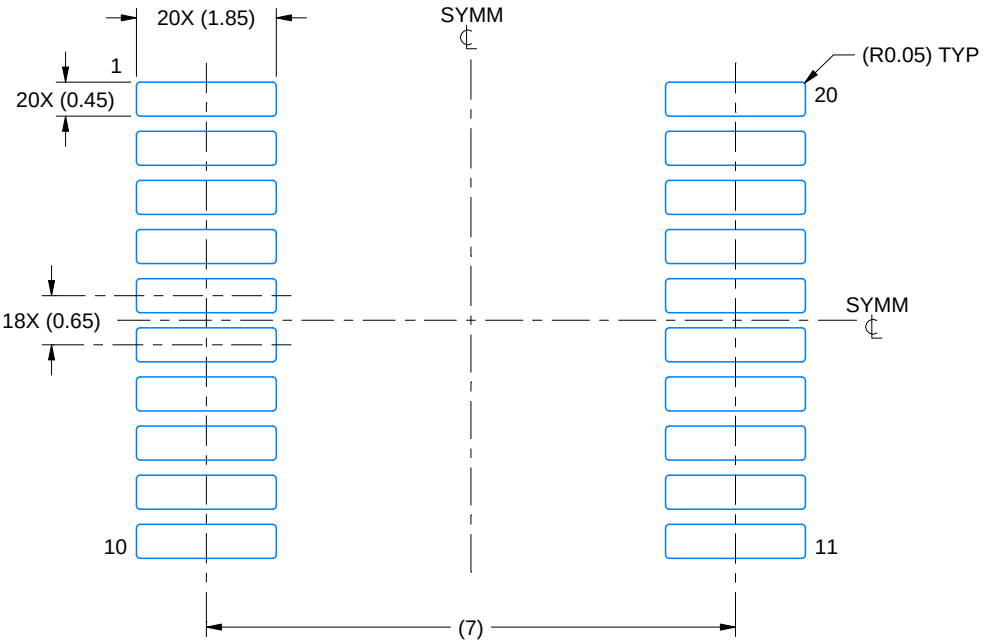
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

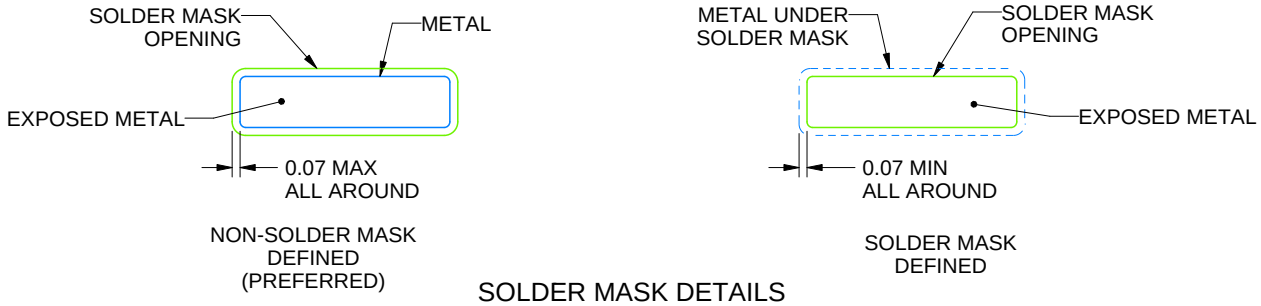


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

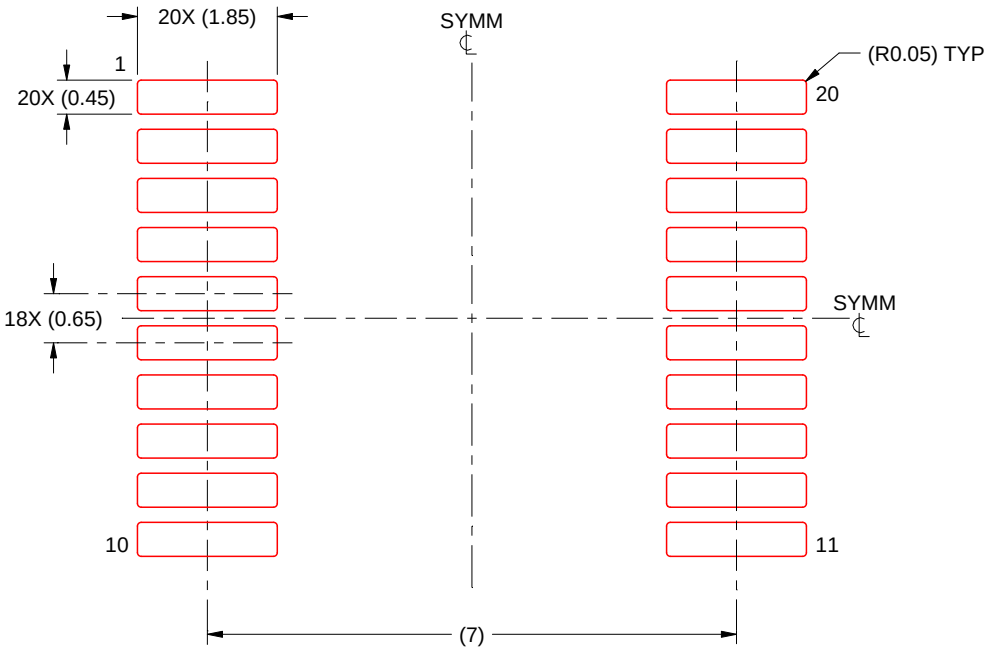
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

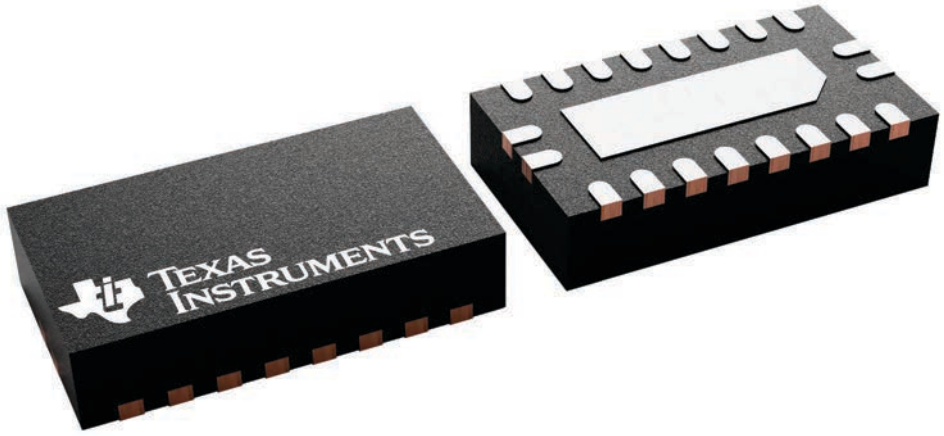
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

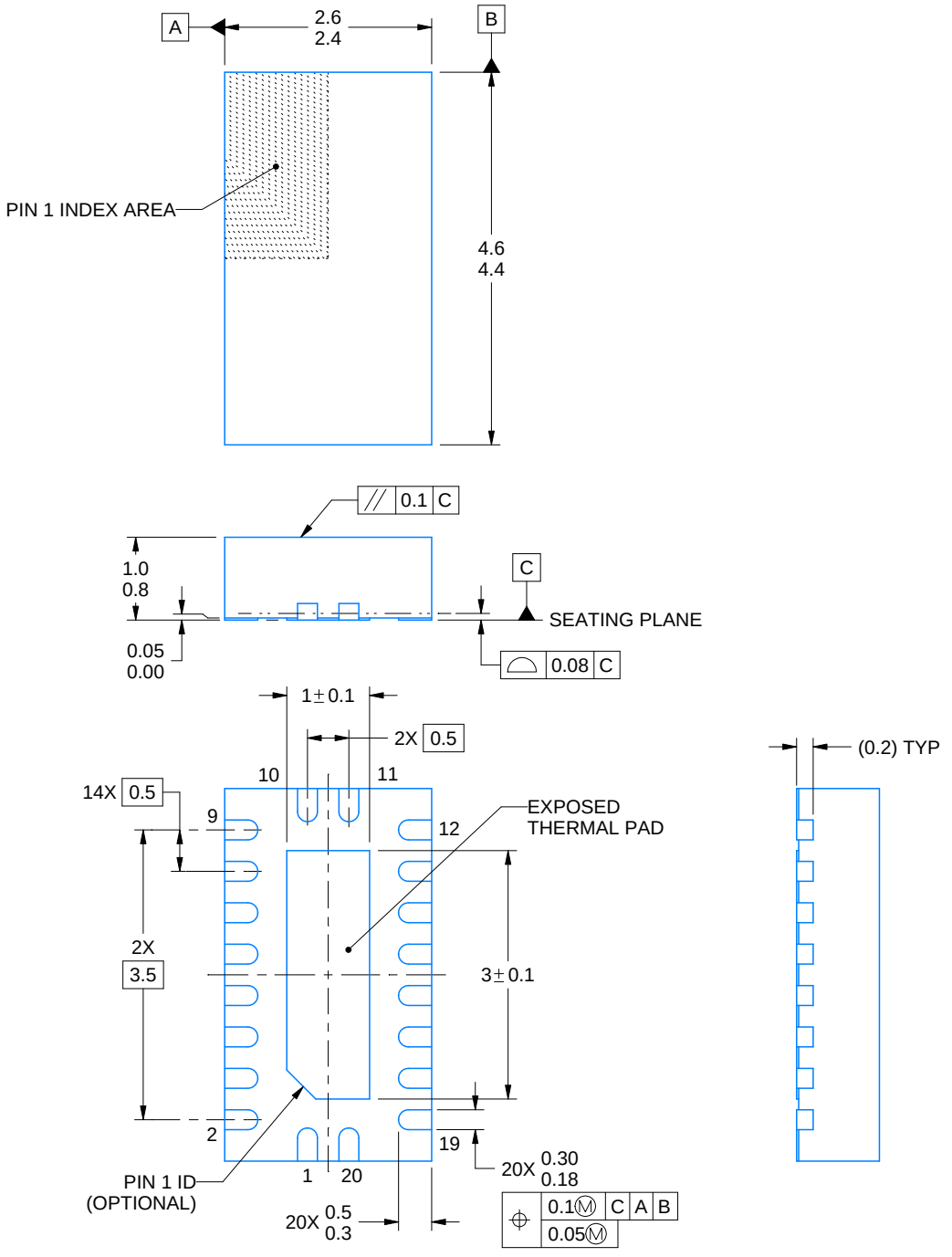


PACKAGE OUTLINE

RKS0020A

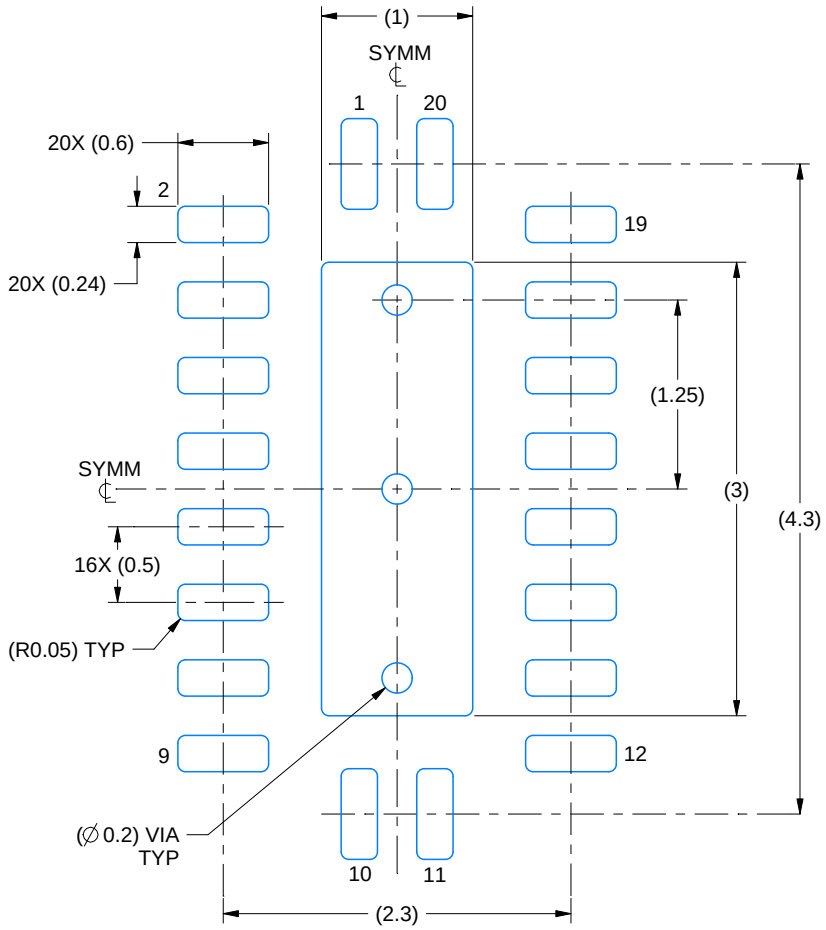
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

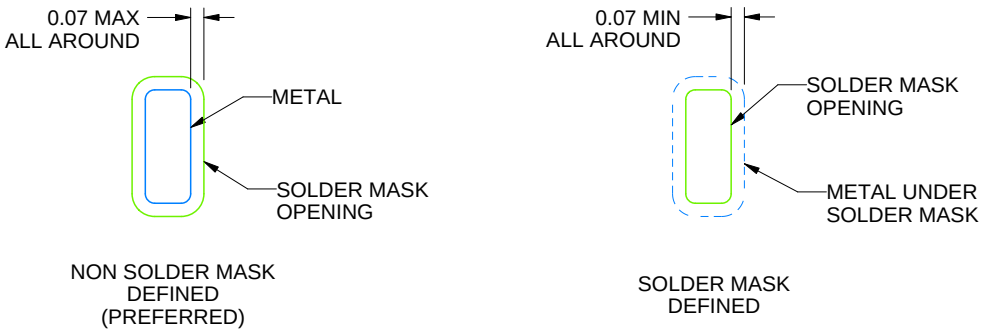


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

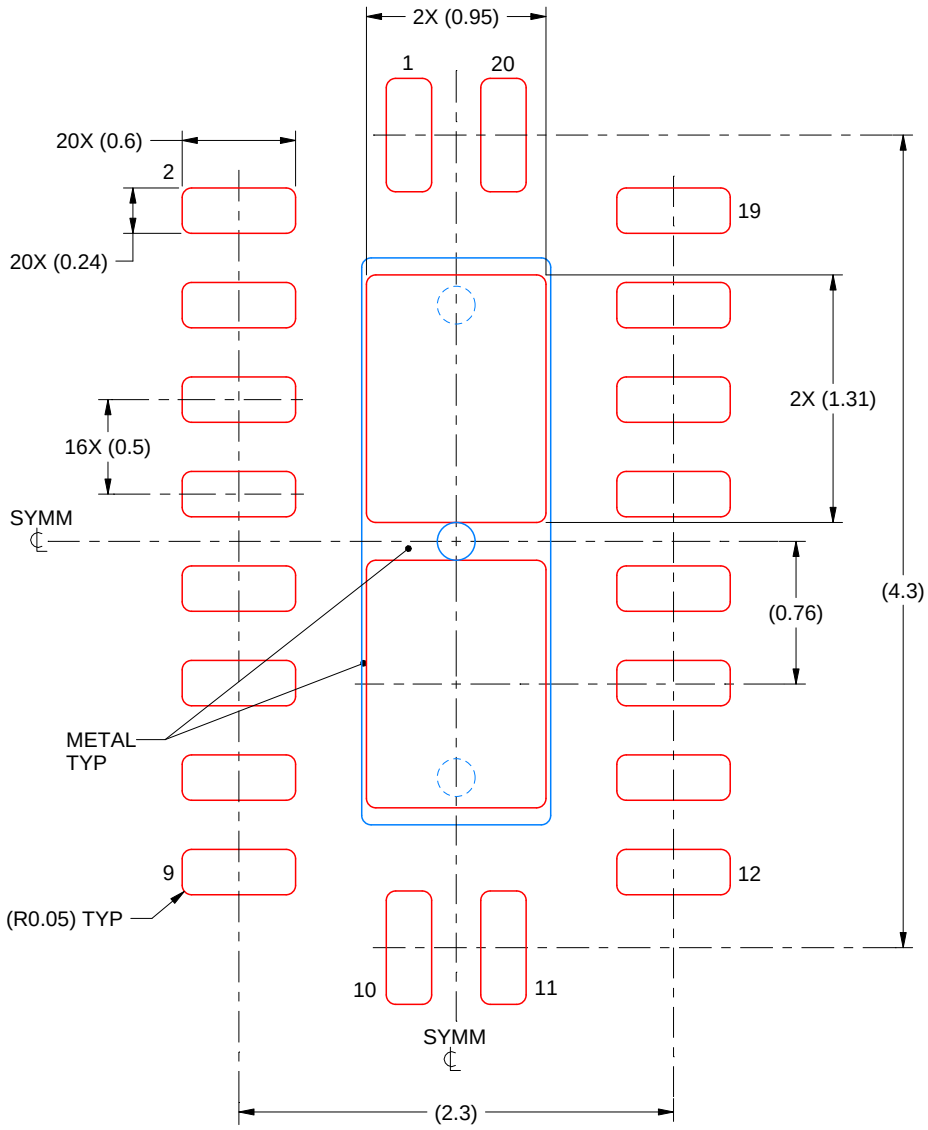


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

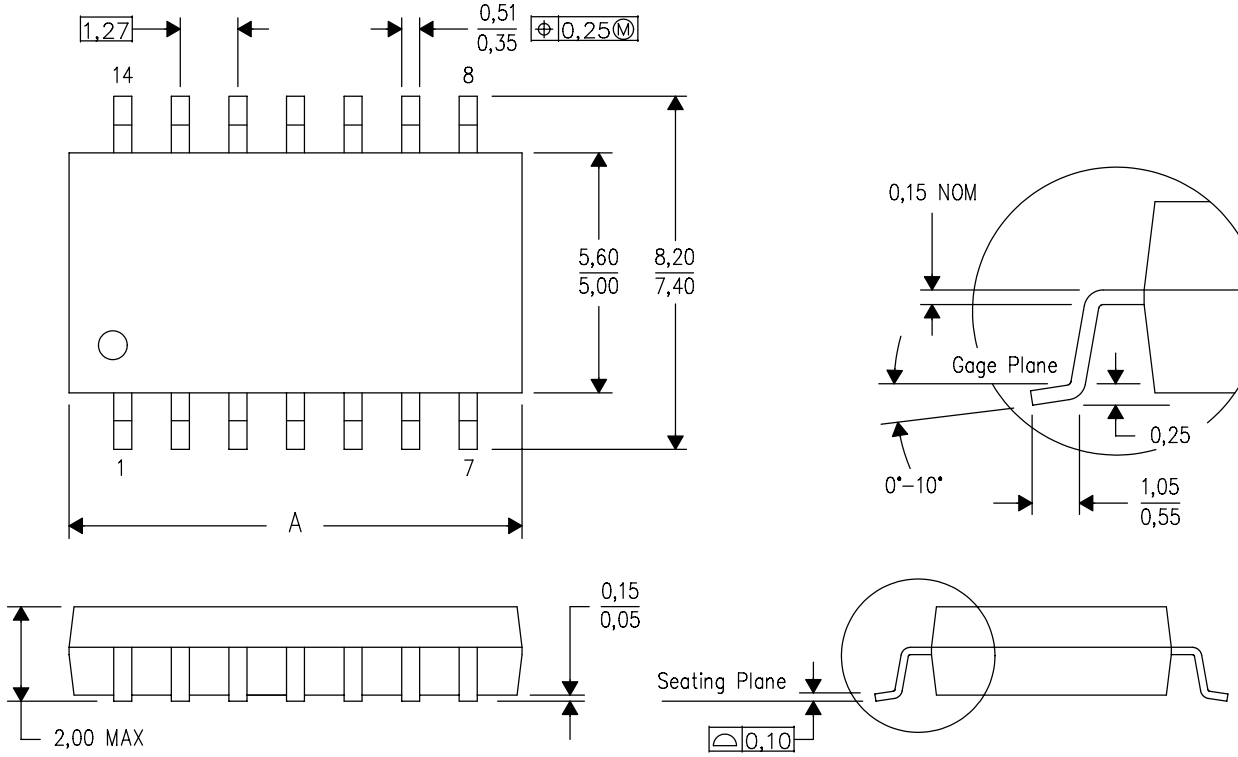
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

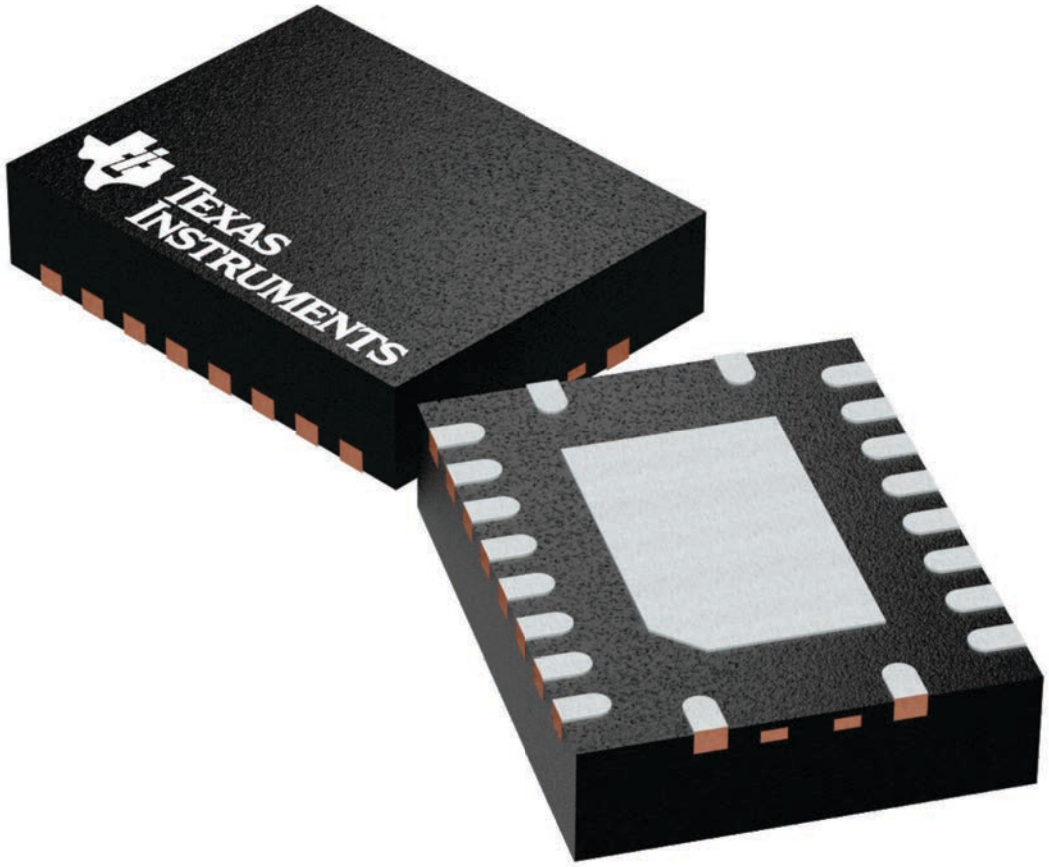
RGY 20

VQFN - 1 mm max height

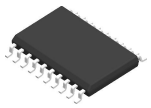
3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225264/A

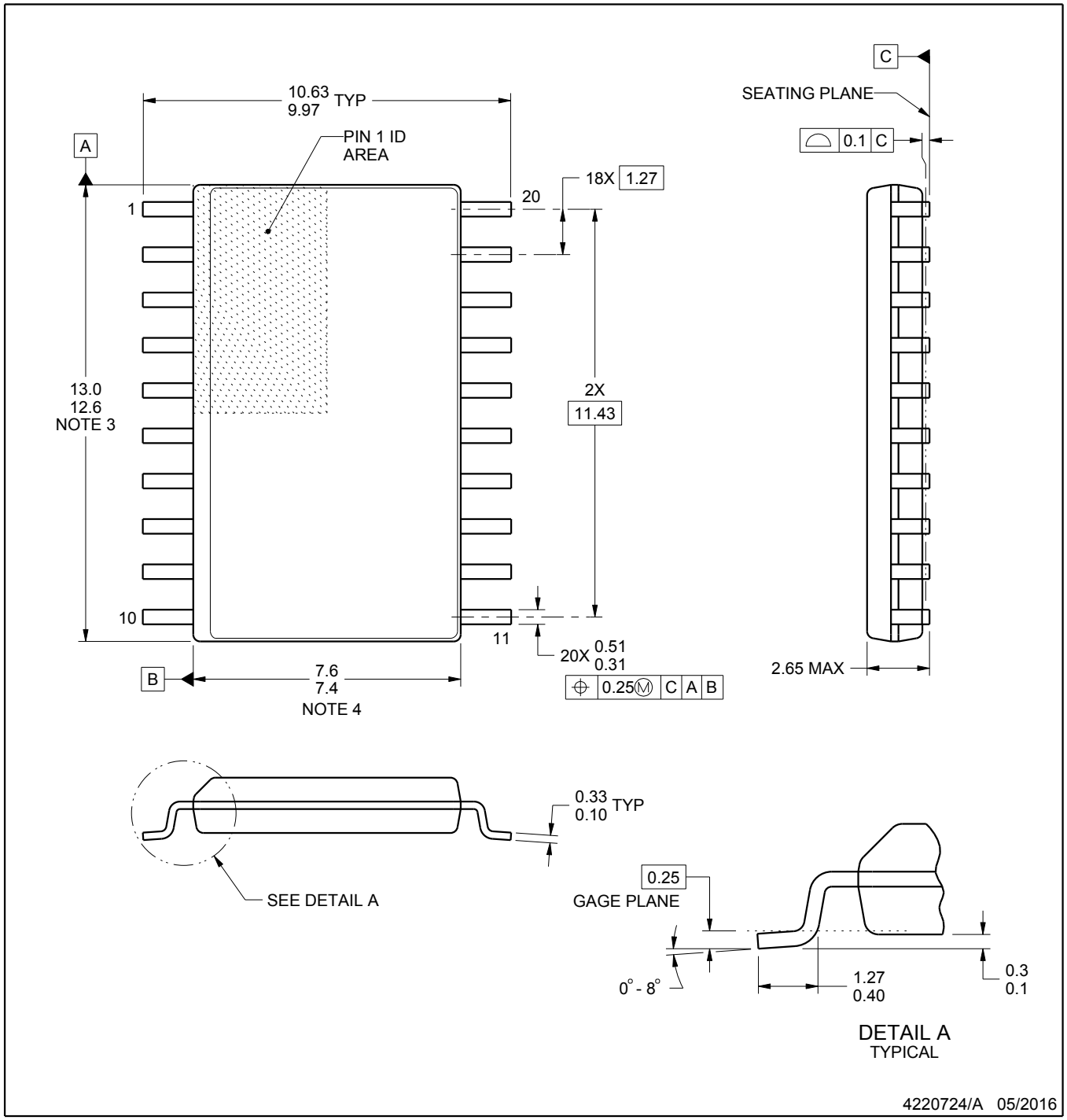


PACKAGE OUTLINE

DW0020A

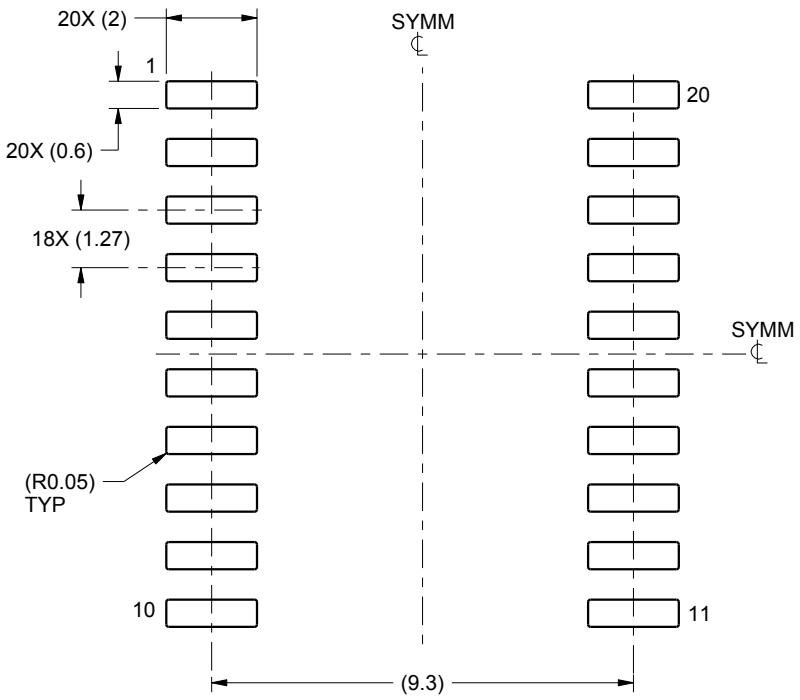
SOIC - 2.65 mm max height

SOIC

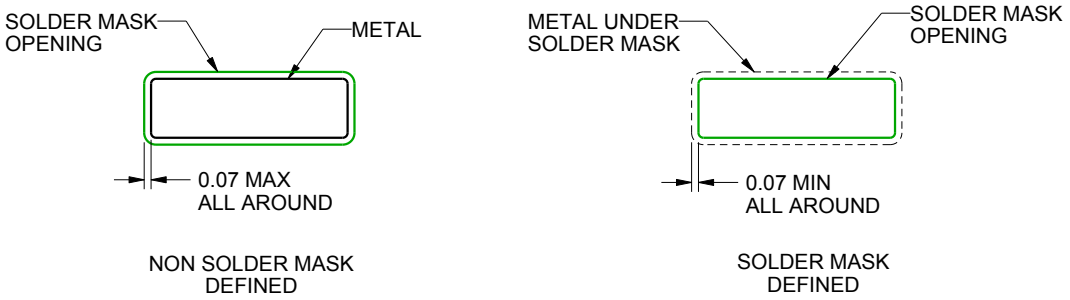


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

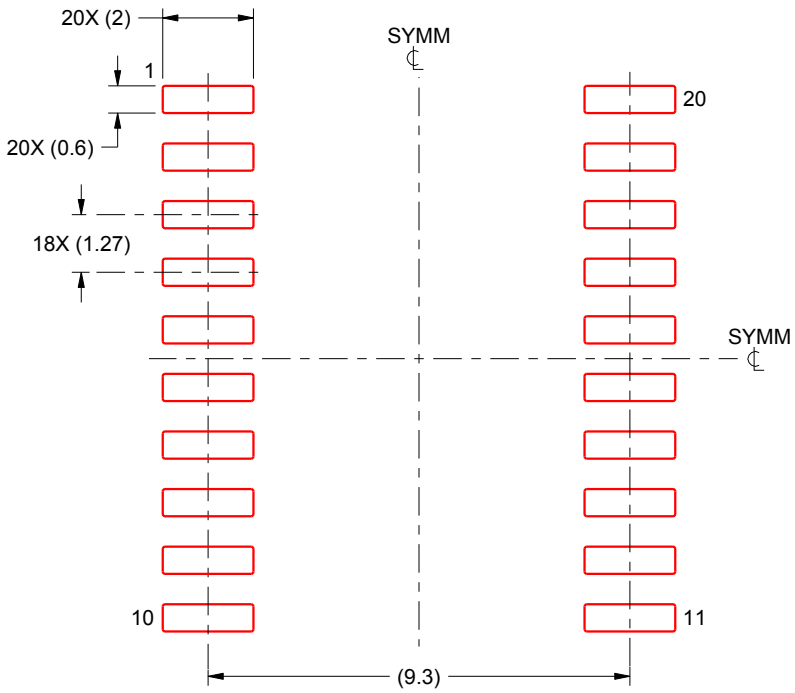


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

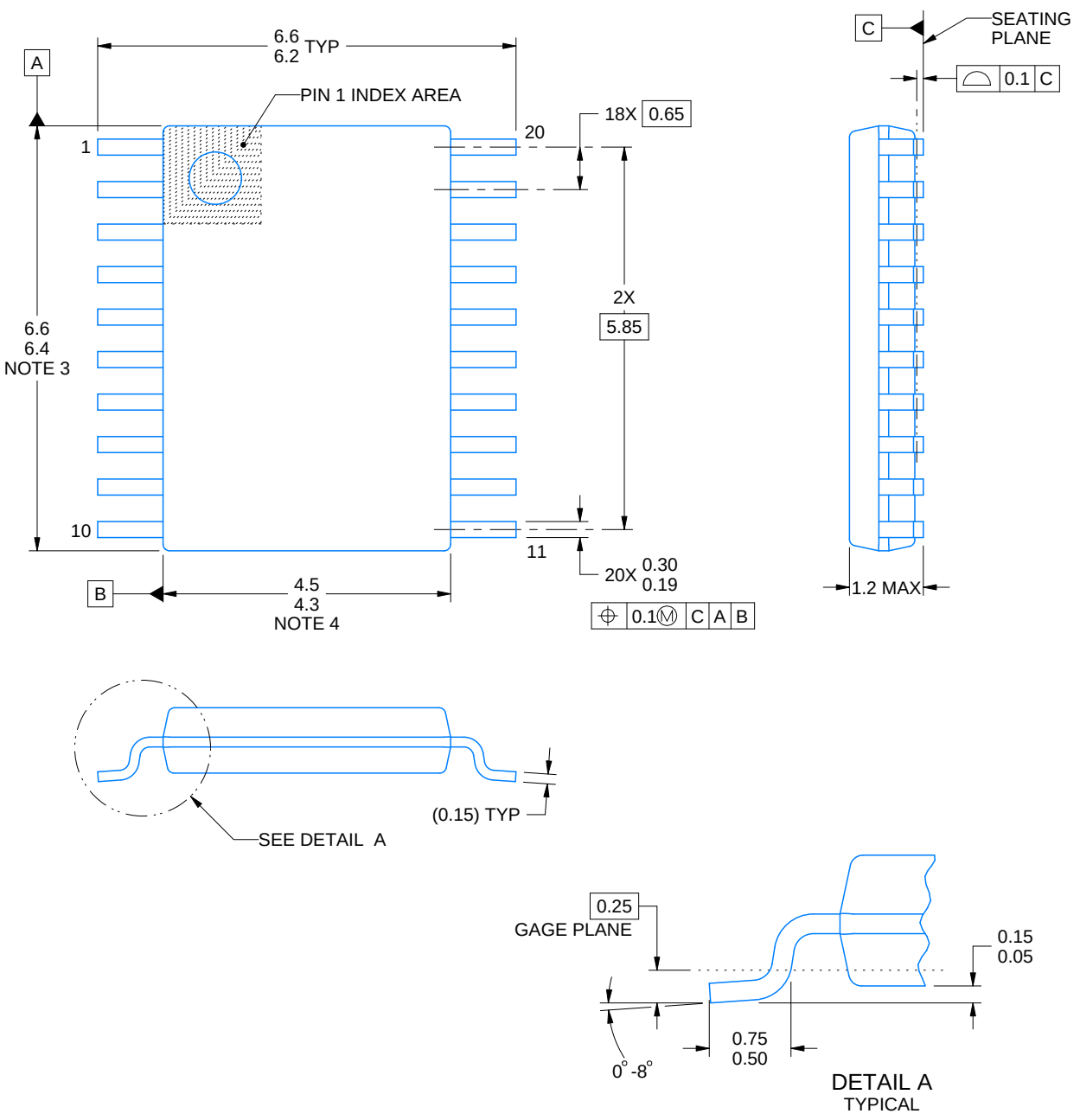
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

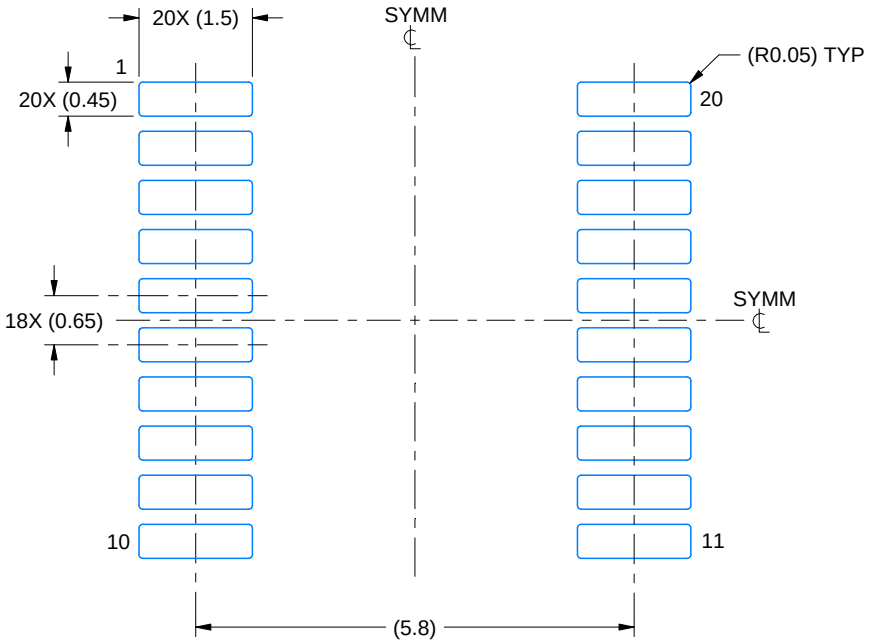
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

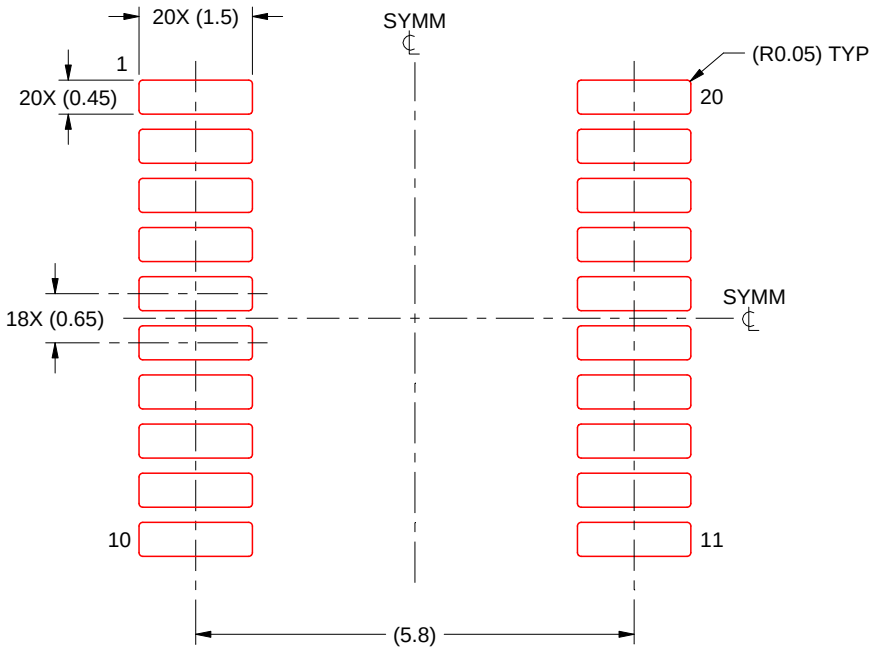


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

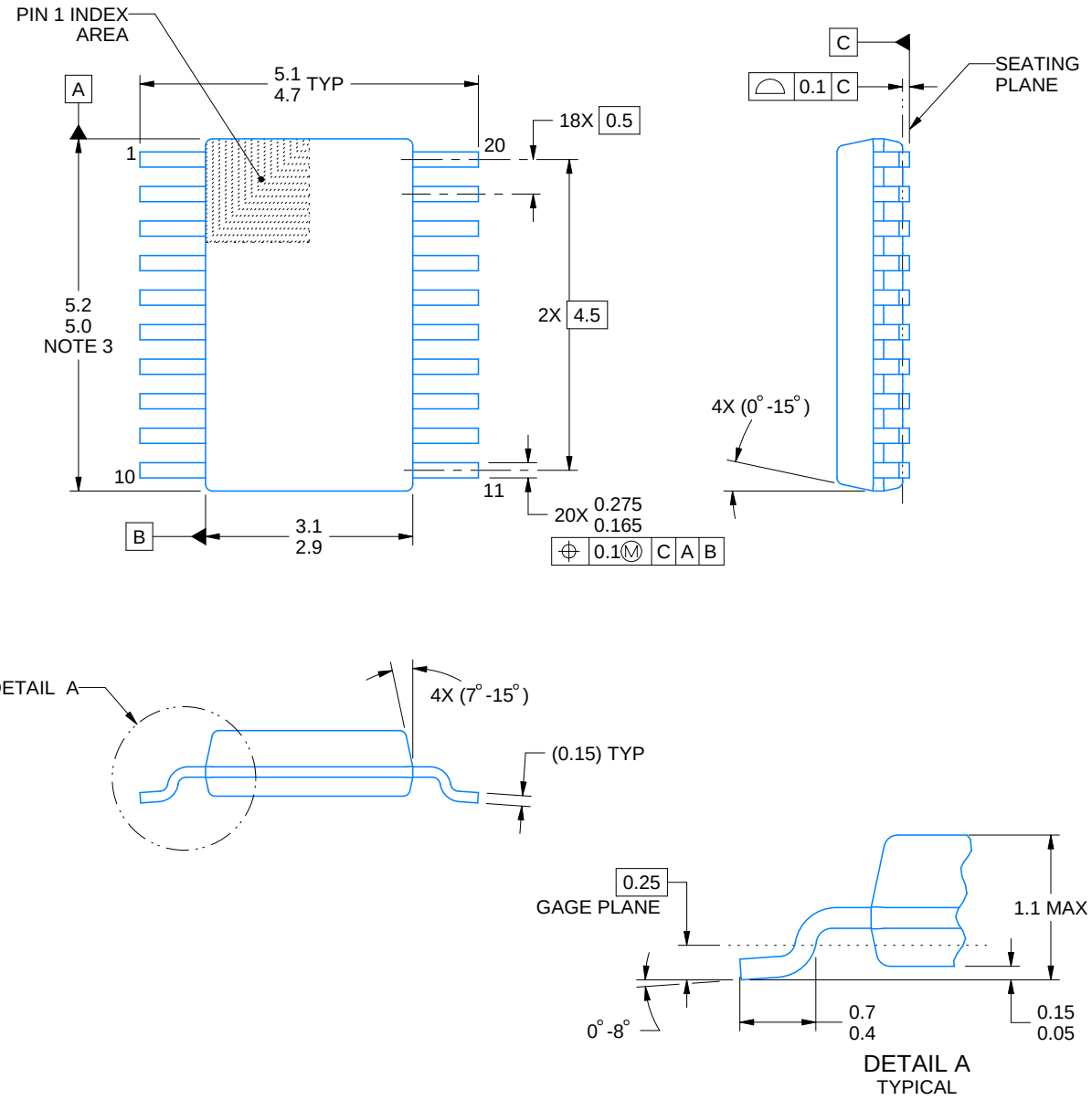
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

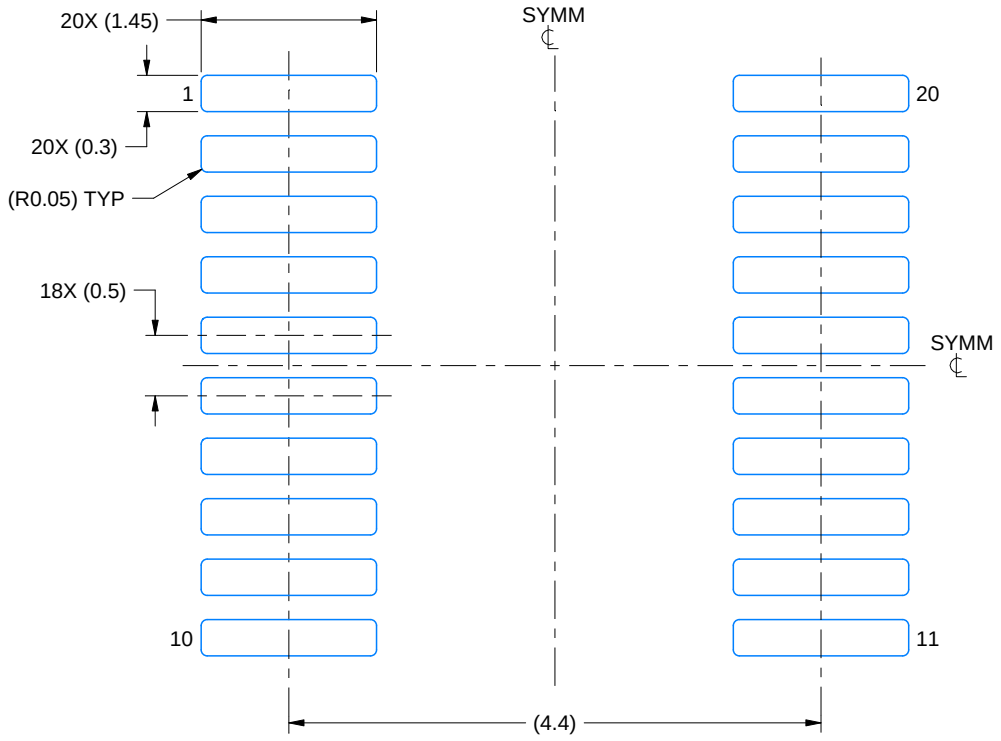
SMALL OUTLINE PACKAGE



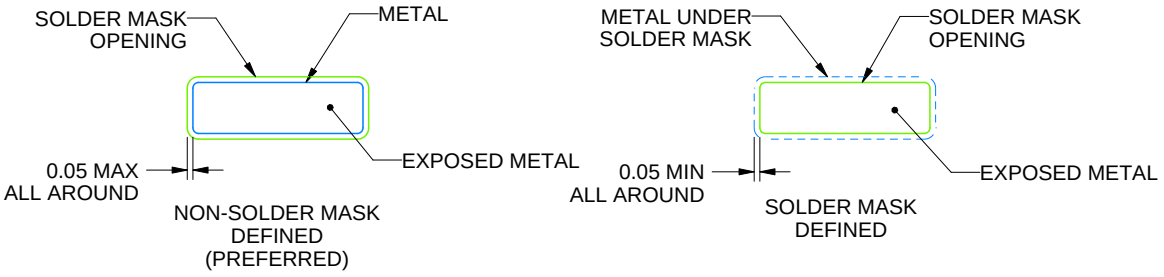
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

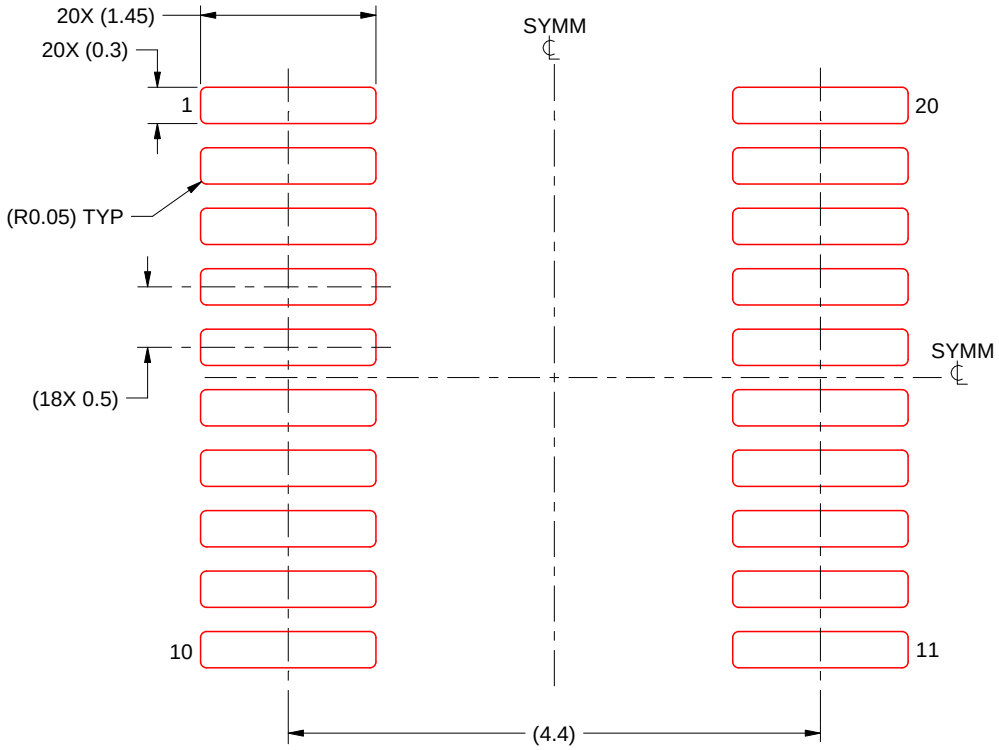


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月