SN74LV273A-Q1 クリア機能付きの車載用オクタル D タイプ・フリップ・フロップ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:
    - 40℃ ～ +125℃、T_A
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C6
- ウェッタブル フランク QFN (WRKS) パッケージで供給されます
- 2V～5.5V の V_{CC} で動作
- 10.5ns の最大 t_{pd} (5V 時)
- すべてのポートで混合モード電圧動作をサポート
- I_{off} により部分的パワーダウン モードをサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のクロック同期
- 少ない入力による信号の監視
- スイッチからトグルへの変換

3 説明

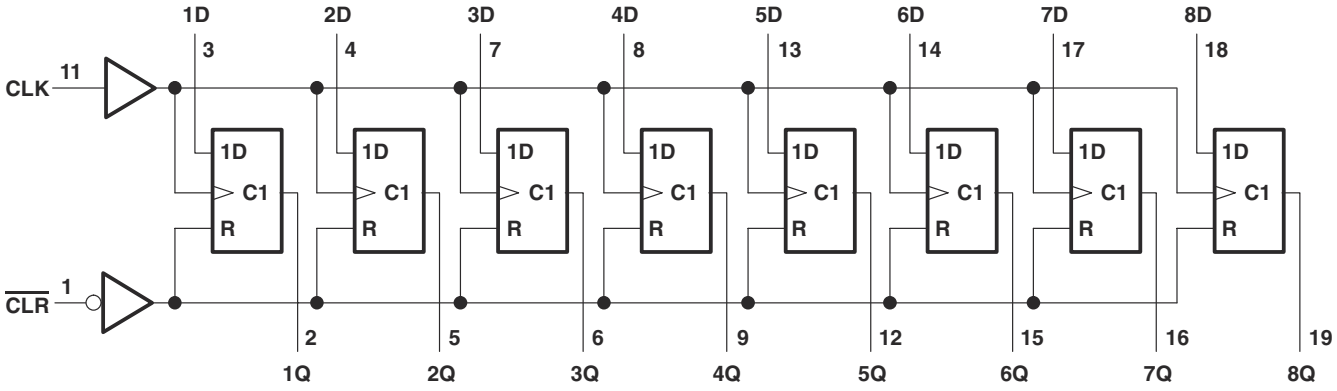
SN74LV273A-Q1 デバイスは、共有の直接アクティブ Low クリア (CLR) 入力とクロック (CLK) を搭載した、オクタル ポジティブ エッジ トリガの D タイプ フリップ フロップです。

セットアップ時間の要件を満たすデータ (D) 入力の情報は、クロック (CLK) パルスの立ち上がりエッジで (Q) 出力に転送されます。クロックのトリガは、特定の電圧レベルで発生し、立ち上がりパルスの遷移時間とは直接関係しません。CLK が High レベルまたは Low レベルのとき、または High レベルから Low レベルに遷移する途中のとき、D 入力は出力に影響を与えません。データ (Q) 出力の情報は、クリア (CLR) ピンへの Low レベル入力によって非同期的にクリアできます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74LV273A-Q1	WRKS (WQFN、20)	4.50mm × 2.50mm
	DGS (VSSOP、20)	5.10mm × 4.9mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 5
5.6 タイミング要件、V_{CC} = 2.5 V ± 0.2 V ... 6
5.7 タイミング要件、V_{CC} = 3.3 V ± 0.3 V ... 6
5.8 タイミング要件、V_{CC} = 5 V ± 0.5 V ... 6
5.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V ... 6
5.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V ... 7
5.11 スイッチング特性、V_{CC} = 5V ± 0.5V ... 7
5.12 動作特性 ... 7
5.13 ノイズ特性 ... 7
5.14 代表的特性 ... 8
6 パラメータ測定情報 ... 9
7 詳細説明 ... 10
7.1 概要 ... 10
7.2 機能ブロック図 ... 10
7.3 機能説明 ... 10
7.4 デバイスの機能モード ... 11
8 アプリケーションと実装 ... 13
8.1 使用上の注意 ... 13
8.2 代表的なアプリケーション ... 13
8.3 電源に関する推奨事項 ... 15
8.4 レイアウト ... 15
9 デバイスおよびドキュメントのサポート ... 17
9.1 関連資料 ... 17
9.2 ドキュメントの更新通知を受け取る方法 ... 17
9.3 サポート・リソース ... 17
9.4 商標 ... 17
9.5 静電気放電に関する注意事項 ... 17
9.6 用語集 ... 17
10 改訂履歴 ... 17
11 メカニカル、パッケージ、および注文情報 ... 17

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

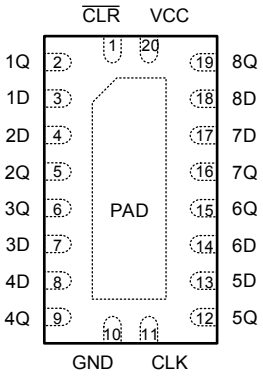


図 4-1. SN74LV273A-Q1 WRKS パッケージ、 20 ピン WQFN (上面図)

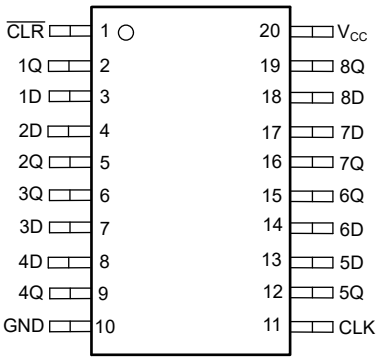


図 4-2. SN74LV273A-Q1 DGS パッケージ、 20 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
$\overline{CLR}$	1	I	全チャネルのクリア、アクティブ Low
1Q	2	O	チャネル 1 の出力
1D	3	I	チャネル 1 の入力
2D	4	I	チャネル 2 の入力
2Q	5	O	チャネル 2 の出力
3Q	6	O	チャネル 3 の出力
3D	7	I	チャネル 3 の入力
4D	8	I	チャネル 4 の入力
4Q	9	O	チャネル 4 の出力
GND	10	G	グランド
CLK	11	I	全チャネルのクロック、立ち上がりエッジが トリガーされる
5Q	12	O	チャネル 5 の出力
5D	13	I	チャネル 5 の入力
6D	14	I	チャネル 6 の入力
6Q	15	O	チャネル 6 の出力
7Q	16	O	チャネル 7 の出力
7D	17	I	チャネル 7 の入力
8D	18	I	チャネル 8 の入力
8Q	19	O	チャネル 8 の出力
V_{CC}	20	P	正電源
サーマル パッド		—	サーマル パッド(2)

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。
(2) WRKS パッケージに限定

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、本デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) この値は最大 5.5V に制限されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 (1)	±4000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±2000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 2.3V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 2.3V～5.5V		V_{CC} × 0.3	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 2.3V～2.7V		-2	mA
		V_{CC} = 3V～3.6V		-6	
		V_{CC} = 4.5V～5.5V		-12	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 2.3V～2.7V		2	mA
		V_{CC} = 3V～3.6V		6	
		V_{CC} = 4.5V～5.5V		12	

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 2.3V～2.7V		200	ns/V
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	自由空気での動作温度		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74LV273A-Q1		単位
		WRKS (WQFN)	DGS (VSSOP)	
		20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	75.8	125.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	80.3	80.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	50.5	63.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	16.0	8.4	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	50.4	79.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	32.3	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

5.5 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)。

パラメータ			V_{CC}	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -50mA	2V ～ 5.5V	V_{CC} - 0.1			V
		I_{OH} = -2mA	2.3V	2			
		I_{OH} = -6mA	3V	2.48			
		I_{OH} = -12mA	4.5V	3.8			
V_{OL}	Low レベル出力電圧	I_{OL} = 50mA	2V ～ 5.5V			0.1	V
		I_{OL} = 2mA	2.3V			0.4	
		I_{OL} = 6mA	3V			0.44	
		I_{OL} = 12mA	4.5V			0.55	
I_I	入力リーク電流	V_I = 5.5V または GND	0V ～ 5.5V			±1	µA
I_{CC}	電源電流	V_I = V_{CC} または GND、I_O = 0	5.5V			20	µA
I_{off}	入力 / 出力電源オフ リーク電流	V_I または V_O = 0～5.5V	0V			5	µA
C_i	入力容量	V_I = V_{CC} または GND	3.3V		2		pF

Copyright © 2026 Texas Instruments Incorporated

5.6 タイミング要件、V_{CC} = 2.5 V ± 0.2 V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ		テスト条件	25°C		–40℃ ～ 125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{CLR}$ が Low	6.5		7.5		ns
		CLK が High または Low	7		9		
t_{su}	セットアップ時間	CLK↑ 前のデータ	8.5		12		ns
		CLK↑ の前の $\overline{CLR}$ 非アクティブ	4		4.5		
t_h	ホールド時間	CLK↑ 後のデータ	0.5		2.5		ns

5.7 タイミング要件、V_{CC} = 3.3 V ± 0.3 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ		テスト条件	25°C		–40℃ ～ 125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{CLR}$ が Low	5		6.5		ns
		CLK が High または Low	5		7		
t_{su}	セットアップ時間	CLK↑ 前のデータ	5.5		8		ns
		CLK↑2.5 の前の $\overline{CLR}$ 非アクティブ	2.5		3		
t_h	ホールド時間	CLK↑ 後のデータ	1		2.5		ns

5.8 タイミング要件、V_{CC} = 5 V ± 0.5 V

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ		テスト条件	25°C		–40℃ ～ 125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{CLR}$ が Low	5		5.5		ns
		CLK が High または Low	5		5.5		
t_{su}	セットアップ時間	CLK↑ 前のデータ	4.5		6		ns
		CLK↑ の前の $\overline{CLR}$ 非アクティブ	2		2.5		
t_h	ホールド時間	CLK↑ 後のデータ	1		2		ns

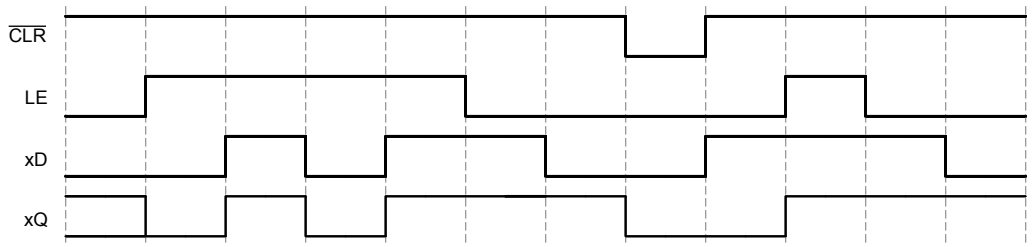


図 5-1. 代表的なクロック、ロード、クリア シーケンス

5.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V

自由空気での動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	25°C			–40℃ ～ 125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
f_{max}			C_L = 15pF	55	95		45			MHz
			C_L = 50pF	45	75		40			

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	25°C			–40℃ ～ 125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
t_{pd}	CLK	Q	C_L = 15pF		10.4	18.3	1		22.5	ns
	$\overline{CLR}$				10.3	19	1		23	
t_{pd}	CLK	Q	C_L = 50pF		12.9	22.1	1		27	ns
	$\overline{CLR}$				13.1	22.8	1		27.5	
$t_{sk(o)}$						2			2	

5.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由空気での動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	25°C			–40℃ ～ 125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
f_{max}			C_L = 15pF	75	140		65			MHz
			C_L = 50pF	50	110		45			
t_{pd}	CLK	Q	C_L = 15pF		7.1	13.6	1		17.5	ns
	$\overline{CLR}$				6.9	13.6	1		17.5	
t_{pd}	CLK	Q	C_L = 50pF		9.1	17.1	1		21	ns
	$\overline{CLR}$				8.7	17.1	1		21	
$t_{sk(o)}$						1.5			1.5	

5.11 スイッチング特性、V_{CC} = 5V ± 0.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	25°C			–40℃ ～ 125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
f_{max}			C_L = 15pF	120	205		100			MHz
			C_L = 50pF	80	160		70			
t_{pd}	CLK	Q	C_L = 15pF		4.8	9	1		11.5	ns
	$\overline{CLR}$				4.7	8.5	1		11	
t_{pd}	CLK	Q	C_L = 50pF		6.2	11	1		14	ns
	$\overline{CLR}$				6	10.5	1		13.5	
$t_{sk(o)}$						1			1	

5.12 動作特性

T_A = 25℃

パラメータ	テスト条件	V_{CC}	標準値	単位
C_{pd} 電力散逸容量	C_L = 50pF f = 10MHz	3.3V	15.9	pF
		5V	17.1	

5.13 ノイズ特性

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃

パラメータ(1)		最小値	標準値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.3	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.3	-0.8	V

Copyright © 2026 Texas Instruments Incorporated

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃

パラメータ(1)		最小値	標準値	最大値	単位
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		3		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

(1) 特性は表面実装パッケージに限定されています。

5.14 代表的特性

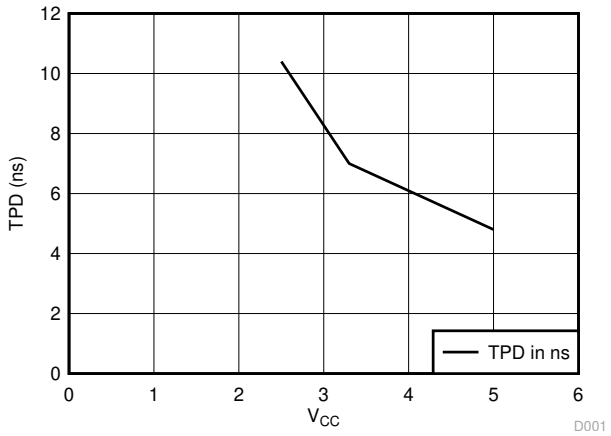


図 5-2. 25℃ での T_{PD} と V_{cc} との関係

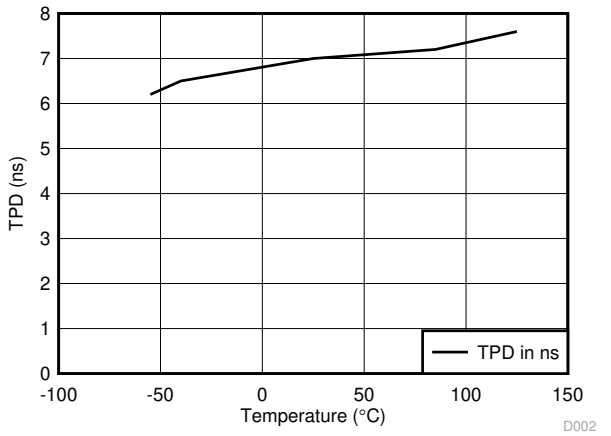
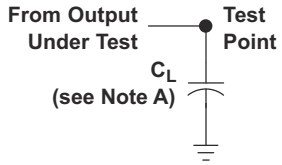


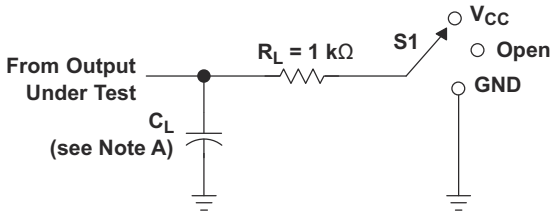
図 5-3. T_{PD} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

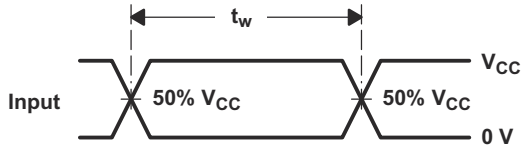


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

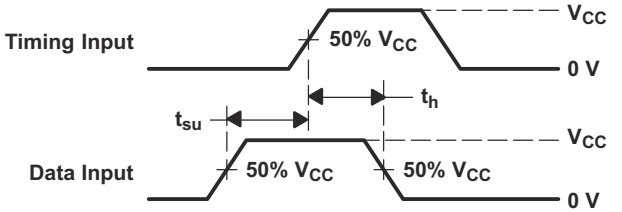


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

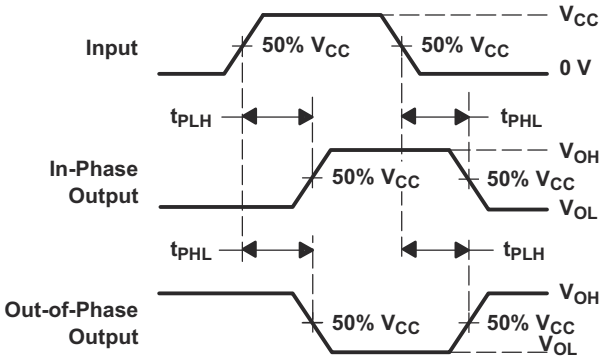
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



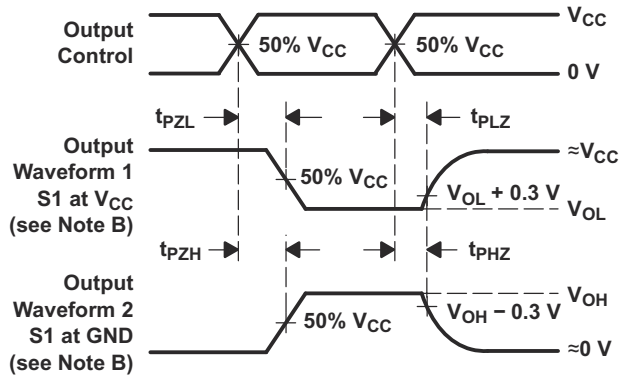
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_r ≤ 3ns、t_f ≤ 3ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SN74LV273A-Q1 デバイスは、共有の直接アクティブ Low クリア ($\overline{CLR}$) 入力とクロック (CLK) を搭載した、オクタル ポジティブ エッジ トリガの D タイプ フリップ フロップです。

セットアップ時間の要件を満たすデータ (D) 入力の情報は、クロック (CLK) パルスの立ち上がりエッジで (Q) 出力に転送されます。クロックのトリガは、特定の電圧レベルで発生し、立ち上がりパルスの遷移時間とは直接関係しません。CLK が High レベルまたは Low レベルのとき、または High レベルから Low レベルに遷移する途中のとき、D 入力は出力に影響を与えません。データ (Q) 出力の情報は、クリア ($\overline{CLR}$) ピンへの Low レベル入力によって非同期的にクリアできます。

SN74LV273A-Q1 は、I_{off} を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

7.2 機能ブロック図

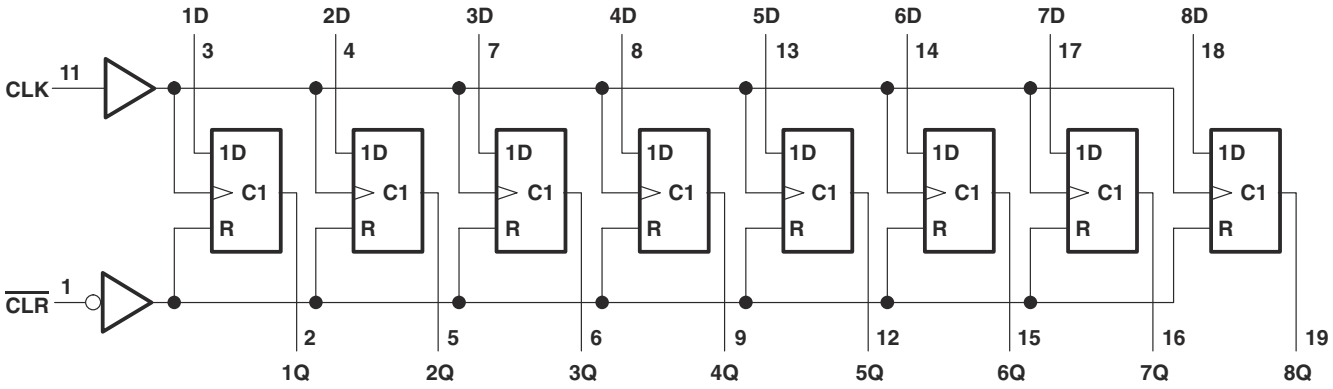


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、推奨動作条件の表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディセーブルになっているときは、印加される入力電圧に関係なく、出力は電流のソースとシンクのどちらも行いません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.4 ウェッタブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

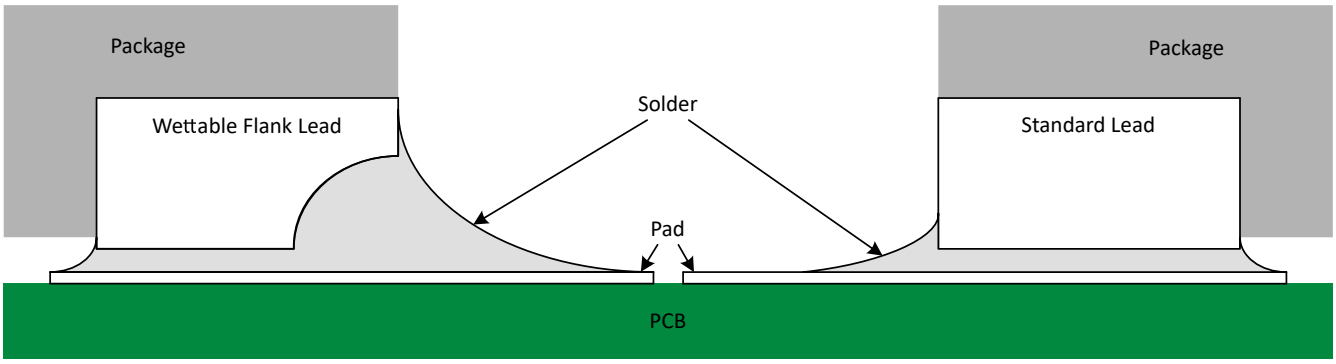


図 7-2. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。図 7-2 に示すように、ウェッタブル フランクは、半田接着用の表面積を増やすために、ディンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

7.3.5 クランプ ダイオード構造

図 7-3 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

注意
*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守している場合、入力と出力の電圧定格を超えても構いません。

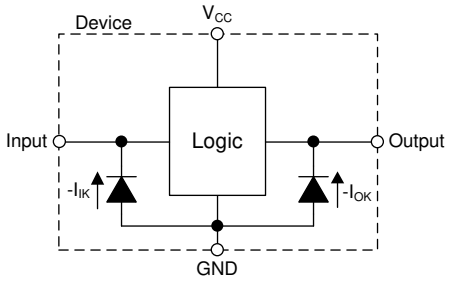


図 7-3. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1. 機能表

入力 (1)			出力(2)
$\overline{CLR}$	CLK	D	Q
L	X	X	L

表 7-1. 機能表 (続き)

入力 (1)			出力(2)
$\overline{CLR}$	**CLK**	**D**	**Q**
H	L、H、↓	X	Q_0
H	↑	L	L
H	↑	H	H

(1) L = 入力 low、H = 入力 high、↑ = 入力が low から high に遷移、↓ = 入力が high から low に遷移、X = ドント ケア
(2) L = 出力 low、H = 出力 high、Q_0 = 前の状態

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このアプリケーションでは、SN74LV273A-Q1 は、入力データを 8 ビット バス上のシステム クロックに同期させるために使用されます。

8.2 代表的なアプリケーション

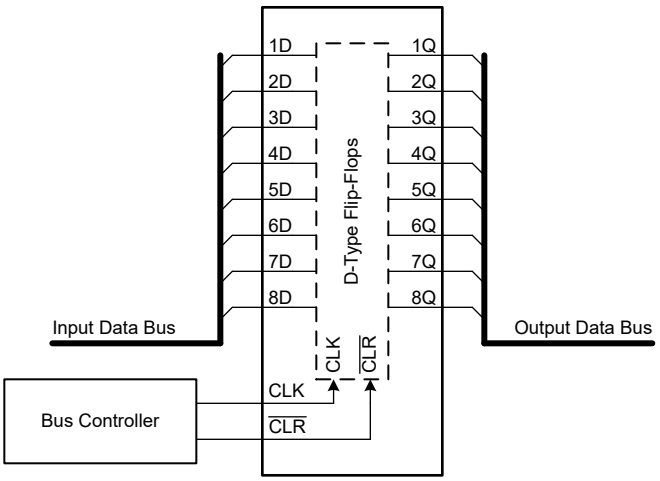


図 8-1. 代表的なアプリケーションの図

8.2.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LV273A-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74LV273A-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV273A-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV273A-Q1 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、「*CMOS の消費電力と Cpd の計算*」に記載されている情報を使用して計算できます。

Copyright © 2026 Texas Instruments Incorporated

熱上昇は、「*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性*」に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度、$T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック LOW と見なされ、$V_{IH(min)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が HIGH の場合にはプルアップ抵抗、デフォルト状態が LOW の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV273A-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74LV273A-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。 グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.4 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置してください。「レイアウト」セクションに、レイアウト例を示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。この条件はハード リミットではありませんが、これによりピーク性能が確立されます。これは、SN74LV273A-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})$ Ω より大きくします。これにより、絶対最大定格の出力電流の最大値を上回ることがなくなります。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション ノート、『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

Copyright © 2026 Texas Instruments Incorporated

8.2.5 アプリケーション曲線

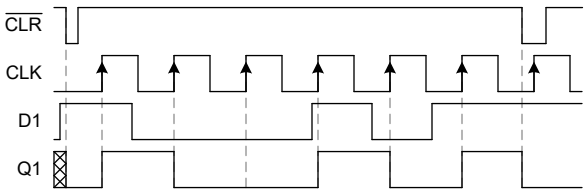


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「絶対最大定格」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには 0.1µF のコンデンサを推奨します。V_{CC} 端子が複数ある場合は、各電源端子に 0.01µF または 0.022µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。通常、0.1µF と 1µF の周波数は並列に使用します。最善の結果を得るには、バイパス コンデンサを電源端子のできるだけ近くに取り付ける必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ ゲートのうち 3 入力のみを使用する場合です。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

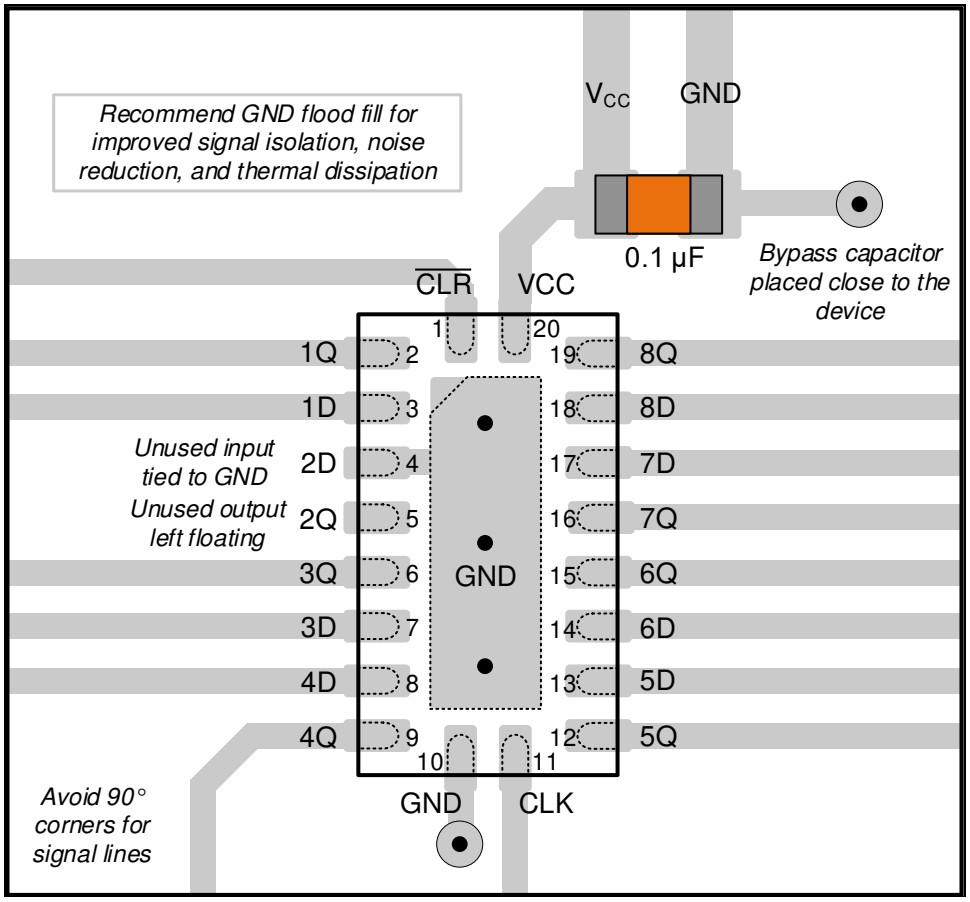


図 8-3. WRKS パッケージに封止した SN74LV273A-Q1 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『クロック供給デバイスの電源オン時の動作』アプリケーション ノート
- テキサス インスツルメンツ、『ロジック入門』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメント更新の通知を、シリコンの正誤表も含めて受け取るには、ti.com でお使いの製品のフォルダへ移動します。右上の隅にある「通知を受け取る」ボタンをクリックします。これによって登録が行われ、変更された製品情報がある場合、その概要を毎週受け取ることができます。変更の詳細については、修正されたドキュメントの改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2023) to Revision C (June 2026)	Page
• 「ピン構成および機能」の PW ピン配置図 (上面図) を更新	3

Changes from Revision A (October 2022) to Revision B (January 2023)	Page
• データシートに DGS パッケージ情報を追加	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV273AQDGSRQ1	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273Q
SN74LV273AQDGSRQ1.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273Q
SN74LV273AQWRKSRQ1	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273AQ
SN74LV273AQWRKSRQ1.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV273A-Q1 :

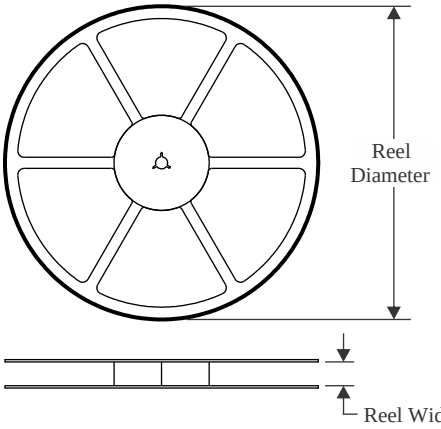
- Catalog : SN74LV273A

NOTE: Qualified Version Definitions:

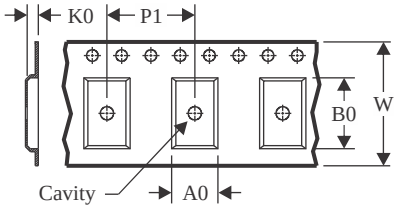
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

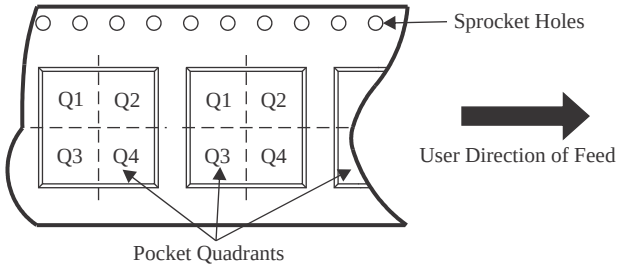


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

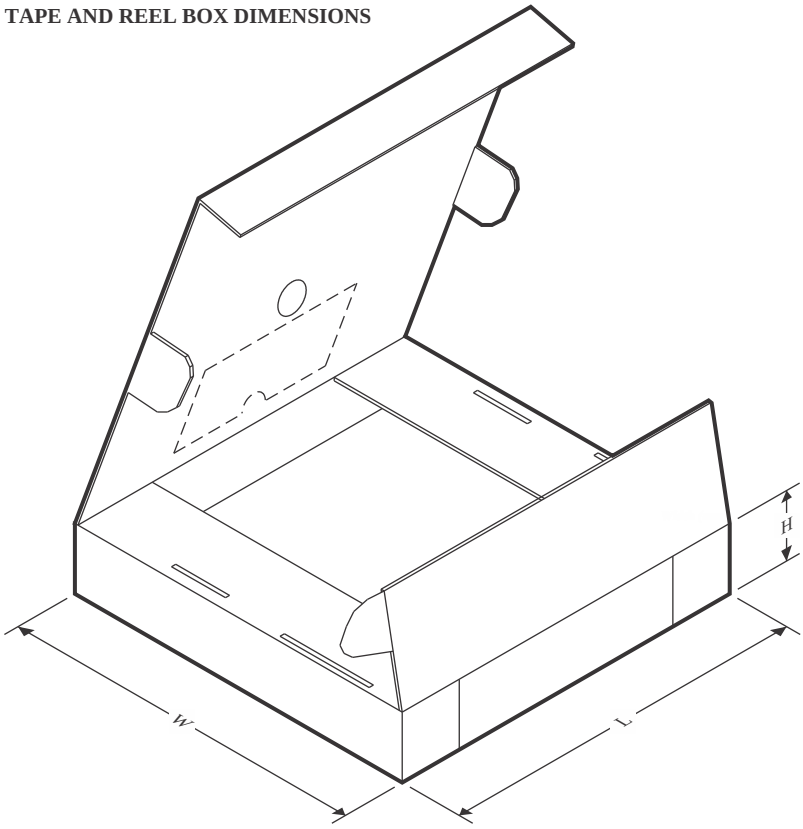
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV273AQDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV273AQWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV273AQDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV273AQWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

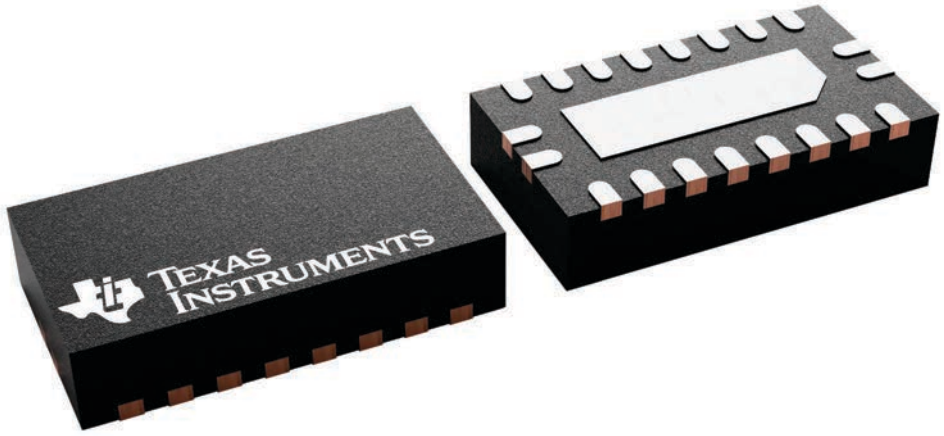
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

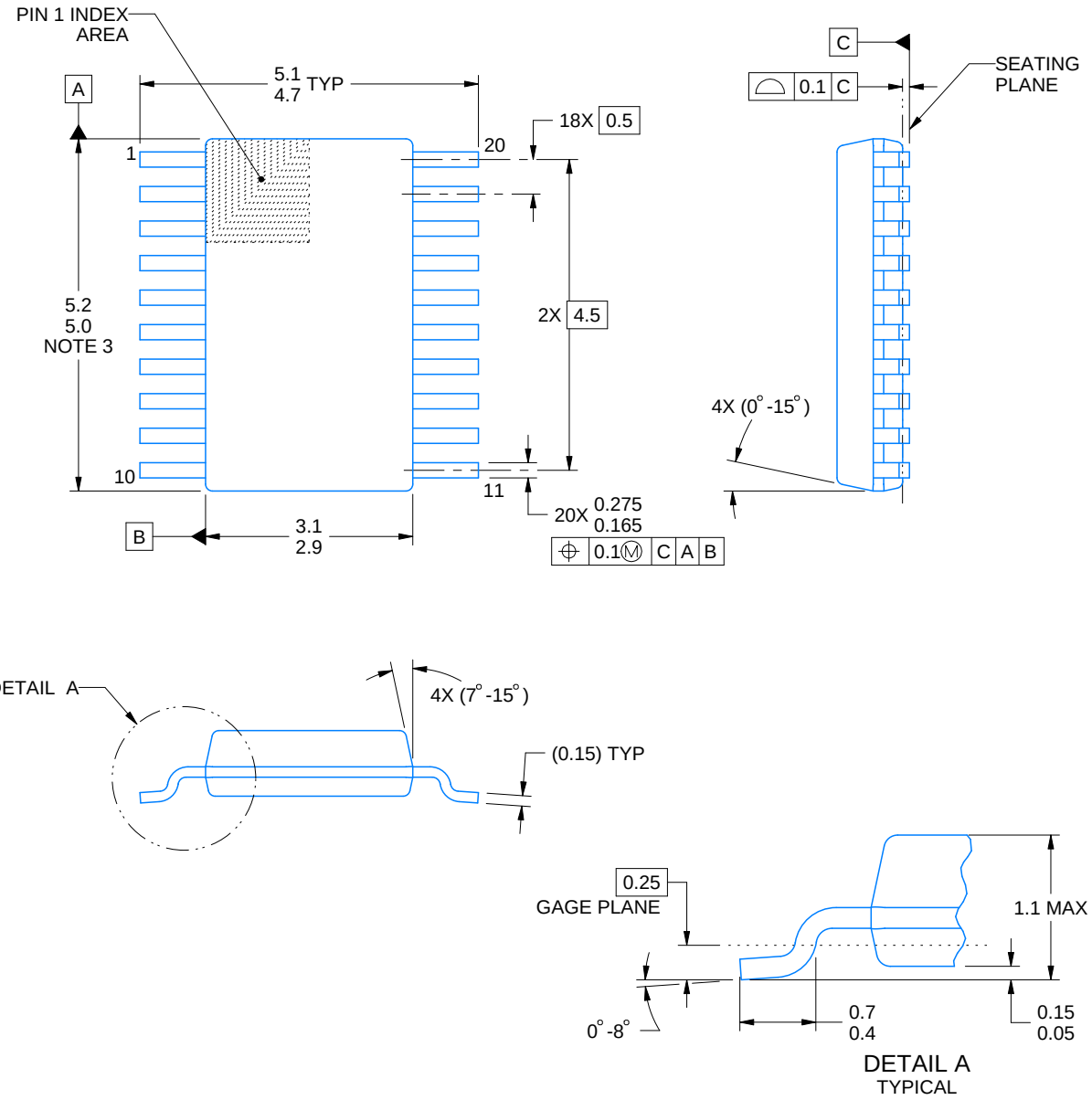


PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

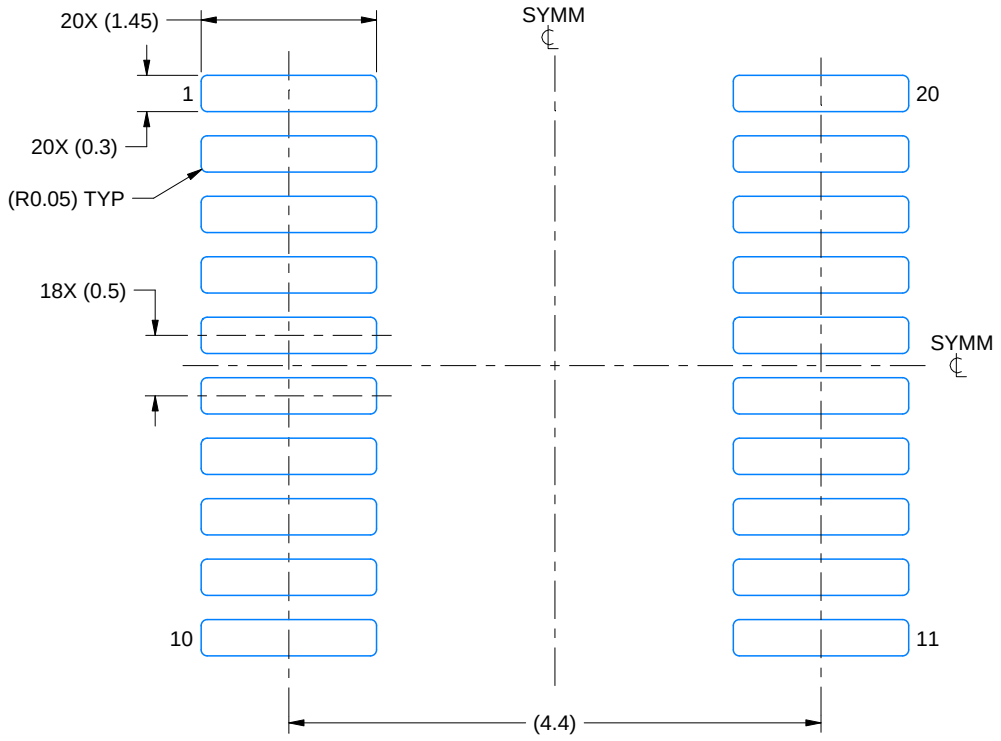
SMALL OUTLINE PACKAGE



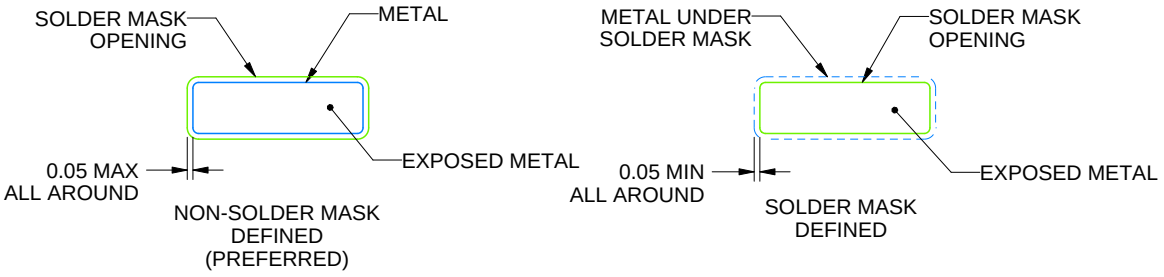
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

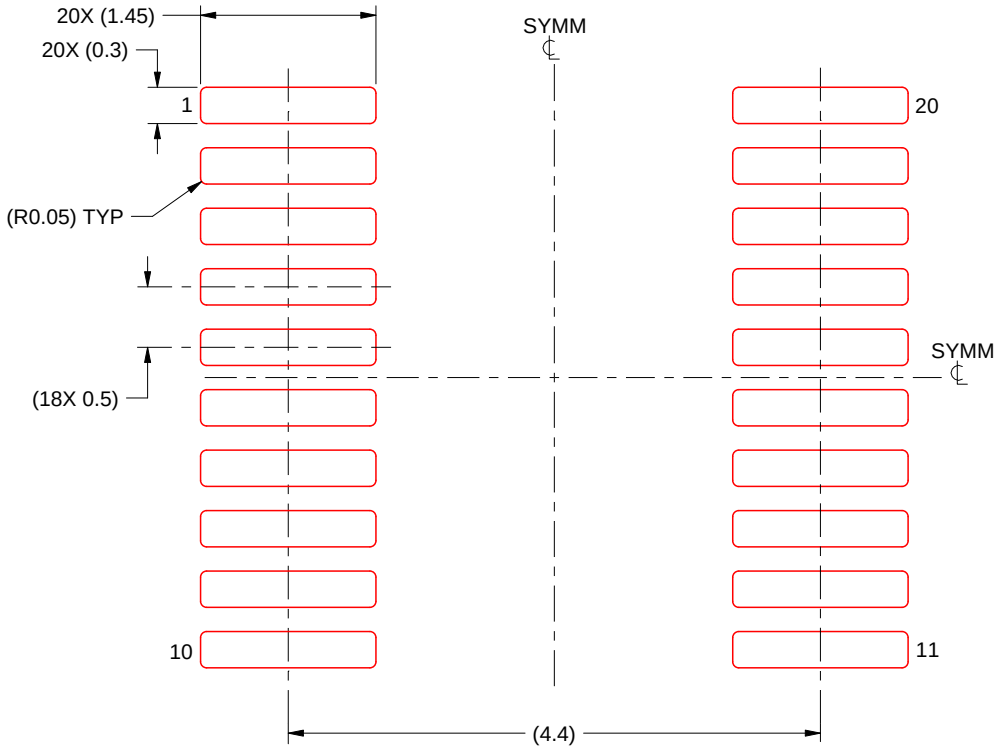


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月