SN74LV595B-EP エンハンスド製品、2V～5.5V、低ノイズ、8 ビット・シフト・レジスタ、3 ステート出力搭載

1 特長

- 2V～5.5V の V_{CC} で動作
- すべてのポートで混合モード電圧動作をサポート
- I_{off} により部分的パワーダウン・モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- 動作時周囲温度:-55℃～+125℃
- 防衛、航空宇宙、医療アプリケーションをサポート:
  - 管理されたベースライン
  - 単一のアセンブリおよびテスト施設
  - 単一の製造施設
  - 長い製品ライフ・サイクル
  - 製品のトレーサビリティ

2 アプリケーション

- 出力拡張
- LED マトリクス制御
- 7 セグメント・ディスプレイ制御

3 説明

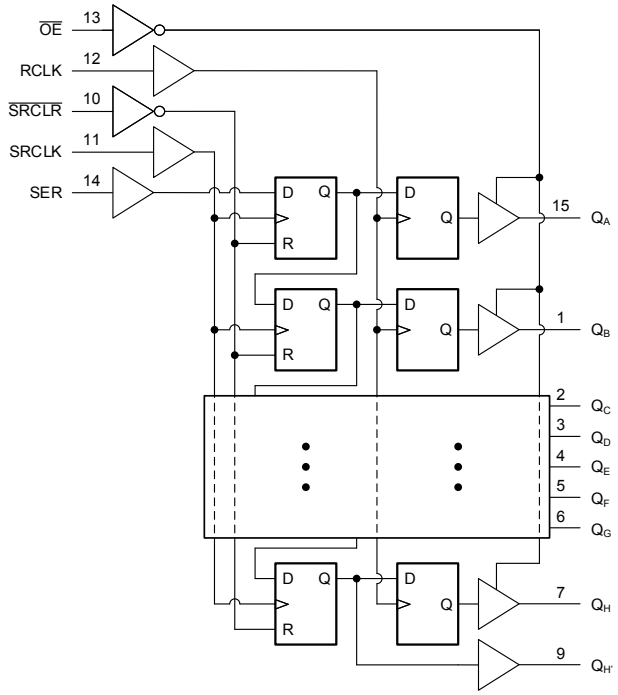
SN74LV595B-EP には、8 ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、8 ビットの D タイプ・ストレージ・レジスタへデータを供給します。ストレージ・レジスタはパラレル 3 ステート出力を備えています。シフト・レジスタとストレージ・レジスタの両方に、それぞれ独立したクロックが供給されます。シフト・レジスタは、ダイレクト・オーバーライディング・クリア ($\overline{SRCLR}$) 入力、シリアル (SER) 入力、カスケード接続用シリアル出力を備えています。出力イネーブル ($\overline{OE}$) 入力が High のとき、$Q_{H'}$ を除くすべての出力が高インピーダンス状態になります。

このデバイスは、I_{off} を使用する部分的パワーダウン・アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN74LV595B-EP	PW (TSSOP、16)	5.00mm × 6.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 ... 4
6.4 熱に関する情報 ... 5
6.5 電気的特性 ... 5
6.6 タイミング要件、V_{CC} = 2.5V ± 0.2V ... 6
6.7 タイミング要件、V_{CC} = 3.3V ± 0.3V ... 6
6.8 タイミング要件、V_{CC} = 5V ± 0.5V ... 7
6.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V ... 8
6.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V ... 8
6.11 スイッチング特性、V_{CC} = 5V ± 0.5V ... 9
6.12 ノイズ特性 ... 9
6.13 動作特性 ... 9
6.14 標準的特性 ... 9
7 パラメータ測定情報 ... 10
8 詳細説明 ... 11
8.1 概要 ... 11
8.2 機能ブロック図 ... 11
8.3 機能説明 ... 12
8.4 デバイスの機能モード ... 13
9 アプリケーションと実装 ... 14
9.1 アプリケーション情報 ... 14
9.2 代表的なアプリケーション ... 15
9.3 電源に関する推奨事項 ... 18
9.4 レイアウト ... 18
10 デバイスおよびドキュメントのサポート ... 19
10.1 ドキュメントのサポート ... 19
10.2 ドキュメントの更新通知を受け取る ... 19
10.3 サポート・リソース ... 19
10.4 商標 ... 19
10.5 静電気放電に関する注意事項 ... 19
10.6 用語集 ... 19
11 メカニカル、パッケージ、および注文情報 ... 19

4 改訂履歴

日付	改訂	注
2023 年 8 月	*	初版

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

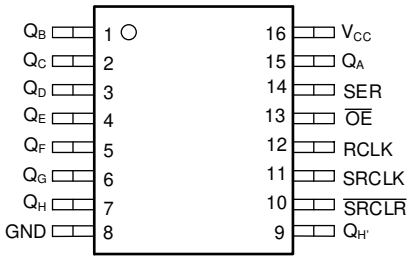


図 5-1. SN74LV595B-EP：PW パッケージ、 16 ピン TSSOP (上面図)

表 5-1. ピンの機能

ピン		種類(1)	概要
名称	番号		
GND	8	G	グランド
$\overline{OE}$	13	I	出力イネーブル・ピン
Q_A	15	O	Q_A 出力
Q_B	1	O	Q_B 出力
Q_C	2	O	Q_C 出力
Q_D	3	O	Q_D 出力
Q_E	4	O	Q_E 出力
Q_F	5	O	Q_F 出力
Q_G	6	O	Q_G 出力
Q_H	7	O	Q_H 出力
$Q_{H'}$	9	O	Q_H 出力
$\overline{SRCLR}$	10	I	$\overline{SRCLR}$ 入力
SRCLK	11	I	SRCLK 入力
RCLK	12	I	RCLK 入力
SER	14	I	SER 入力
V_{CC}	16	P	正の電源

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±35	mA
	V_{CC} または GND を通過する連続電流			±70	mA
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力電流と出力電流の定格が遵守されると、入力と出力の負電圧の定格を超える可能性があります。
(3) この値は最大 5.5V に制限されています。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 2.3 V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 2.3 V～5.5V		V_{CC} × 0.3	
V_I	入力電圧		0	5.5	V
V_O	出力電圧	High または Low 状態	0	V_{CC}	V
		3 ステート	0	5.5	
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 2.3V～2.7V		-2	mA
		V_{CC} = 3V～3.6V		-6	
		V_{CC} = 4.5V～5.5V		-12	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 2.3V～2.7V		2	mA
		V_{CC} = 3V～3.6V		6	
		V_{CC} = 4.5V～5.5V		12	

Copyright © 2023 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 2.3V～2.7V		200	ns/V
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	自由気流での動作温度		-55	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』を参照してください。

6.4 熱に関する情報

熱評価基準(1)		SN74LV595B-EP PW (TSSOP) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	131.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	69.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	75.8	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	21.0	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	75.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	℃/W

(1) 従来と新規の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		V_{CC}	最小値	代表値	最大値	単位
V_{OH}	I_{OH} = -50mA	2V～5.5V	V_{CC} - 0.1			V
	I_{OH} = –2mA	2.3V	2			
	I_{OH} = -6mA	3V	2.48			
	I_{OH} = -12mA	4.5V	3.8			
V_{OL}	I_{OL} = 50mA	2V～5.5V			0.1	V
	I_{OL} = 2mA	2.3V			0.4	
	I_{OL} = 6mA	3V			0.44	
	I_{OL} = 12mA	4.5V			0.55	
I_I	V_I = 5.5V または GND	0V～5.5V			±1	μA
I_{OZ}	V_O = V_{CC} または GND	5.5V			±5	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	5.5V			20	μA
I_{off}	V_I または V_O = 0～5.5V	0V			5	μA
C_i	V_I = V_{CC} または GND	3.3V		3.5		pF

Copyright © 2023 Texas Instruments Incorporated

6.6 タイミング要件、V_{CC} = 2.5V ± 0.2V

自由気流での動作温度範囲内 (特に記述のない限り)

			T_A = 25℃		T_A = -55℃ ～125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	SRCLK High または Low	7		8.5		ns
		RCLK High または Low	7		8.5		
		$\overline{\text{SRCLR}}$ Low	6		7.5		
t_{su}	セットアップ時間	SRCLK ↑ の前の SER	5.5		6.5		ns
		RCLK ↑ より前に SRCLK ↑ (1)	8		10		
		RCLK ↑ より前に $\overline{\text{SRCLR}}$ が Low	8.5		10.5		
		SRCLK ↑ より前に $\overline{\text{SRCLR}}$ が High (非アクティブ)	4		5		
t_h	ホールド時間	SRCLK ↑ の後の SER	1.5		2.5		ns

(1) このセットアップ時間により、ストレージ・レジスタはシフト・レジスタから安定したデータを受信できます。クロックを同期することができ、その場合シフト・レジスタのクロックをストレージ・レジスタより 1 クロック・パルス早くします。

6.7 タイミング要件、V_{CC} = 3.3V ± 0.3V

自由気流での動作温度範囲内 (特に記述のない限り)

			T_A = 25℃		T_A = -55℃ ～125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	SRCLK High または Low	5.5		6.5		ns
		RCLK High または Low	5.5		6.5		
		$\overline{\text{SRCLR}}$ Low	5		6		
t_{su}	セットアップ時間	SRCLK ↑ の前の SER	3.5		4.5		ns
		RCLK ↑ より前に SRCLK ↑ (1)	8		9.5		
		RCLK ↑ より前に $\overline{\text{SRCLR}}$ が Low	8		10		
		SRCLK ↑ より前に $\overline{\text{SRCLR}}$ が High (非アクティブ)	3		4		
t_h	ホールド時間	SRCLK ↑ の後の SER	1.5		2.5		ns

(1) このセットアップ時間により、ストレージ・レジスタはシフト・レジスタから安定したデータを受信できます。クロックを同期することができ、その場合シフト・レジスタのクロックをストレージ・レジスタより 1 クロック・パルス早くします。

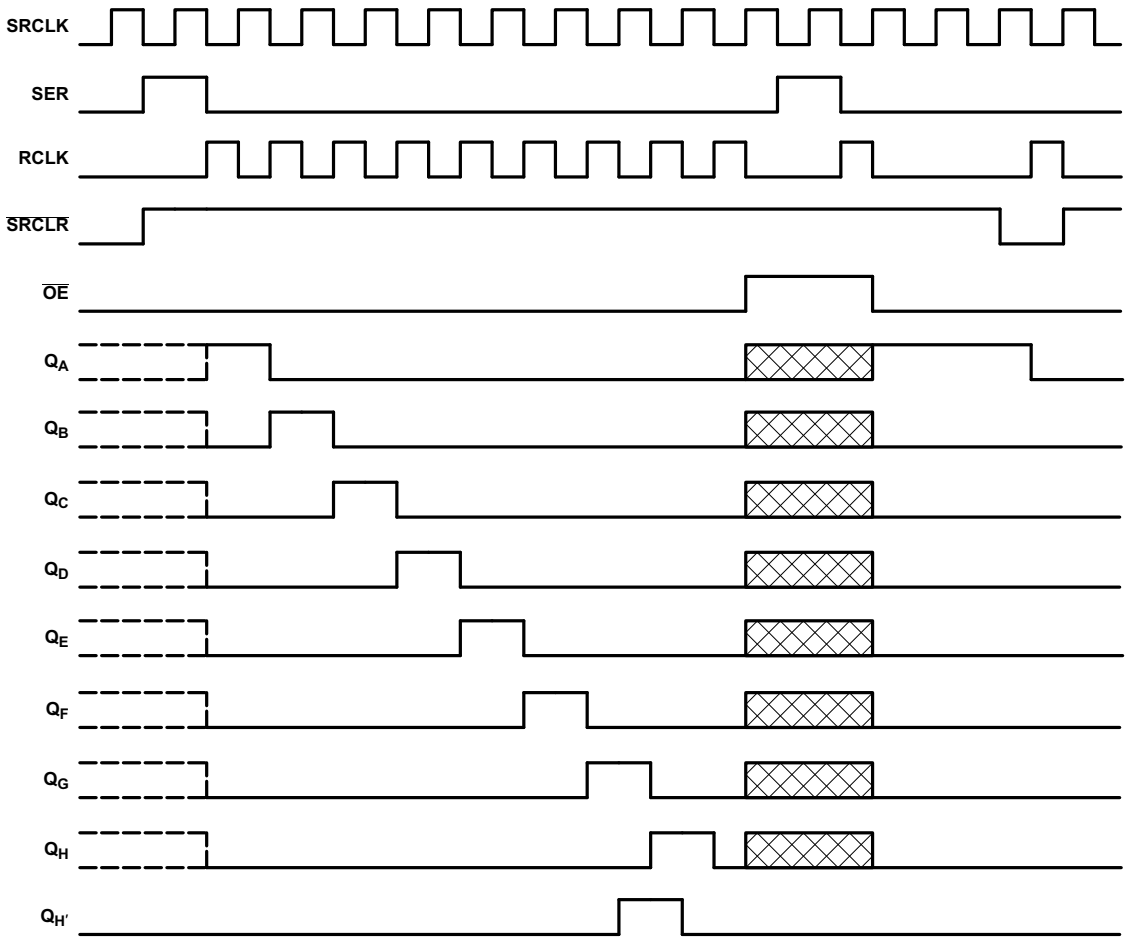
Copyright © 2023 Texas Instruments Incorporated

6.8 タイミング要件、V_{CC} = 5V ± 0.5V

自由気流での動作温度範囲内 (特に記述のない限り)

			T_A = 25℃		T_A = -55℃ ～125℃		単位
			最小値	最大値	最小値	最大値	
t_w	パルス幅	SRCLK High または Low	5		6		ns
		RCLK High または Low	5		6		
		$\overline{SRCLR}$ Low	5.2		6.2		
t_{su}	セットアップ時間	SRCLK ↑ の前の SER	3		4		ns
		RCLK ↑ より前に SRCLK ↑ (1)	5		6		
		RCLK ↑ より前に $\overline{SRCLR}$ が Low	5		6		
		SRCLK ↑ より前に $\overline{SRCLR}$ が High (非アクティブ)	2.5		3.5		
t_h	ホールド時間	SRCLK ↑ の後の SER	2		3		ns

(1) このセットアップ時間により、ストレージ・レジスタはシフト・レジスタから安定したデータを受信できます。クロックを同期することができ、その場合シフト・レジスタのクロックをストレージ・レジスタより 1 クロック・パルス早くします。



NOTE: ⊠ implies that the output is in 3-State mode.

Copyright © 2016, Texas Instruments Incorporated

図 6-1. タイミング図

6.9 スイッチング特性、V_{CC} = 2.5V ± 0.2V

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	T_A = 25℃			T_A = -55℃ ～125℃		単位
			最小値	代表値	最大値	最小値	最大値	
f_{max}			60	70		30		MHz
t_{PLH}	RCLK	Q_A–Q_H		11.2	17.2	1	22.3	ns
t_{PHL}				11.2	17.2	1	22.3	ns
t_{PLH}	SRCLK	$Q_{H'}$		13.1	22.5	1	28.5	ns
t_{PHL}				13.1	22.5	1	28.5	ns
t_{PHL}	$\overline{SRCLR}$	$Q_{H'}$		12.4	18.8	1	24.1	ns
t_{PZH}	$\overline{OE}$	Q_A–Q_H		10.8	17	1	21.3	ns
t_{PZL}				13.4	21	1	26	ns
t_{PHZ}	$\overline{OE}$	Q_A–Q_H		12.2	18.3	1	22.5	ns
t_{PLZ}				14	20.9	1	25.6	ns

6.10 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	T_A = 25℃			T_A = -55℃ ～125℃		単位
			最小値	代表値	最大値	最小値	最大値	
f_{max}			55	105		40		MHz
t_{PLH}	RCLK	Q_A–Q_H		7.9	15.4	1	20	ns
t_{PHL}				7.9	15.4	1	20	ns
t_{PLH}	SRCLK	$Q_{H'}$		9.2	16.5	1	21.5	ns
t_{PHL}				9.2	16.5	1	21.5	ns
t_{PHL}	$\overline{SRCLR}$	$Q_{H'}$		9	16.3	1	20.2	ns
t_{PZH}	$\overline{OE}$	Q_A–Q_H		7.8	15	1	20	ns
t_{PZL}				9.6	15	1	20	ns
t_{PHZ}	$\overline{OE}$	Q_A–Q_H		8.1	15.7	1	19.2	ns
t_{PLZ}				9.3	15.7	1	19.2	ns

Copyright © 2023 Texas Instruments Incorporated

6.11 スイッチング特性、V_{CC} = 5V ± 0.5V

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	T_A = 25℃			T_A = -55℃ ～125℃		単位
			最小値	代表値	最大値	最小値	最大値	
f_{max}			95	140		75		MHz
t_{PLH}	RCLK	Q_A–Q_H		5.6	9.4	1	13.5	ns
t_{PHL}				5.6	9.4	1	13.5	ns
t_{PLH}	SRCLK	$Q_{H'}$		6.4	10.2	1	14.4	ns
t_{PHL}				6.4	10.2	1	14.4	ns
t_{PHL}	$\overline{SRCLR}$	$Q_{H'}$		6.4	10	1	14.1	ns
t_{PZH}	$\overline{OE}$	Q_A–Q_H		5.7	10.6	1	15	ns
t_{PZL}				6.8	10.6	1	15	ns
t_{PHZ}	$\overline{OE}$	Q_A–Q_H		3.5	10.3	1	14	ns
t_{PLZ}				3.4	10.3	1	14	ns

6.12 ノイズ特性

V_{CC} = 3.3V、C_L = 50pF、T_A = 25℃ ([1])

パラメータ		最小値	代表値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、動的電圧 V_{OL} (最大値)		0.3		V
$V_{OL(V)}$	低ノイズ出力、動的電圧 V_{OL} (最小値)		–0.2		V
$V_{OH(V)}$	低ノイズ出力、動的電圧 V_{OH} (最小値)		2.8		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

(1) 特性は表面実装パッケージのみが対象です。

6.13 動作特性

T_A = 25℃

パラメータ	テスト条件	V_{CC}	代表値	単位
C_{pd} 電力散逸容量	C_L = 50pF f = 10MHz	3.3V	111	pF
		5V	114	

6.14 標準的特性

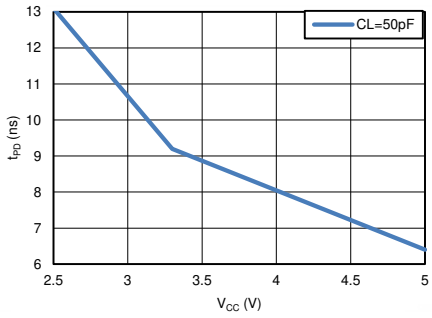
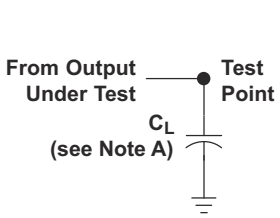
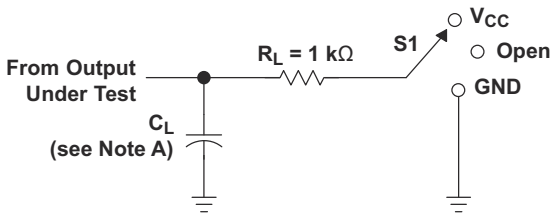


図 6-2. TPD と V_{CC} との関係

7 パラメータ測定情報

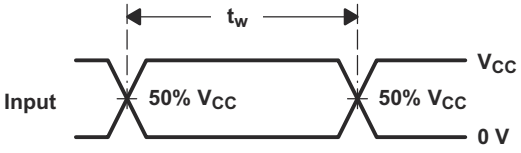


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

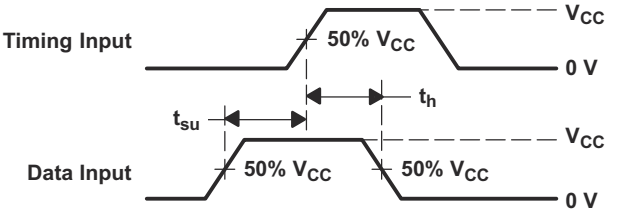


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

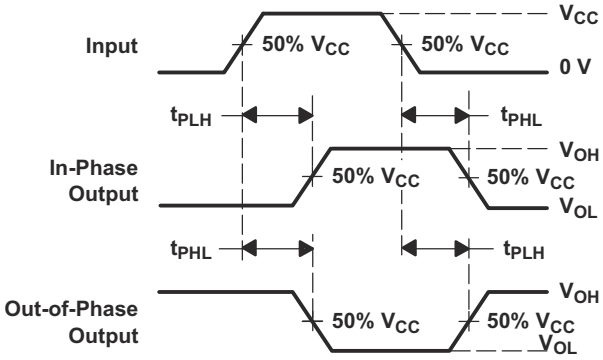
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



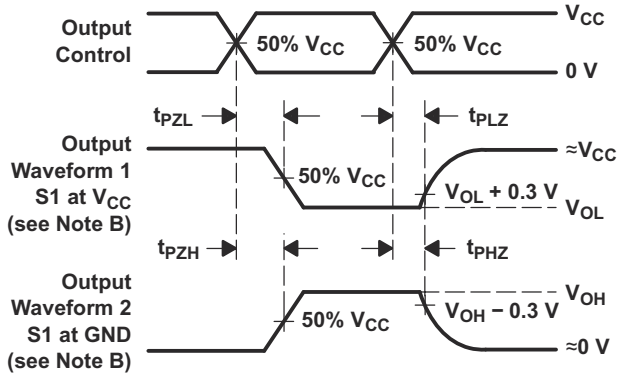
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます：PRR ≤ 1MHz、Z_O = 50Ω、t_r ≤ 3ns、t_f ≤ 3ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

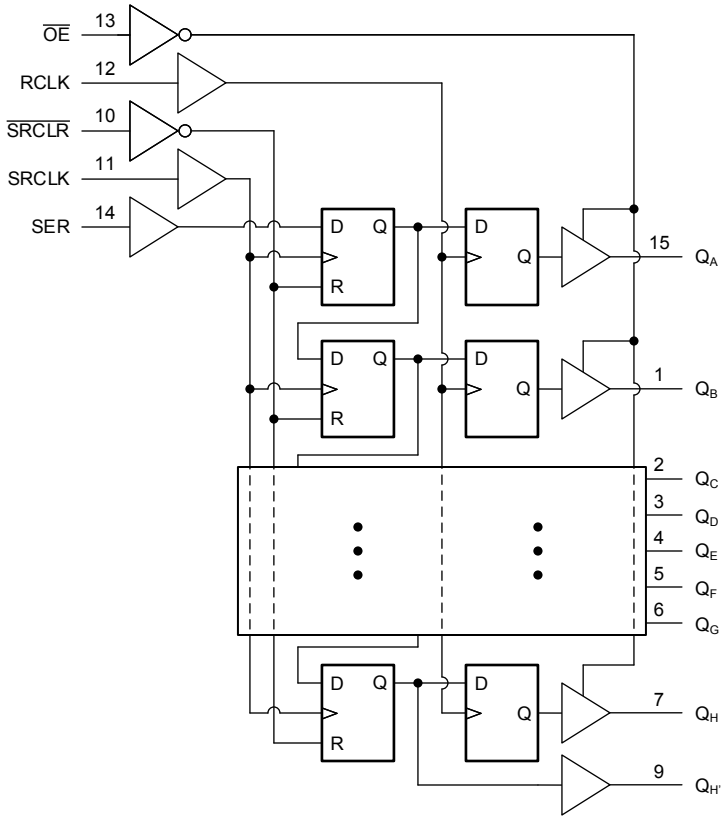
SN74LV595B-EP には、8 ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、8 ビットの D タイプ・ストレージ・レジスタへデータを供給します。ストレージ・レジスタはパラレル 3 ステート出力を備えています。シフト・レジスタとストレージ・レジスタの両方に、それぞれ独立したクロックが供給されます。シフト・レジスタは、ダイレクト・オーバーライディング・クリア ($\overline{SRCLR}$) 入力、シリアル (SER) 入力、カスケード接続用シリアル出力を備えています。出力イネーブル ($\overline{OE}$) 入力が High のとき、$Q_{H'}$ を除くすべての出力が高インピーダンス状態になります。

シフト・レジスタ・クロック (SRCLK) とストレージ・レジスタ・クロック (RCLK) はどちらもポジティブ・エッジ・トリガです。両方のクロックが一緒に接続されている場合、シフト・レジスタはストレージ・レジスタより 1 クロック・パルス前になります。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線します。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

このデバイスは、I_{off} を使用する部分的パワーダウン・アプリケーション用に完全に動作が規定されています。I_{off} 回路が出力をディセーブルにするので、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 平衡な CMOS 3 ステート出力

このデバイスには、平衡な CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスの 3 つの状態は、これらの出力に対応できます。平衡化という用語は、このデバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス・モードに移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

8.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

8.3.3 部分的パワーダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が内蔵されています。ディセーブルの時には、印加された入力電圧に関係なく、出力は電流をソースまたはシンクしません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

8.3.4 クランプ・ダイオード構造

図 8-1 は、このデバイスの入力と出力には負のクランプ・ダイオードのみがあることを示しています。

注意
「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。 入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

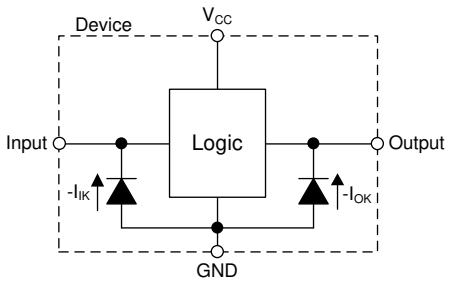


図 8-1. 各入力と出力に対するクランプ・ダイオードの電気的配置

Copyright © 2023 Texas Instruments Incorporated

8.4 デバイスの機能モード

表 8-1 に SN74LV595B-EP の機能モードを示します。

表 8-1. 機能表

入力 (1)					機能
SER	SRCLK	$\overline{\text{SRCLR}}$	RCLK	$\overline{\text{OE}}$	
X	X	X	X	H	出力 Q_A– Q_H はディセーブルです。 $Q_{H'}$ はイネーブルのままです。
X	X	X	X	L	出力 Q_A– Q_H がイネーブルになります。
X	X	L	X	X	シフト・レジスタがクリアされます。
L	↑	H	X	X	シフト・レジスタの最初のステージが Low になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
H	↑	H	X	X	シフト・レジスタの最初のステージが High になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
X	X	X	↑	X	シフト・レジスタのデータは、ストレージ・レジスタに保存されます。

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア、↑ = Low から High への遷移、Z = 高インピーダンス

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN74LV595B-EP は単一シリアル入力から 7 セグメント・ディスプレイを駆動するために使用できます。この実装では、シリアル出力を利用し、いくつかの入力信号を組み合わせることで、ディスプレイの制御に必要な I/O ピンの数を 16 個から 4 個に削減できます。他の I/O エクスパンダとは異なり、SN74LV595B-EP は制御用の通信インターフェイスを必要としません。シンプルな GPIO ピンで簡単に動作できます。

ディスプレイをオフにする必要がある場合や、輝度を制御するために PWM 信号に接続する必要がある場合、$\overline{OE}$ ピンを使用して出力を簡単にディセーブルにすることができます。ただし、このピンを Low に接続し、SN74LV595B-EP の出力をそれに応じて制御してすべての出力をオフにすることができ、必要な I/O を 3 つに減らすことができます。カスケード接続できる SN74LV595B-EP デバイスの数には実質的に制限はありません。さらに追加するには、シリアル出力を以下のシリアル入力に接続し、それに応じてクロックを接続する必要がありますシフト・レジスタと出力レジスタを別々に制御することで、次の桁のデータがシフト・レジスタにロードされている間に目的の桁を表示できます。

Copyright © 2023 Texas Instruments Incorporated

9.2 代表的なアプリケーション

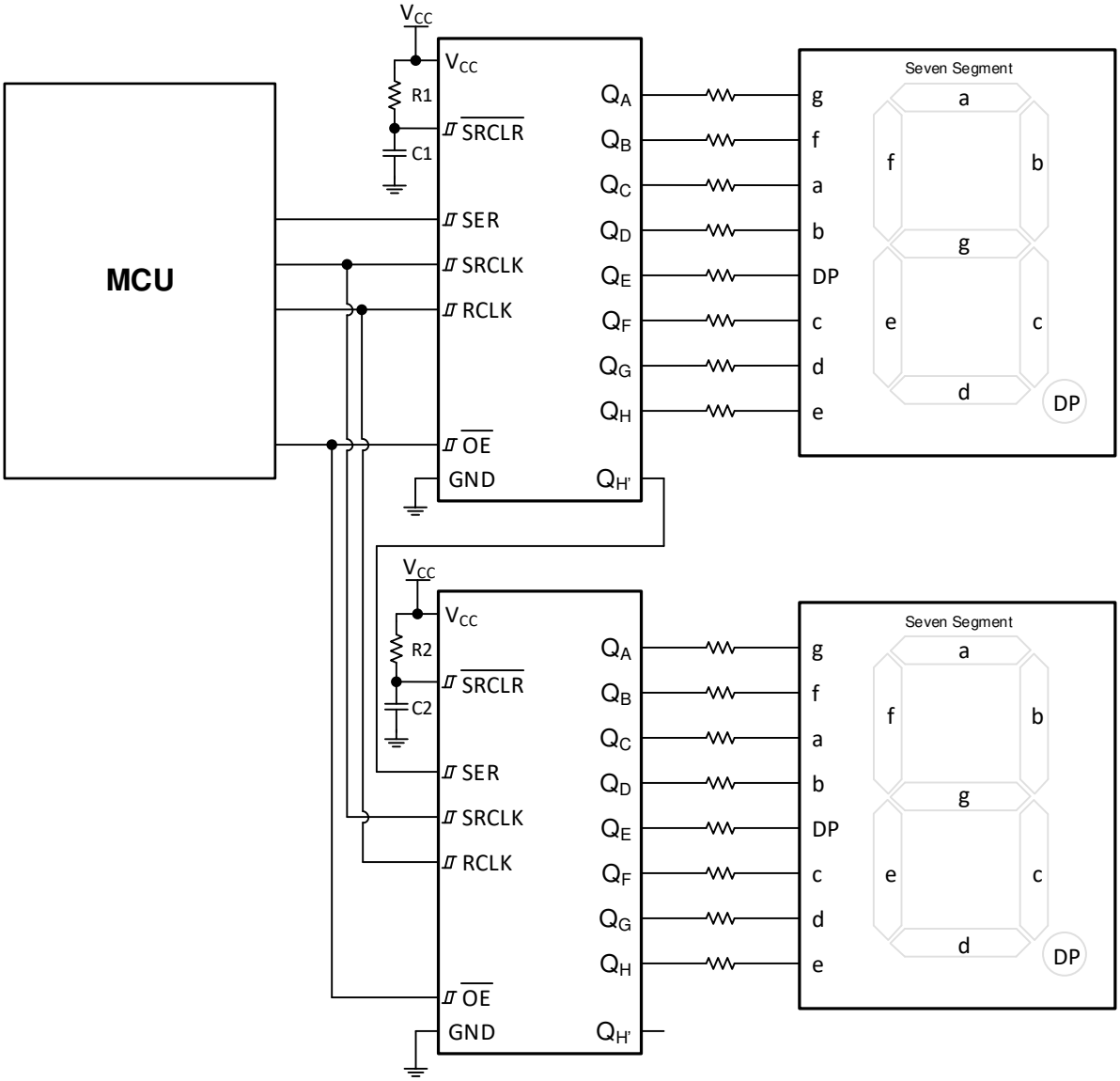


図 9-1. シフト・レジスタによる入力拡張

9.2.1 電源に関する検討事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LV595B-EP のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。 論理デバイスは、正の供給電源から供給される電流量分のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74LV595B-EP のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グランド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV595B-EP は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV595B-EP は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

> **注意**
> 「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

9.2.2 入力に関する検討事項

入力信号は、$V_{IL(max)}$ がロジック Low と見なされるように、$V_{IH(min)}$ がロジック High と見なされるように交差する必要があります。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV595B-EP へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。 10kΩ の抵抗値は、こうした要因によりしばしば使用されます。

SN74LV595B-EP は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

9.2.3 出力に関する検討事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.4 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳格な制限ではありませんが、パフォーマンスを最適化します。これは、SN74LV595B-EP から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 「絶対最大定格」の最大出力電流に違反しないように、出力の抵抗性負荷が $(V_{CC} / I_{O(max)})$ Ω より大きいことを確認してください。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

9.2.5 アプリケーション曲線

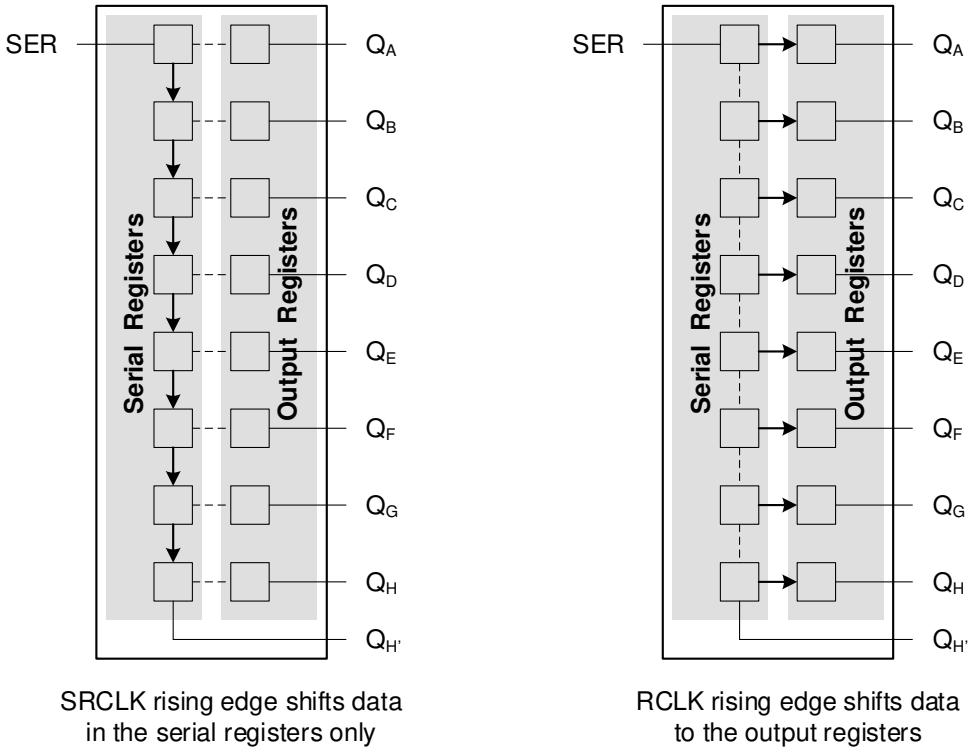


図 9-2. アプリケーション曲線

9.3 電源に関する推奨事項

電源には、「絶対最大定格」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。 電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。単電源のデバイスには 0.1µF のコンデンサを推奨します。V_{CC} 端子が複数ある場合は、各電源端子に 0.01µF または 0.022µF のコンデンサを推奨します。複数のバイパス・コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。一般的に、0.1µF と 1µF の周波数を並列で使用します。最善の結果を得るには、バイパス・コンデンサを電源端子のできるだけ近くに取り付ける必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

多ビット・ロジック・デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ・ゲートのうち 3 入力のみを使用する場合です。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

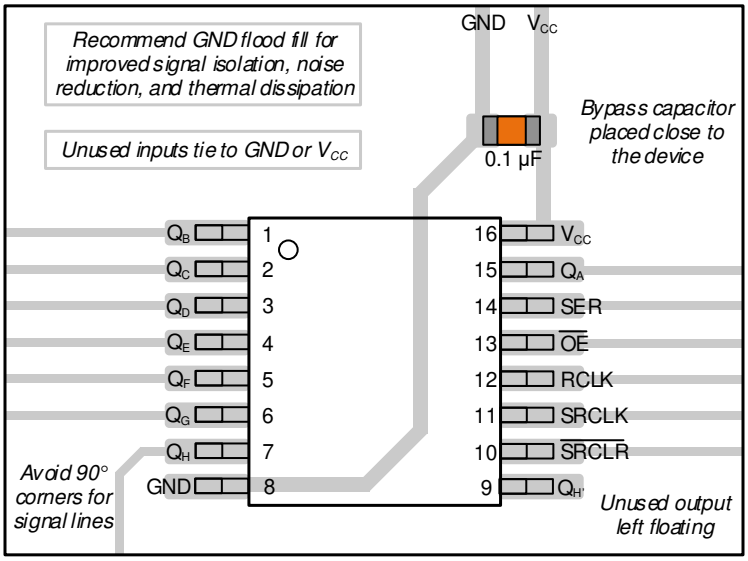


図 9-3. PW パッケージに封止した SN74LV595B-EP のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- テキサス・インスツルメンツ、『ロジック入門』
- テキサス・インスツルメンツ、『クロック供給デバイスの電源オン時の動作』
- テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』

10.2 ドキュメントの更新通知を受け取る

ドキュメント更新の通知を、シリコンの正誤表も含めて受け取るには、ti.com でお使いの製品のフォルダへ移動します。右上の隅にある「通知を受け取る」ボタンをクリックします。これによって登録が行われ、変更された製品情報がある場合、その概要を毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV595BMPWREP	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV595EP
SN74LV595BMPWREP.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV595EP
V62/23622-01XE	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV595EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

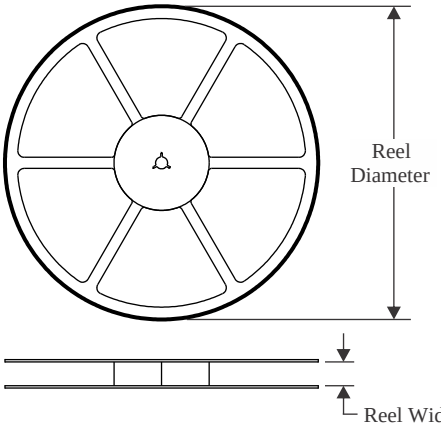
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

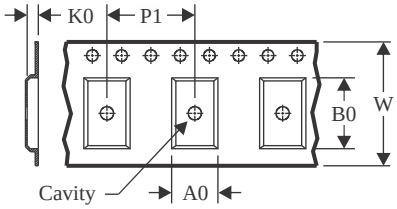
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

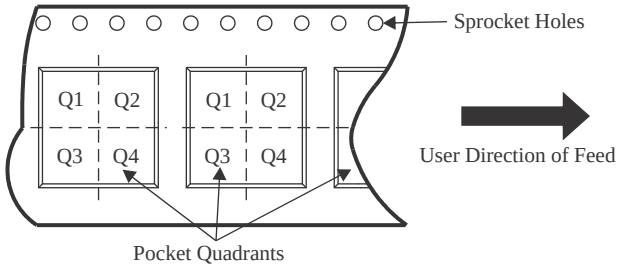


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

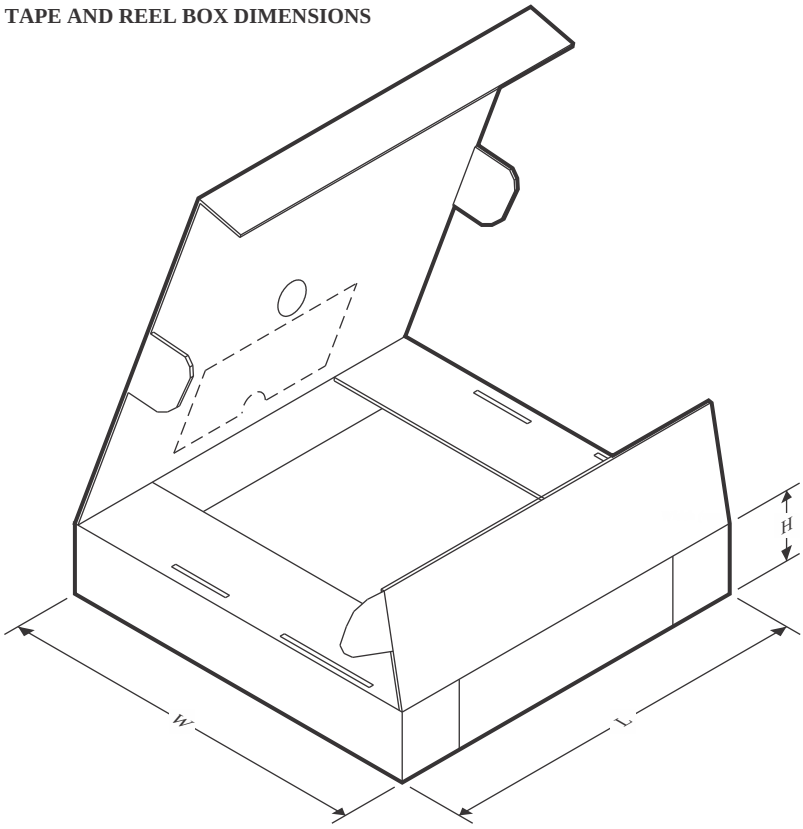
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV595BMPWREP	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

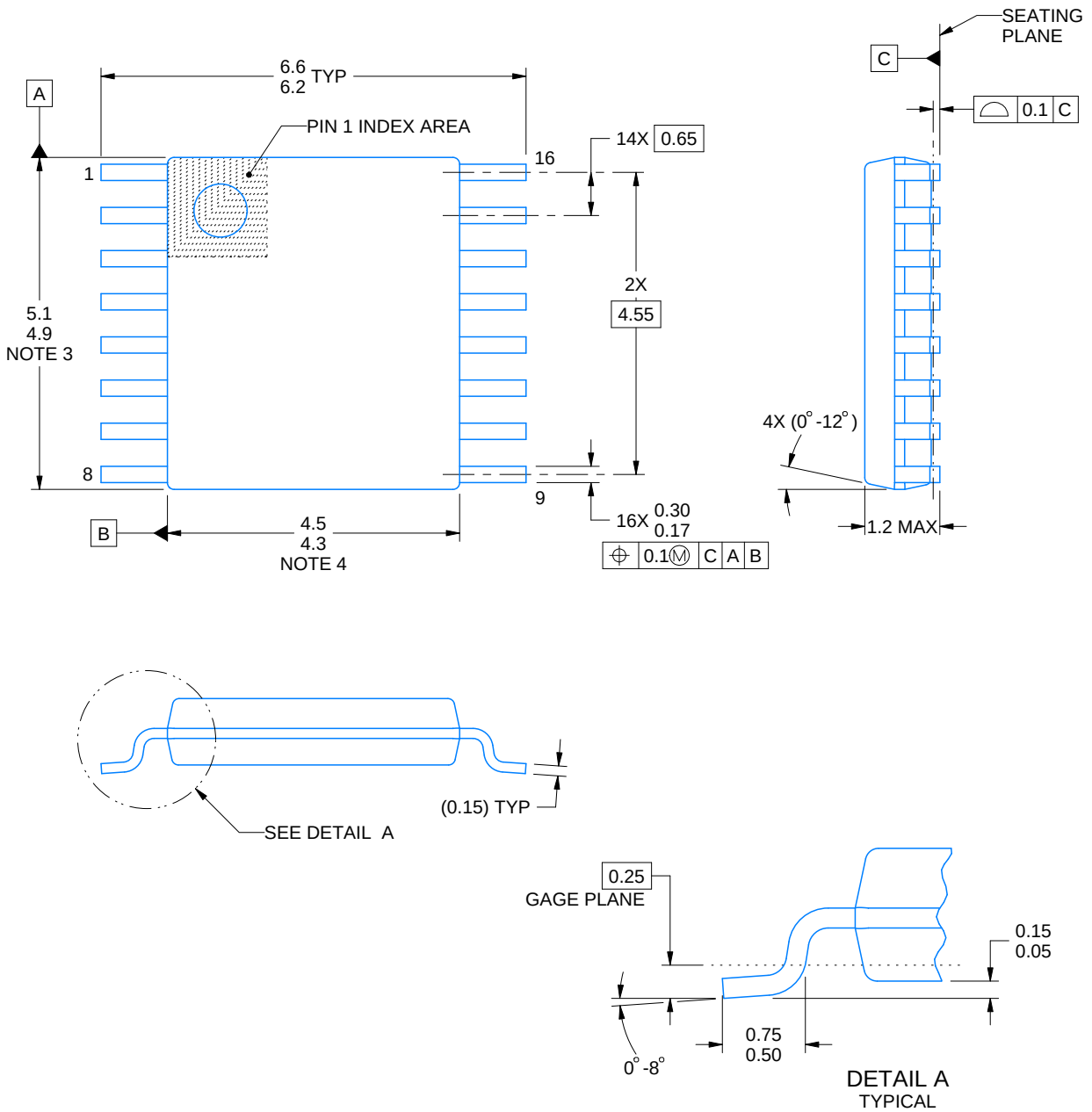
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV595BMPWREP	TSSOP	PW	16	3000	353.0	353.0	32.0

PACKAGE OUTLINE

PW0016A

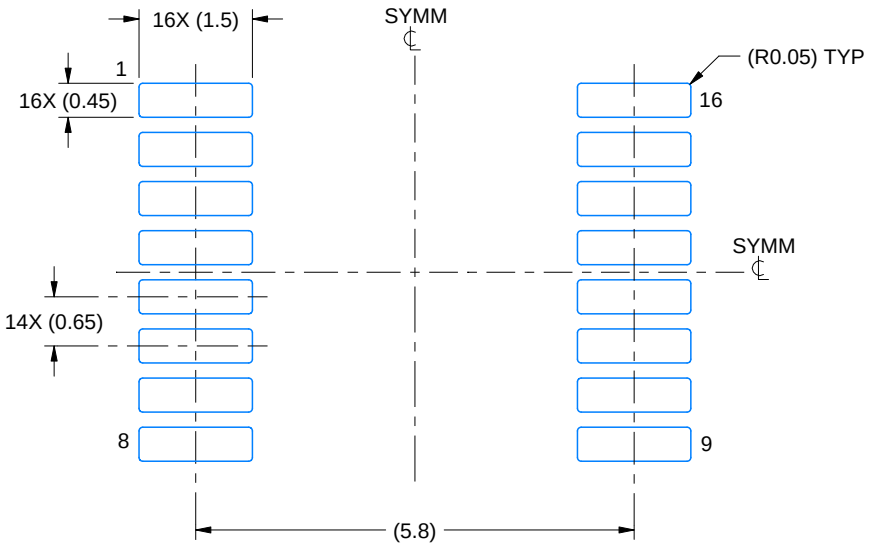
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

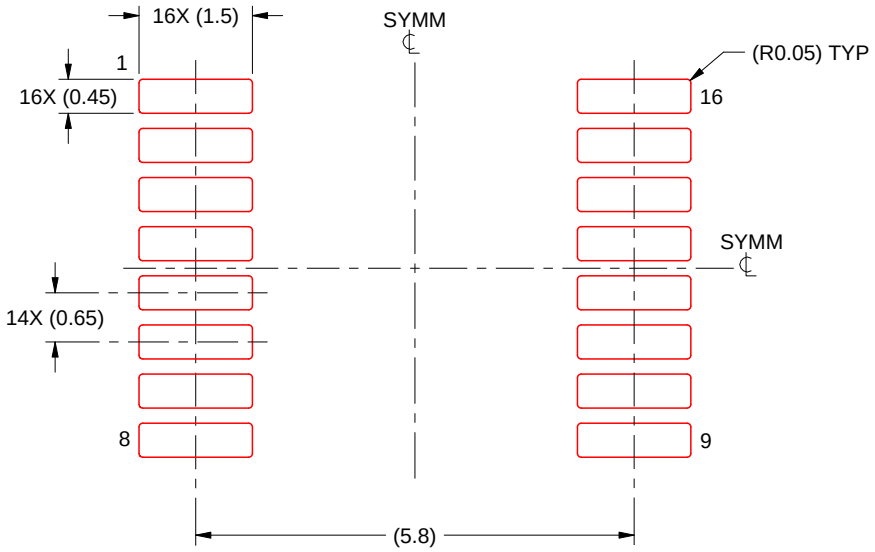


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月