SN74LV8T165-EP エンハンスド製品、パラレル ロード (並列読み込み) 8 ビット シフト レジスタ

1 特長

- 幅広い動作範囲:1.65 V～5.5 V
- 5.5V 耐圧入力ピン
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
  - 昇圧変換:
    - 1.2V～1.8V
    - 1.5V～2.5V
    - 1.8V～3.3V
    - 3.3V～5.0V
  - 降圧変換:
    - 5.0V、3.3V、2.5V から 1.8V
    - 5.0V、3.3V から 2.5V
    - 5.0V～3.3V
- 5V または 3.3V の V_{CC} で最大 150Mbps
- 標準機能ピン配置をサポート
- JESD 17 準拠で
  250mA 超のラッチアップ性能
- 防衛および航空宇宙アプリケーションをサポート:
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム コントローラの間のレベル変換

3 概要

SN74LV8T165-EP デバイスは、並列またはシリアル入力、シリアル出力の 8 ビット シフト レジスタです。このデバイスには、ロード データとシフト データという 2 つの動作モードがあり、SH/$\overline{LD}$ 入力で制御されます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

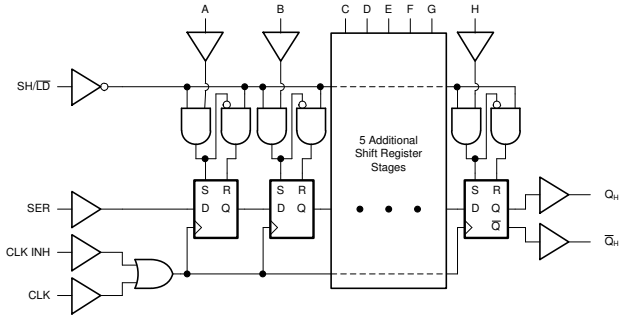
入力は、低電圧 CMOS 入力の昇圧変換 (例:1.2V 入力から 1.8V 出力、または 1.8V 入力から 3.3V 出力) をサポートするため、低スレッショルド回路を使って設計されています。また、5V 許容の入力ピンにより、降圧変換 (例:3.3V から 2.5V 出力) が可能です。

です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74LV8T165-EP	PW (TSSOP、16)	5mm × 6.4mm	5mm × 4.4mm

(1) 詳細については、末定、「*メカニカル、パッケージ、および注文情報*」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....5
5.7 タイミング特性.....6
6 パラメータ測定情報.....8
7 詳細説明.....9
7.1 概要.....9
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....13
8 アプリケーションと実装.....14
8.1 アプリケーション情報.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....17
8.4 レイアウト.....17
9 デバイスおよびドキュメントのサポート.....19
9.1 ドキュメントのサポート.....19
9.2 ドキュメントの更新通知を受け取る方法.....19
9.3 サポート・リソース.....19
9.4 商標.....19
9.5 静電気放電に関する注意事項.....19
9.6 用語集.....19
10 改訂履歴.....19
11 メカニカル、パッケージ、および注文情報.....19

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

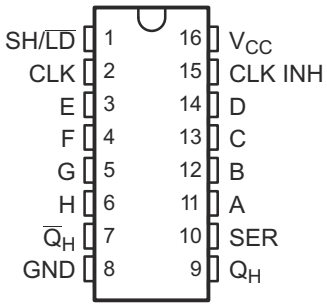


図 4-1. PW パッケージ、16 ピン TSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ (1)	説明
名称	番号		
A	11	I	シリアル入力 A
B	12	I	シリアル入力 B
C	13	I	シリアル入力 C
CLK	2	I	ストレージ・クロック
CLK INH	15	I	ストレージ・クロック
D	14	I	シリアル入力 D
E	3	I	シリアル入力 E
F	4	I	シリアル入力 F
G	5	I	シリアル入力 G
GND	8	G	グランド ピン
H	6	I	シリアル入力 H
$\overline{Q}_H$	7	O	出力 H、反転
Q_H	9	O	出力 H
SH/$\overline{LD}$	1	I	負荷入力
SER	10	I	シリアル入力
V_{CC}	16	P	パワー ピン
PAD		—	サーマル パッド(2)

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。
(2) RGY および BQB パッケージのみ

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < -0.5V		-20	mA
I_{OK}	出力クランプ電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続出力電流			±50	mA
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.8	5.5	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～2V	1.1		V
		V_{CC} = 2.25V～2.75V	1.28		
		V_{CC} = 3V～3.6V	1.45		
		V_{CC} = 4.5V～5.5V	2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～2V		0.5	V
		V_{CC} = 2.25V～2.75V		0.65	
		V_{CC} = 3V～3.6V		0.75	
		V_{CC} = 4.5V～5.5V		0.85	
I_O	出力電流	V_{CC} = 1.6V～2V		±3	mA
		V_{CC} = 2.25V～2.75V		±7	
		V_{CC} = 3.3V～5.0V		±15	
I_O	出力電流	V_{CC} = 4.5V～5.5V		±25	mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.6V～5.0V		20	ns/V

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
T_A	自由空気での動作温度		-55	125	℃

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	16	117.4	52.5	75.2	4.7	74.5	-	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値定格 (特に記述のない限り)。

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	I_{OH} = -50μA	1.2V～5.5V	V_{CC}-0.2			V
	I_{OH} = -1mA	1.2V	0.8			
	I_{OH} = -2mA	1.65V～2V	1.21	1.7(1)		
	I_{OH} = -3mA	2.25V～2.75V	1.93	2.4(1)		
	I_{OH} = -5.5mA	3V～3.6V	2.49	3.08(1)		
	I_{OH} = -8mA	4.5V～5.5V	3.95	4.65(1)		
	I_{OH}= -24mA	4.5V～5.5V	3.15			
V_{OL}	I_{OL} = 50μA	1.2V～5.5V			0.1	V
	I_{OL} = 1mA	1.2V			0.2	
	I_{OL} = 2mA	1.65V～2V		0.1(1)	0.25	
	I_{OL} = 3mA	2.25V～2.75V		0.1(1)	0.2	
	I_{OL} = 5.5mA	3V～3.6V		0.2(1)	0.25	
	I_{OL}= 8mA	4.5V～5.5V		0.3(1)	0.35	
	I_{OL}= 24mA	4.5V～5.5V			0.75	
I_I	V_I = 0V または V_{CC}	0V～5.5V		±0.1	±1	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	1.8V～5.5V		2	20	μA
ΔI_{CC}	1 つの入力は 0.3V または 3.4V、その他の入力は 0 または V_{CC}、I_O = 0	5.5V		1.35	1.5	mA
	1 つの入力は 0.3V または 1.1V、その他の入力は 0 または V_{CC}、I_O = 0	1.8V			68	μA
C_I	V_I = V_{CC} または GND	5V		3	5	pF
C_O	V_O = V_{CC} または GND	5V		5	8	pF
C_{PD} (2) (3)	C_L = 50pF、F = 10MHz	1.8V～5.5V			200	pF

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値
(2) C_{PD} を使用して、チャネルごとの動的な消費電力を決定します。
(3) $P_D = V_{CC}{}^2 \times F_I \times (C_{PD} + C_L)$、ここで F_I=入力周波数、C_L=出力負荷容量、V_{CC}=電源電圧

5.6 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	-55℃ ～ 125℃			単位
					最小値	標準値	最大値	
T_{PD}	CLK	Q	C_L = 15pF	1.8V±0.15V		30.9	36.0	ns

Copyright © 2025 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	-55℃ ～ 125℃		単位
					最小値	標準値	最大値	
T_{PD}	H	Q_H または Q	C_L = 15pF	1.8V±0.15V		33.9	40.0	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 15pF	1.8V±0.15V		42.7	50.0	ns
T_{PD}	CLK	Q	C_L = 30pF	1.8V±0.15V			27.6	ns
T_{PD}	H	Q_H または Q	C_L = 30pF	1.8V±0.15V			36.3	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 30pF	1.8V±0.15V			40.2	ns
T_{PD}	CLK	Q	C_L = 50pF	1.8V±0.15V		35.6	41.0	ns
T_{PD}	H	Q_H または Q	C_L = 50pF	1.8V±0.15V		38.7	45.0	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 50pF	1.8V±0.15V		47.2	55.0	ns
T_{PD}	CLK	Q	C_L = 15pF	2.5V±0.2V		16.5	21.0	ns
T_{PD}	H	Q_H または Q	C_L = 15pF	2.5V±0.2V		18.3	23.0	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 15pF	2.5V±0.2V		22.9	28.5	ns
T_{PD}	CLK	Q	C_L = 30pF	2.5V±0.2V			16	ns
T_{PD}	H	Q_H または Q	C_L = 30pF	2.5V±0.2V			21	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 30pF	2.5V±0.2V			23.8	ns
T_{PD}	CLK	Q	C_L = 50pF	2.5V±0.2V		19.6	24.0	ns
T_{PD}	H	Q_H または Q	C_L = 50pF	2.5V±0.2V		21.5	26.5	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 50pF	2.5V±0.2V		26	32.0	ns
T_{PD}	CLK	Q	C_L = 15pF	3.3V±0.3V		11.4	14.5	ns
T_{PD}	H	Q_H または Q	C_L = 15pF	3.3V±0.3V		12.7	16.5	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 15pF	3.3V±0.3V		16.1	20.5	ns
T_{PD}	CLK	Q	C_L = 30pF	3.3V±0.3V			11.2	ns
T_{PD}	H	Q_H または Q	C_L = 30pF	3.3V±0.3V			14.5	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 30pF	3.3V±0.3V			16.6	ns
T_{PD}	CLK	Q	C_L = 50pF	3.3V±0.3V		13.8	17.5	ns
T_{PD}	H	Q_H または Q	C_L = 50pF	3.3V±0.3V		15.3	18.8	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 50pF	3.3V±0.3V		18.4	23.0	ns
T_{PD}	CLK	Q	C_L = 15pF	5V±0.5V		8.04	11.2	ns
T_{PD}	H	Q_H または Q	C_L = 15pF	5V±0.5V		8.82	14.5	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 15pF	5V±0.5V		10.7	16.6	ns
T_{PD}	CLK	Q	C_L = 30pF	5V±0.5V			11.2	ns
T_{PD}	H	Q_H または Q	C_L = 30pF	5V±0.5V			14.5	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 30pF	5V±0.5V			16.6	ns
T_{PD}	CLK	Q	C_L = 50pF	5V±0.5V		9.71	14.5	ns
T_{PD}	H	Q_H または Q	C_L = 50pF	5V±0.5V		10.6	17.8	ns
T_{PD}	SH/LD	Q_H または Q	C_L = 50pF	5V±0.5V		12.6	19.9	ns

5.7 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	T_A = 25℃		-55℃ ～ 125℃		単位
				最小値	最大値	最小値	最大値	
t_W	パルス幅	SH/$\overline{LD}$ Low	1.8V±0.15V	6.1		6.9		ns
t_W	パルス幅	CLK が High または Low	1.8V±0.15V	12.3		7		ns

Copyright © 2025 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り)

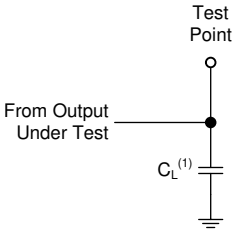
パラメータ	説明	条件	V_{CC}	T_A = 25℃		-55℃ ～ 125℃		単位
				最小値	最大値	最小値	最大値	
t_{SU}	セットアップ時間	CLK ↑ の前の SH/$\overline{LD}$ が High	1.8V±0.15V	9.03		8		ns
t_{SU}	セットアップ時間	CLK ↑ の前の SER	1.8V±0.15V	8.83		10.1		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が Low	1.8V±0.15V	1		1		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が High	1.8V±0.15V	1		1		ns
t_{SU}	セットアップ時間	SH/$\overline{LD}$ ↓ より前のデータ	1.8V±0.15V	15.7		10		ns
t_H	ホールド時間	CLK ↑ より後の SER データ	1.8V±0.15V	2.2		0		ns
t_H	ホールド時間	SH/$\overline{LD}$ ↓ より後の PAR データ	1.8V±0.15V	2.06		0		ns
t_W	パルス幅	SH/$\overline{LD}$ Low	2.5V±0.2V	4.3		5.4		ns
t_W	パルス幅	CLK が High または Low	2.5V±0.2V	8.63		4.5		ns
t_{SU}	セットアップ時間	CLK ↑ の前の SH/$\overline{LD}$ が High	2.5V±0.2V	6.93		4.5		ns
t_{SU}	セットアップ時間	CLK ↑ の前の SER	2.5V±0.2V	7.2		5.9		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が Low	2.5V±0.2V	1		1		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が High	2.5V±0.2V	1		1		ns
t_{SU}	セットアップ時間	SH/$\overline{LD}$ ↓ より前のデータ	2.5V±0.2V	11.1		6.9		ns
t_H	ホールド時間	CLK ↑ より後の SER データ	2.5V±0.2V	1.32		0		ns
t_H	ホールド時間	SH/$\overline{LD}$ ↓ より後の PAR データ	2.5V±0.2V	1		0		ns
t_W	パルス幅	SH/$\overline{LD}$ Low	3.3V±0.3V	4.3		4.3		ns
t_W	パルス幅	CLK が High または Low	3.3V±0.3V	8.13		4.3		ns
t_{SU}	セットアップ時間	CLK ↑ の前の SH/$\overline{LD}$ が High	3.3V±0.3V	6.24		2.9		ns
t_{SU}	セットアップ時間	CLK ↑ の前の SER	3.3V±0.3V	6.67		4		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が Low	3.3V±0.3V	1		1		ns
t_{SU}	セットアップ時間	CLK ↑ の前の CLK INH が High	3.3V±0.3V	1		1		ns
t_{SU}	セットアップ時間	SH/$\overline{LD}$ ↓ より前のデータ	3.3V±0.3V	9.86		5.3		ns
t_H	ホールド時間	CLK ↑ より後の SER データ	3.3V±0.3V	1		0		ns
t_H	ホールド時間	SH/$\overline{LD}$ ↓ より後の PAR データ	3.3V±0.3V	1		0		ns

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

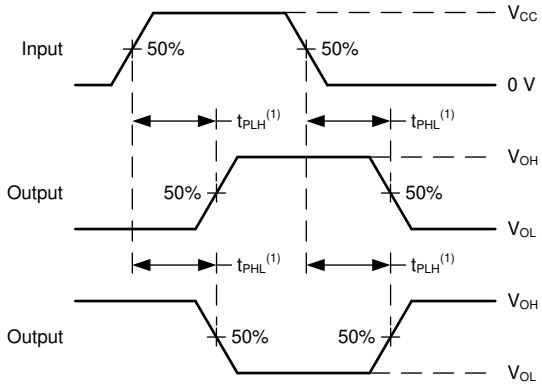
以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



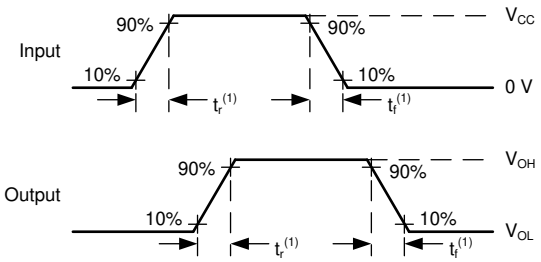
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LV8T165-EP デバイスは、並列またはシリアル入力、シリアル出力の 8 ビット シフト レジスタです。このデバイスには、ロード データとシフト データという 2 つの動作モードがあり、SH/$\overline{LD}$ 入力で制御されます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

デバイスにクロックが供給されると、データはシリアル出力 Q_H にシフトされます。各段のパラレル入力へのアクセスは、8 つの個別の直接データ入力によって提供されます。これらのデータ入力は、シフト / ロード (SH/$\overline{LD}$) 入力が LOW レベルのときイネーブルになります。SN74LV8T165-EP は、クロック禁止機能と、補完したシリアル出力 $\overline{Q}_H$ の特長を備えています。

クロック処理は、SH/$\overline{LD}$ が High に保持され、クロック禁止 (CLK INH) が Low に保持されている間に、クロック (CLK) 入力が Low から High に遷移することで行われます。CLK と CLK INH の機能は交換可能です。CLK が Low で、CLK INH が Low から High に遷移するとクロック処理が行われるため、CLK が High の間のみ、CLK INH を High レベルに変更する必要があります。SH/$\overline{LD}$ が High に保持されると、パラレル負荷は禁止されます。レジスタへのパラレル入力は、SH/$\overline{LD}$ が Low に保持されている間 CLK、CLK INH、または SER のレベルとは無関係にイネーブルされます。

7.2 機能ブロック図

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 LVxT 拡張入力電圧

SN74LV8T165-EP は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック デバイス ファミリの製品です。このデバイス ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以上、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 7-1 に、LVxT デバイス ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

「推奨動作条件」表の入力遷移レートで定義されているように、有効な論理状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*『低速またはフローティング CMOS 入力の影響』*アプリケーション レポートを参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

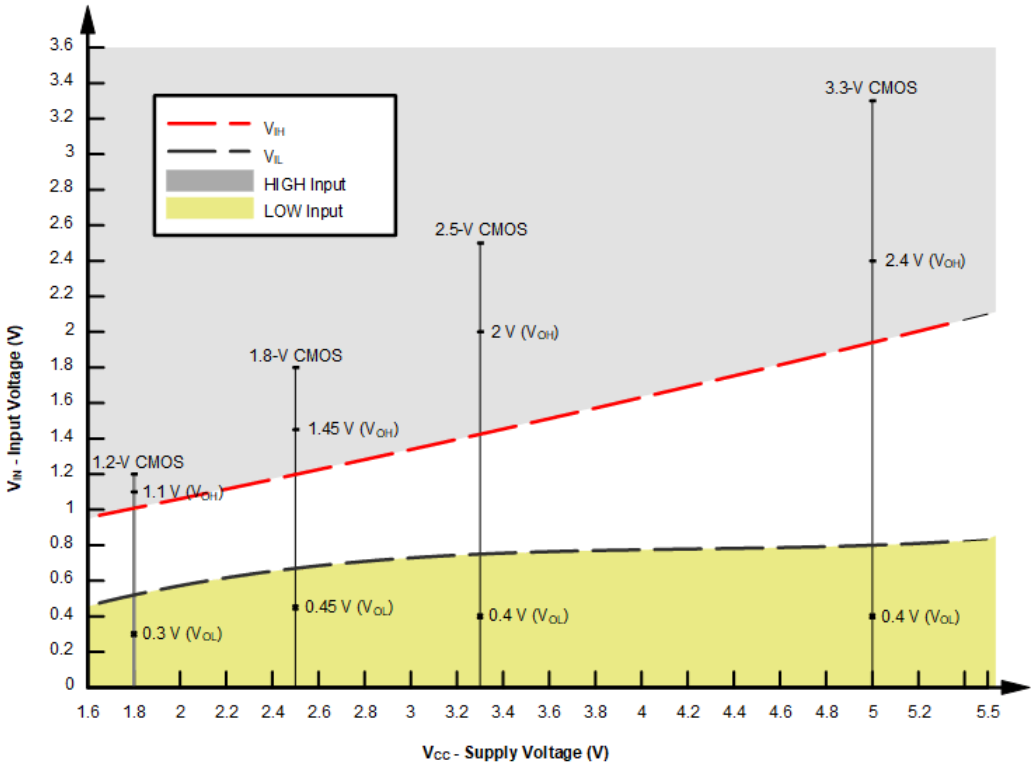


図 7-1. LVxT の入力電圧レベル

Copyright © 2025 Texas Instruments Incorporated

7.3.2.1 昇圧変換

SN74LV8T165-EP を使うことで、入力信号を昇圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。

標準値よりもはるかに低い入力 High 状態レベルに対応できるように、入力のスレッショルドは低減されています。たとえば、5V 電源で動作するデバイスの標準 CMOS 入力では、$V_{IH(MIN)}$ は 3.5V です。SN74LV8T165-EP の場合、5V 電源での $V_{IH(MIN)}$ はわずか 2V であるため、標準的な 2.5V から 5V の信号への昇圧変換が可能です。

図 7-2 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V、2.5V からの入力
- 5.0V V_{CC} – 2.5V、3.3V からの入力

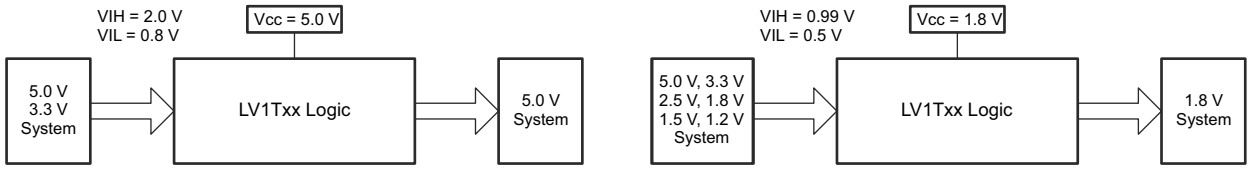


図 7-2. LVxT の昇圧および降圧変換の例

7.3.2.2 降圧変換

SN74LV8T165-EP を使うことで、信号を降圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。図 7-1 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば、5.0V、3.3V、2.5V で動作するデバイスの標準的 CMOS 入力は、1.8V V_{CC} で動作する 1.8V CMOS 信号に合うように降圧変換できます。図 7-2 を参照してください。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.3 クランプ ダイオード構造

図 7-3 に示すように、このデバイスへの出力には正と負の両方のクランプ ダイオードがあり、このデバイスへの入力には負のクランプ ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

Copyright © 2025 Texas Instruments Incorporated

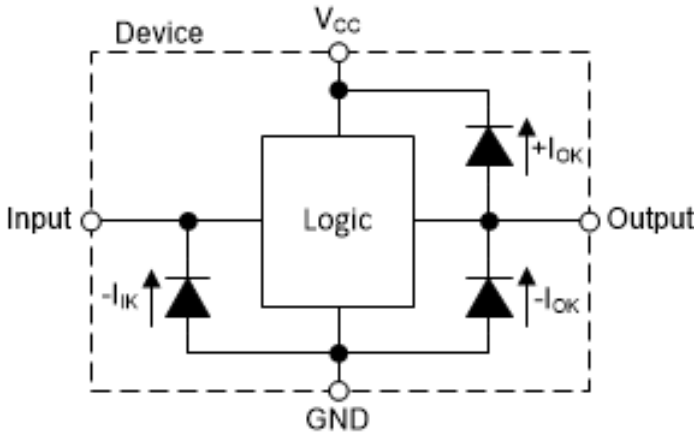


図 7-3. 各入力と出力に対するクランプ ダイオードの電気的配置

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

SN74LV8T165-EP の機能モードを、表 7-1 および 表 7-2 に示します。

表 7-1. 動作モード表

入力(1)			機能
SH/$\overline{LD}$	CLK	CLK INH	
L	X	X	パラレル ロード (2)
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト (3)
H	↑	L	シフト (3)

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、↑ = Low から High への遷移
(2) パラレル ロード: 入力 A～H の値は各内部レジスタに読み込まれます。
(3) シフト各内部レジスタの内容は、シリアル出力 Q_H にシフトします。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ (1) (2)		出力(3)	
A — G	H	Q	$\overline{Q}$
X	L	L	H
X	H	H	L

(1) 内部レジスタとは、デバイス内部のシフト レジスタを指します。これらの値は、パラレル入力からデータをロードするか、シリアル入力からデータを送信することで設定されます。
(2) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア
(3) H = High に駆動、L = Low に駆動

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LV8T165-EP はパラレル入力シフト レジスタで、一部のアプリケーションではシステム コントローラの必要な入力数を大幅に減らすために使用できます。パラレル データがシフト レジスタにロードされ、シフト レジスタにクロックが入力すると、保存されたデータはシステム コントローラのシリアル入力にロードできます。

複数のシフト レジスタをカスケード接続することで、システム コントローラへのシリアル入力を 1 つのみ使用しながら、より多くのデータを入力できます。このプロセスは主に、「タイミング特性」および「スイッチング特性」表に定義されているように、選択したシフト レジスタに必要なデータ入力レートとタイミング特性によって制限されます。

次の代表的なアプリケーションのブロック図に、単一のシフト レジスタを使用するブロック図の例を示します。

8.2 代表的なアプリケーション

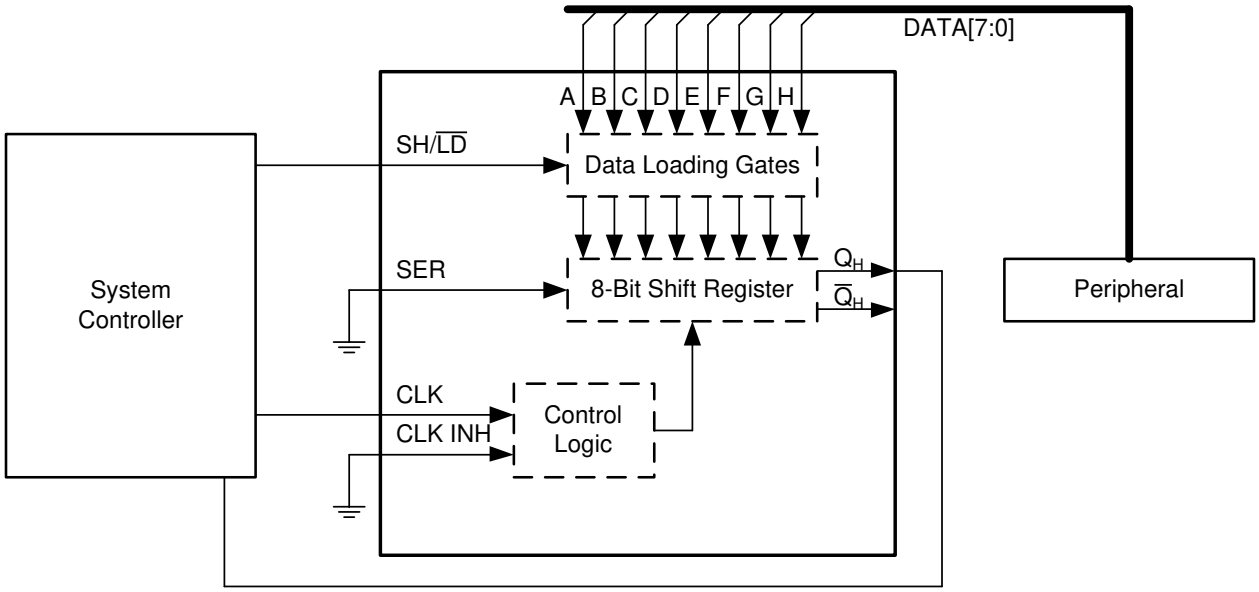


図 8-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LV8T165-EP のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74LV8T165-EP のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV8T165-EP は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV8T165-EP は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 入力に関する考慮事項

入力信号は、を超えるとロジック Low と見なされ、を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV8T165-EP へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV8T165-EP から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

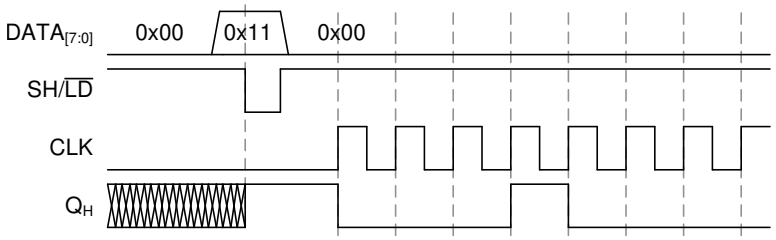


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

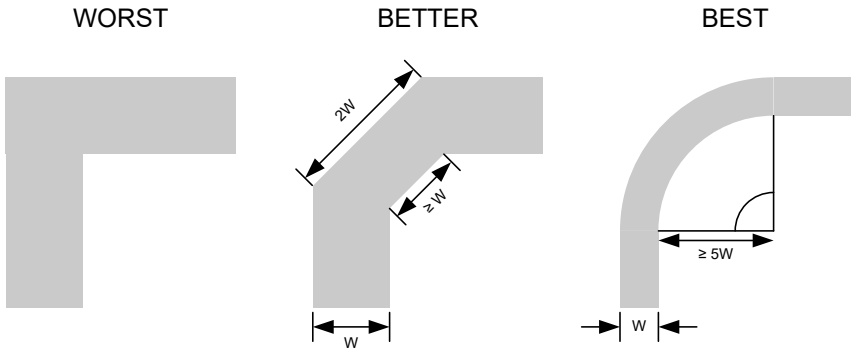


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

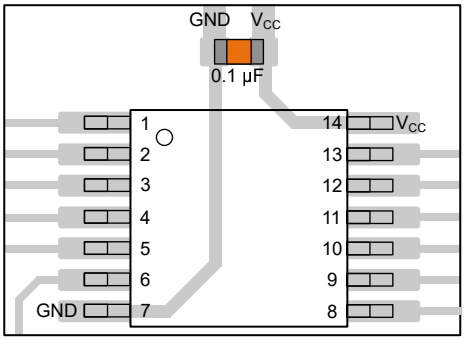


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

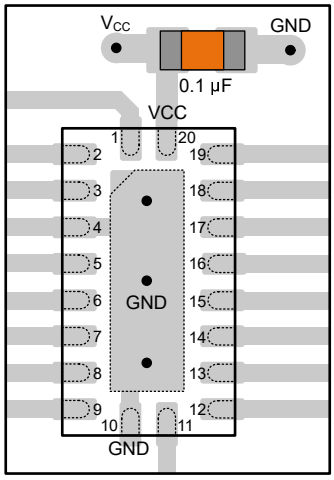


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

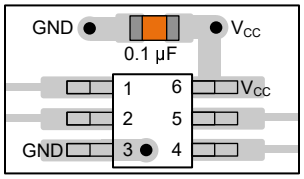


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

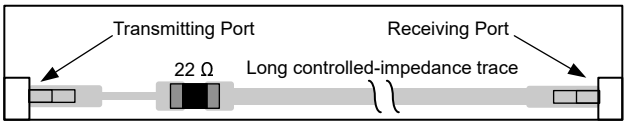


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
2025 年 1 月	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV8T165MPWREP	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	LT165EP
SN74LV8T165MPWREP.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See SN74LV8T165MPWREP	LT165EP
V62/25612-01XE	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See SN74LV8T165MPWREP	LT165EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV8T165-EP :

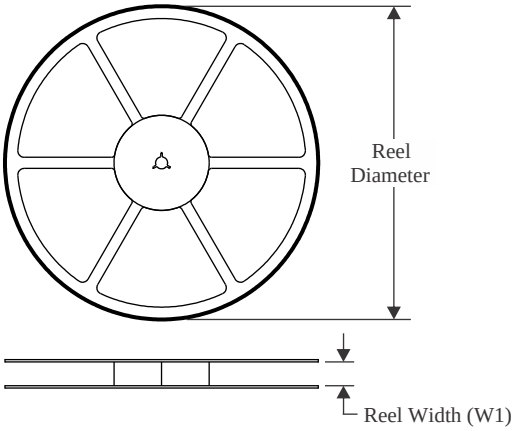
- Catalog : SN74LV8T165
- Automotive : SN74LV8T165-Q1

NOTE: Qualified Version Definitions:

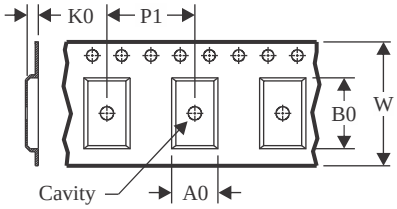
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

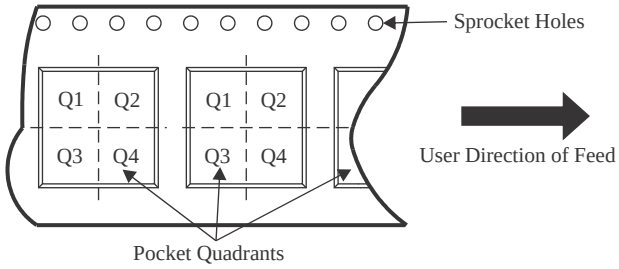


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

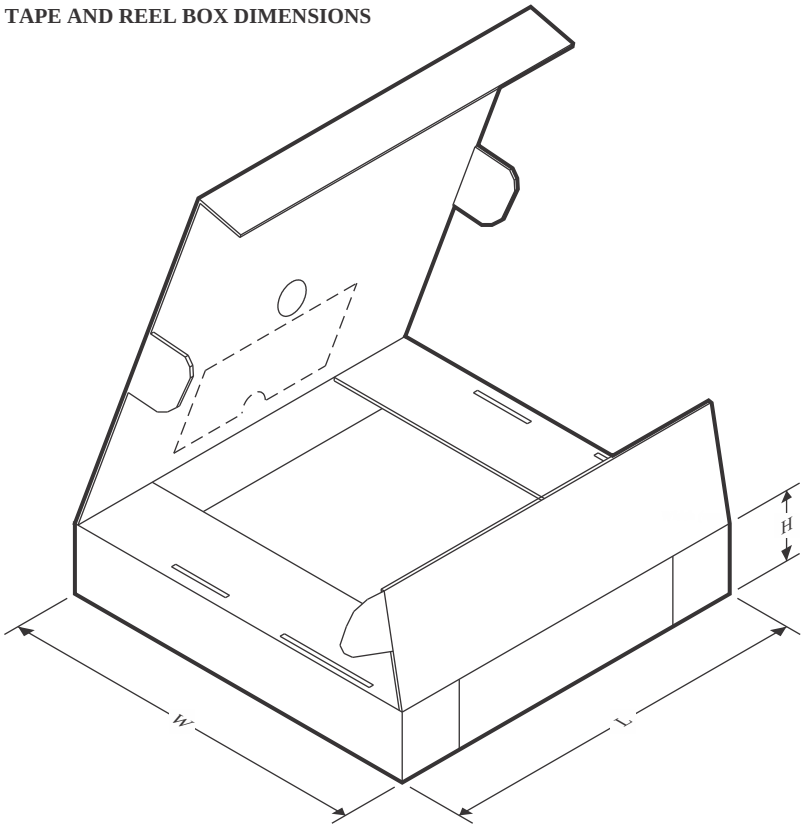
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV8T165MPWREP	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

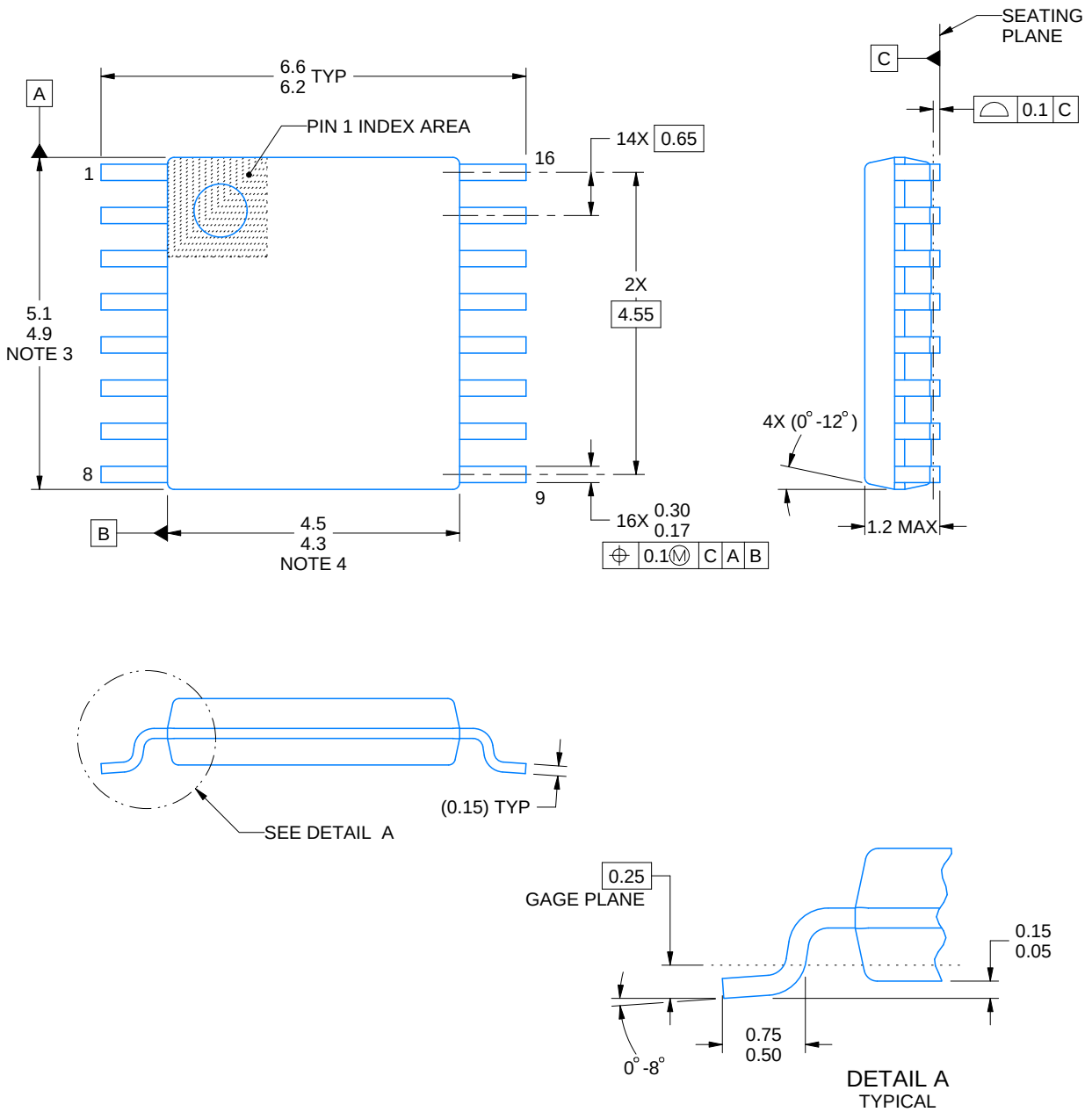
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV8T165MPWREP	TSSOP	PW	16	3000	353.0	353.0	32.0

PACKAGE OUTLINE

PW0016A

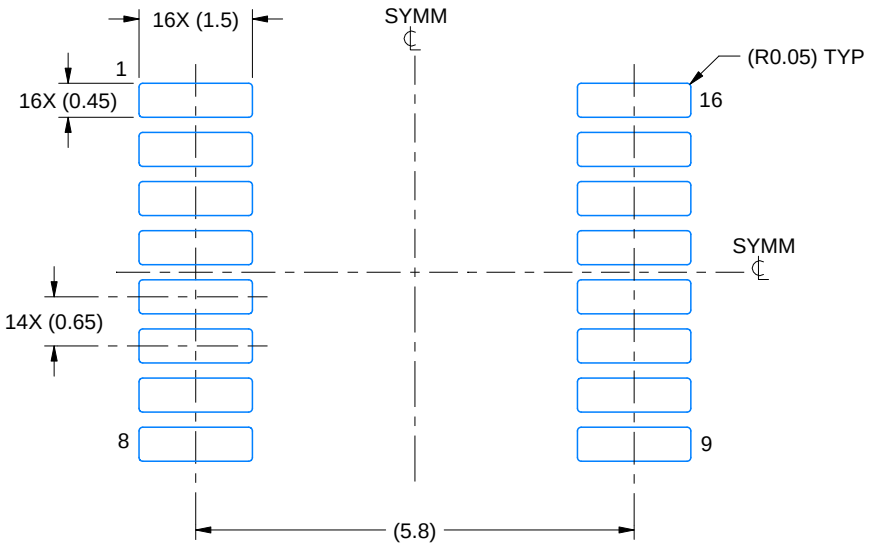
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

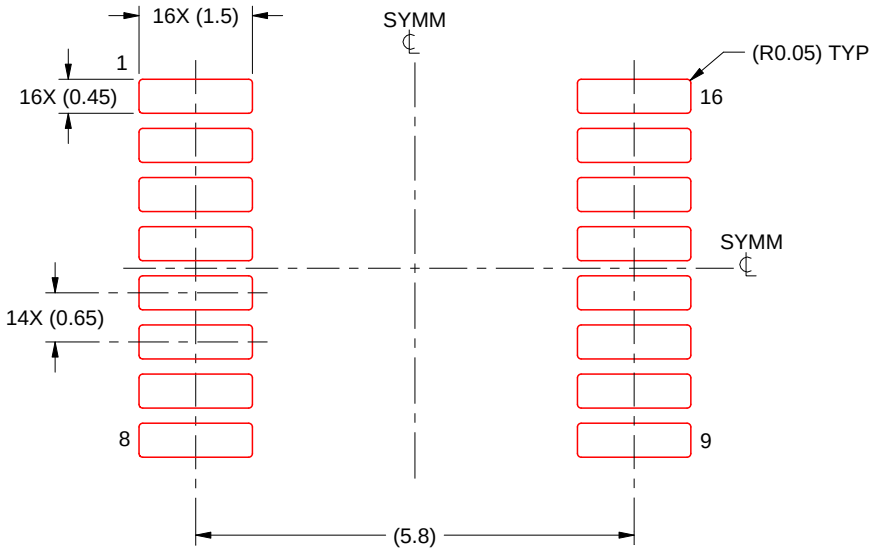


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月