SN74LV8T244-Q1 車載用 3 ステート出力、ロジック レベル シフタ搭載、オクタル バッファ / ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:–40℃ ～ +125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- ウェッタブル フランク QFN パッケージで供給
- 幅広い動作範囲:1.65V～5.5V
- 5.5V 耐圧入力ピン
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
  - 昇圧変換:
    - 1.2V ～ 1.8V
    - 1.5V ～ 2.5V
    - 1.8V ～ 3.3V
    - 3.3V ～ 5.0V
  - 降圧変換:
    - 5.0V、3.3V、2.5V から 1.8V
    - 5.0V、3.3V から 2.5V
    - 5.0V ～ 3.3V
- 5V または 3.3V の V_{CC} で最大 150Mbps
- 標準機能ピン配置をサポート
- JESD 17 準拠で
  250mA 超のラッチアップ性能

2 アプリケーション

- デジタル サイネージ
- インジケータ LED の制御
- マイクロコントローラの出力数増加

3 説明

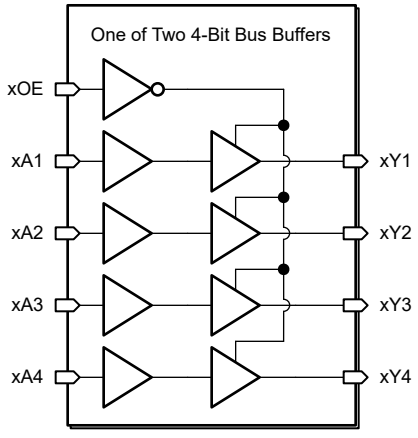
SN74LV8T244-Q1 は、3 ステート出力とシュミット トリガ入力を備えたオクタル バッファです。本デバイスは、4 つのドライバを持つ 2 つのバンクに構成されており、各バンクは出力イネーブル ピンで制御されます。

入力は、スレッショルドを低減した回路を使用して設計されており、電源電圧が入力電圧より高い場合の昇圧変換をサポートします。また、5V 許容の入力ピンにより、入力電圧が電源電圧より高い場合の降圧変換が可能です。出力レベルは常に電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ (2)	本体サイズ (公称) (3)
SN74LV8T244-Q1	PW (TSSOP、20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	RKS (VQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm
	DGS (VSSOP、20)	5.1mm×4.9mm	5.1mm × 3mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....5
5.7 代表的特性.....7
6 パラメータ測定情報.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....14
8 アプリケーションと実装.....15
8.1 アプリケーション情報.....15
8.2 代表的なアプリケーション.....15
8.3 電源に関する推奨事項.....16
8.4 レイアウト.....16
9 デバイスおよびドキュメントのサポート.....18
9.1 ドキュメントのサポート.....18
9.2 ドキュメントの更新通知を受け取る方法.....18
9.3 サポート・リソース.....18
9.4 商標.....18
9.5 静電気放電に関する注意事項.....18
9.6 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

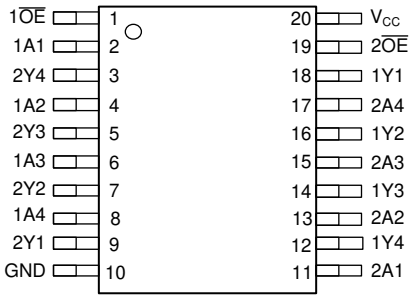


図 4-1. PW および DYY パッケージ、16 ピン TSSOP および SOT-23 (上面図)

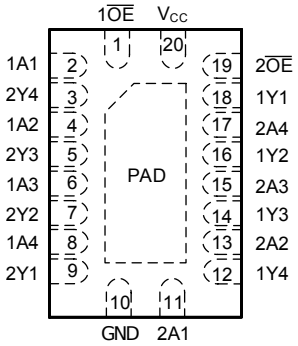


図 4-2. RKS パッケージ、20 ピン VQFN (透過上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
1$\overline{OE}$	1	I	バンク 1、出力イネーブル、アクティブ Low
1A1	2	I	バンク 1、チャネル 1 入力
2Y4	3	O	バンク 2、チャネル 4 出力
1A2	4	I	バンク 1、チャネル 2 入力
2Y3	5	O	バンク 2、チャネル 3 出力
1A3	6	I	バンク 1、チャネル 3 入力
2Y2	7	O	バンク 2、チャネル 2 出力
1A4	8	I	バンク 1、チャネル 4 入力
2Y1	9	O	バンク 2、チャネル 1 出力
GND	10	G	グランド
2A1	11	I	バンク 2、チャネル 1 入力
1Y4	12	O	バンク 1、チャネル 4 出力
2A2	13	I	バンク 2、チャネル 2 入力
1Y3	14	O	バンク 1、チャネル 3 出力
2A3	15	I	バンク 2、チャネル 3 入力
1Y2	16	O	バンク 1、チャネル 2 出力
2A4	17	I	バンク 2、チャネル 4 入力
1Y1	18	O	バンク 1、チャネル 1 出力
2$\overline{OE}$	19	I	バンク 2、出力イネーブル、アクティブ Low
V_{CC}	20	P	正電源
サーマル パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源
(2) WRKS パッケージのみ

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < -0.5V		-20	mA
I_{OK}	出力クランプ電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続出力電流			±75	mA
T_{stg}	保存温度		-65	150	℃

(1) *絶対最大定格* を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～2V	1.1		V
		V_{CC} = 2.25V～2.75V	1.28		
		V_{CC} = 3V～3.6V	1.45		
		V_{CC} = 4.5V～5.5V	2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～2V		0.51	V
		V_{CC} = 2.25V～2.75V		0.65	
		V_{CC} = 3V～3.6V		0.75	
		V_{CC} = 4.5V～5.5V		0.8	
I_O	出力電流	V_{CC} = 1.6V～2V		±8	mA
		V_{CC} = 2.25V～2.75V		±15	
		V_{CC} = 3.3V～5.0V		±25	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.6V～5.0V		20	ns/V
T_A	自由空気での動作温度		-40	125	℃

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	117.2	58.6	79.1	12.6	78.3	該当なし	℃/W
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	該当なし	℃/W
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			–40℃ ～ 125℃			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	I_{OH} = -50μA	1.65V ～ 5.5V	V_{CC}-0.1			V_{CC}-0.1			V
	I_{OH} = -2mA	1.65V ～ 2V	1.28	1.7 (1)		1.21			
	I_{OH} = -3mA	2.25V ～ 2.75V	2	2.4(1)		1.93			
	I_{OH} = -5.5mA	3V ～ 3.6V	2.6	3.08(1)		2.49			
	I_{OH} = -8mA	4.5V ～ 5.5V	4.1	4.65(1)		3.95			
V_{OL}	I_{OL} = 50μA	1.65V ～ 5.5V			0.1			0.1	V
	I_{OL} = 2mA	1.65V ～ 2V		0.1(1)	0.2			0.25	
	I_{OL} = 3mA	2.25V ～ 2.75V		0.15(1)	0.17			0.2	
	I_{OL} = 5.5mA	3V ～ 3.6V		0.2(1)	0.23			0.25	
	I_{OL} = 8mA	4.5V ～ 5.5V		0.3(1)	0.3			0.35	
I_I	V_I = 0V または V_{CC}	0V ～ 5.5V			±0.1			±1	μA
I_{CC}	V_I = 0V または V_{CC}、I_O = 0、負荷時にオープン	1.65V ～ 5.5V			2			20	μA
ΔI_{CC}	1 つの入力は 0.3V または 3.4V、その他の入力は 0 または V_{CC}、I_O = 0	5.5V			1.35			1.5	mA
	1 つの入力は 0.3V または 1.1V、その他の入力は 0 または V_{CC}、I_O = 0	1.8V			10			20	μA
I_{OZ}	V_O = V_{CC} または GND、V_{CC} = 5.5V	5.5V			±0.25			±2.5	μA
C_I	V_I = V_{CC} または GND	5V		4	10			10	pF
C_O	V_O = V_{CC} または GND	5V		5					pF
C_{PD}	無負荷、F = 1MHz	5V		17					pF

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値

5.6 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			–40℃ ～ 125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{PLH}	A	Y	C_L = 15pF	1.8V	5.3		12.4	4.8		13.5	ns
t_{PHL}					6.6		15.9	5.8		17.4	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF	1.8V	8.3		18.4	7.2		20.6	ns
t_{PZL}					7.2		17.1	6.4		18.7	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			–40℃ ～ 125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF	1.8V	7.1		13.6	6.3		15.4	ns
t_{PLZ}					6.9		11.9	6.3		13.2	ns
t_{PLH}	A	Y	C_L = 50pF	1.8V	7.3		16.7	6.5		18.3	ns
t_{PHL}					8.3		19.6	7.5		21.8	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF	1.8V	10.6		23	9.5		25.7	ns
t_{PZL}					9.2		21.2	8.3		23.4	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF	1.8V	12.9		20.8	12.1		22.8	ns
t_{PLZ}					12.6		19.3	12.1		20.6	ns
$t_{sk(o)}$			C_L = 50pF	1.8V			0.5			0.5	ns
t_{PLH}	A	Y	C_L = 15pF	2.5V	3.9		7.7	3.4		8.8	ns
t_{PHL}					4.8		9.8	4.3		11.3	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF	2.5V	6.1		11.6	5.3		13.2	ns
t_{PZL}					5.2		10.6	4.6		12.1	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF	2.5V	5		8.6	4.4		9.9	ns
t_{PLZ}					5.1		8	4.7		9	ns
t_{PLH}	A	Y	C_L = 50pF	2.5V	5.3		10.6	4.7		12	ns
t_{PHL}					6.2		12.5	5.6		14.3	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF	2.5V	8		14.9	7.1		16.9	ns
t_{PZL}					6.9		13.5	6.2		15.4	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF	2.5V	8.8		13.5	8.1		15	ns
t_{PLZ}					9		12.9	8.6		14	ns
$t_{sk(o)}$			C_L = 50pF	2.5V			0.3			0.4	ns
t_{PLH}	A	Y	C_L = 15pF	3.3V	3.4		6.4	3		7.3	ns
t_{PHL}					4.3		8.1	3.7		9.4	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF	3.3V	5.4		9.5	4.6		11	ns
t_{PZL}					4.5		8.7	4		9.9	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF	3.3V	3.9		6.9	3.3		8.1	ns
t_{PLZ}					4.4		6.8	4.1		7.6	ns
t_{PLH}	A	Y	C_L = 50pF	3.3V	4.6		8.8	4		10.1	ns
t_{PHL}					5.5		10.4	4.9		11.9	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF	3.3V	7.1		12.4	6.3		14.1	ns
t_{PZL}					6.1		11.3	5.6		12.9	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF	3.3V	7		10.7	6.5		12	ns
t_{PLZ}					7.7		10.8	7.3		11.6	ns
$t_{sk(o)}$			C_L = 50pF	3.3V			0.3			0.4	ns
t_{PLH}	A	Y	C_L = 15pF	5V	3.1		5.4	2.9		6.1	ns
t_{PHL}					3.1		5.5	2.7		6.4	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF	5V	4		6.7	3.5		7.8	ns
t_{PZL}					3.3		5.9	2.9		6.9	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF	5V	3.1		5.1	2.8		6	ns
t_{PLZ}					4.3		6	4.1		6.6	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			–40℃ ～ 125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{PLH}	A	Y	C_L = 50pF	5V	4.1		7.2	3.7		8.1	ns
t_{PHL}					4.2		7.2	3.7		8.4	ns
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF	5V	5.4		9	4.7		10.3	ns
t_{PZL}					4.6		8	4.1		9.2	ns
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF	5V	4.9		7.3	4.6		8.3	ns
t_{PLZ}					6.2		8.5	6		9.1	ns
$t_{sk(o)}$			C_L = 50pF	5V			0.4			0.4	ns

5.7 代表的特性

T_A = 25℃ (特に記述のない限り)

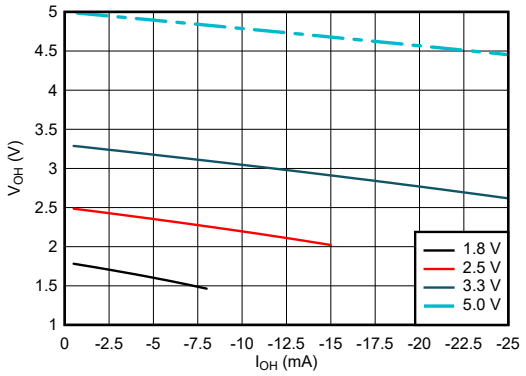


図 5-1. High 状態における出力電圧と電流との関係

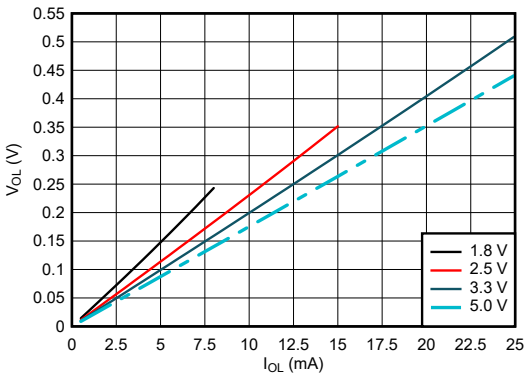


図 5-2. Low 状態における出力電圧と電流との関係

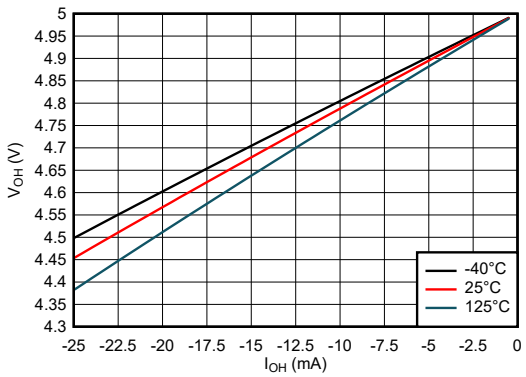


図 5-3. High 状態における出力電圧と電流の関係、5V 電源

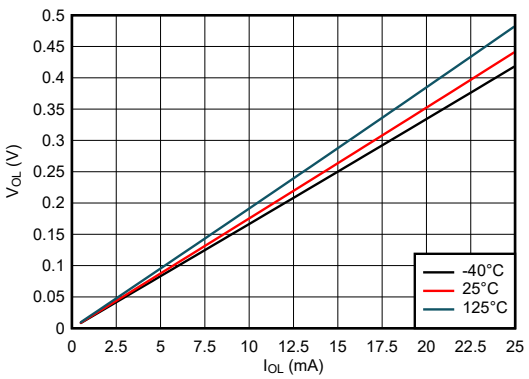


図 5-4. Low 状態における出力電圧と電流の関係、5V 電源

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

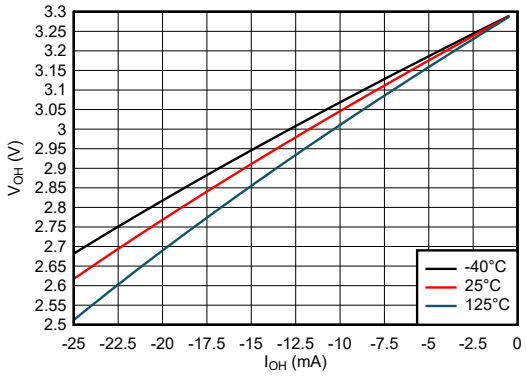


図 5-5. High 状態における出力電圧と電流の関係、3.3V 電源

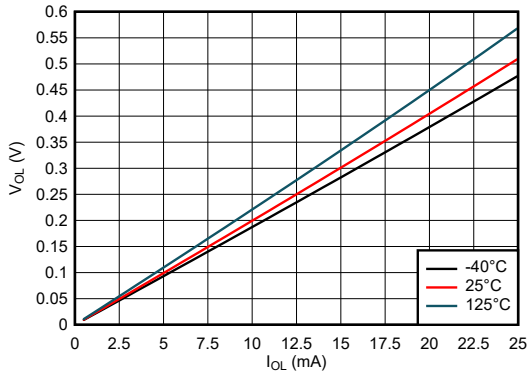


図 5-6. Low 状態における出力電圧と電流の関係、3.3V 電源

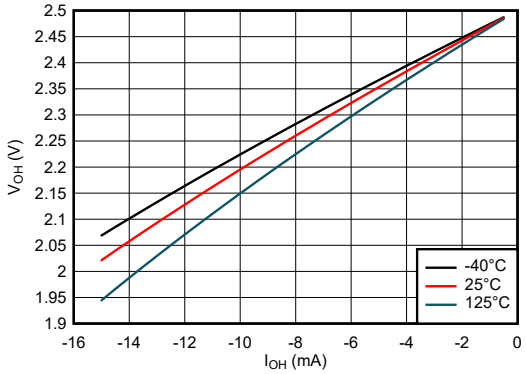


図 5-7. High 状態における出力電圧と電流との関係、2.5V 電源

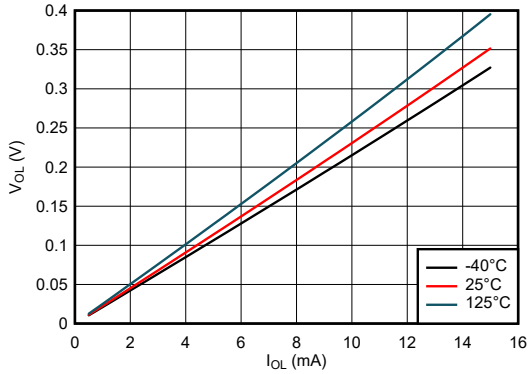


図 5-8. Low 状態における出力電圧と電流との関係、2.5V 電源

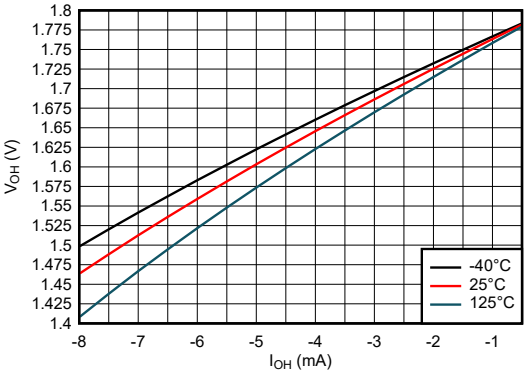


図 5-9. High 状態における出力電圧と電流との関係、1.8V 電源

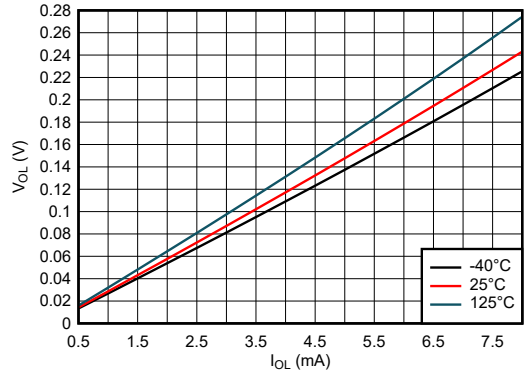


図 5-10. Low 状態における出力電圧と電流との関係、1.8V 電源

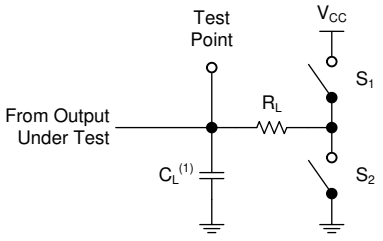
Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

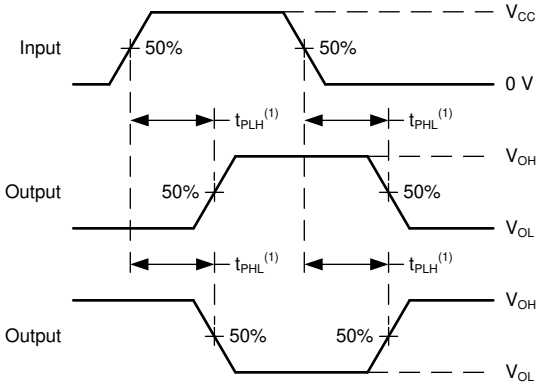
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

TEST	S1	S2	R_L	C_L	ΔV	V_{CC}
t_{PLH}、t_{PHL}	オープン	オープン	—	15pF、50pF	—	すべて
t_{PLZ}、t_{PZL}	クローズ	オープン	1kΩ	15pF、50pF	0.15V	≤ 2.5V
t_{PHZ}、t_{PZH}	オープン	クローズ	1kΩ	15pF、50pF	0.15V	≤ 2.5V
t_{PLZ}、t_{PZL}	クローズ	オープン	1kΩ	15pF、50pF	0.3V	> 2.5V
t_{PHZ}、t_{PZH}	オープン	クローズ	1kΩ	15pF、50pF	0.3V	> 2.5V



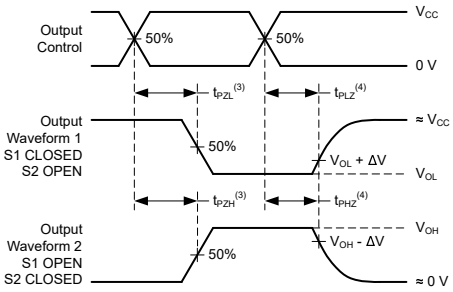
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

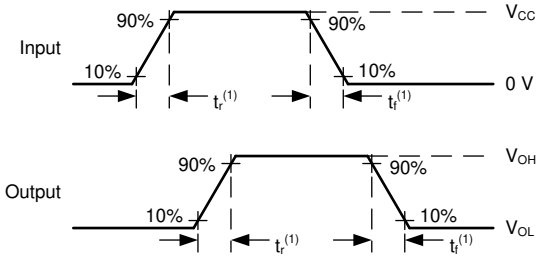
図 6-2. 電圧波形、伝搬遅延



(3) t_{PZL} と t_{PZH} の大きい方が t_{en} に相当します。

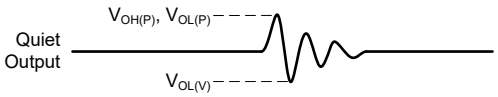
(4) t_{PLZ} と t_{PHZ} の大きい方が t_{dis} に相当します。

図 6-3. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間



他のすべての出力を同時にスイッチングして測定されたノイズ値。

図 6-5. 電圧波形、ノイズ

7 詳細説明

7.1 概要

SN74LV8T244-Q1 には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。*x* はバンク番号、*n*

各出力イネーブル (x$\overline{OE}$) は 4 つのバッファを制御します。x$\overline{OE}$ ピンが Low 状態のとき、バンク x のすべてのバッファの出力がイネーブルになります。x$\overline{OE}$ ピンが High 状態のとき、バンク x のすべてのバッファの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

電源オンまたは電源オフ時にデバイスを高インピーダンス状態にするには、両方の $\overline{OE}$ ピンをプルアップ抵抗経由で V_{CC} に接続します。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

7.2 機能ブロック図

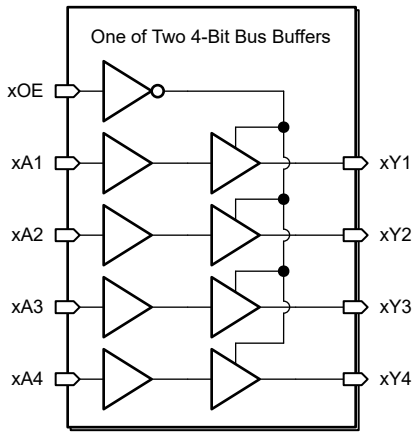


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。 高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 LVxT 拡張入力電圧

SN74LV8T244-Q1 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック デバイス ファミリの製品です。このデバイス ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以上、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 7-2 に、LVxT デバイス ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

「推奨動作条件」表の入力遷移レートで定義されているように、有効な論理状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*『低速またはフローティング CMOS 入力の影響』*アプリケーション レポートを参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

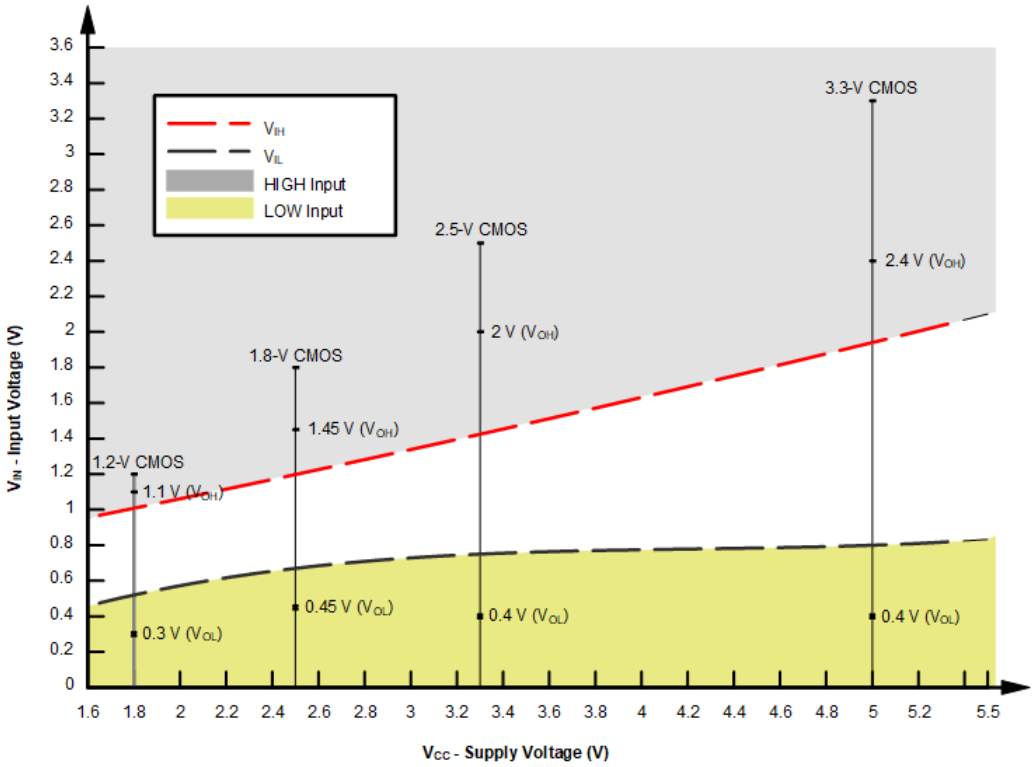


図 7-2. LVxT の入力電圧レベル

7.3.2.1 昇圧変換

SN74LV8T244-Q1 を使うことで、入力信号を昇圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。

標準値よりもはるかに低い入力 High 状態レベルに対応できるように、入力のスレッショルドは低減されています。たとえば、5V 電源で動作するデバイスの標準 CMOS 入力では、$V_{IH(MIN)}$ は 3.5V です。SN74LV8T244-Q1 の場合、5V 電源での $V_{IH(MIN)}$ はわずか 2V であるため、標準的な 2.5V から 5V の信号への昇圧変換が可能です。

図 7-3 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V、2.5V からの入力
- 5.0V V_{CC} – 2.5V、3.3V からの入力

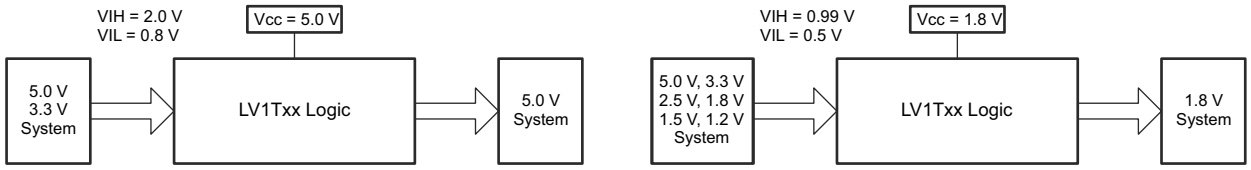


図 7-3. LVxT の昇圧および降圧変換の例

7.3.2.2 降圧変換

SN74LV8T244-Q1 を使うことで、信号を降圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。図 7-2 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば、5.0V、3.3V、2.5V で動作するデバイスの標準的 CMOS 入力は、1.8V V_{CC} で動作する 1.8V CMOS 信号に合うように降圧変換できます。図 7-3 を参照してください。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆

Copyright © 2025 Texas Instruments Incorporated

動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 ウェッタブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

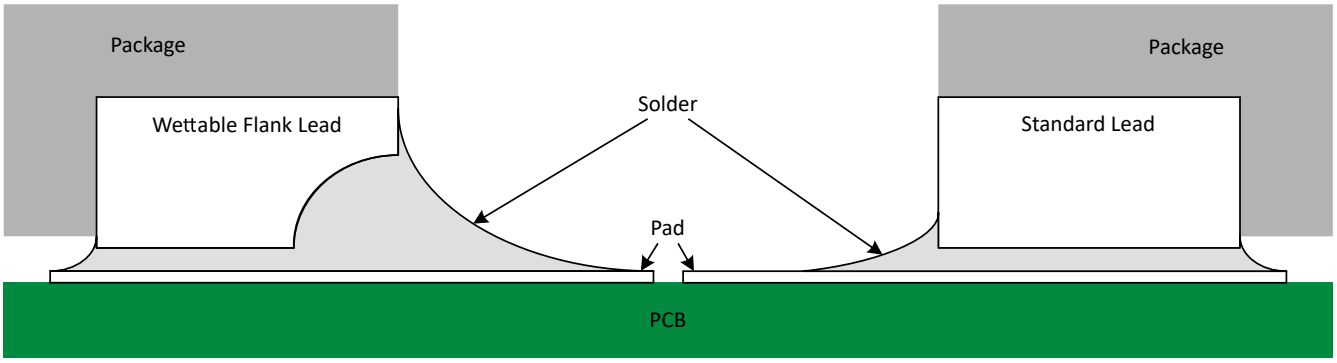


図 7-4. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。ウェッタブル フランクは、図 7-4 に示すように、半田接着用の表面積を追加するために、ディンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 クランプ ダイオード構造

図 7-5 に示すように、このデバイスへの出力には正と負の両方のクランプ ダイオードがあり、このデバイスへの入力には負のクランプ ダイオードのみがあります。

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

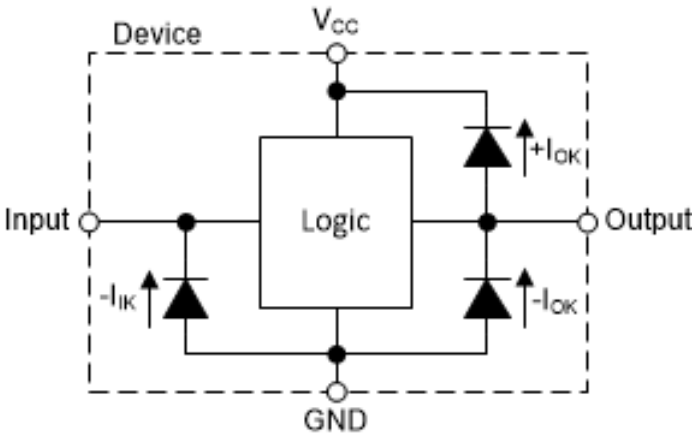


図 7-5. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SN74LV8T244-Q1 の機能モードを示します。

表 7-1. 機能表

入力 (1)		出力
$\overline{OE}$	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LV8T244-Q1 は出力ドライブまたは PCB パターン長が懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる高駆動能力の CMOS デバイスです。入力は、任意の有効な V_{CC} において 5.5V までの電圧に対応できるため、降圧変換に非常に適しています。

8.2 代表的なアプリケーション

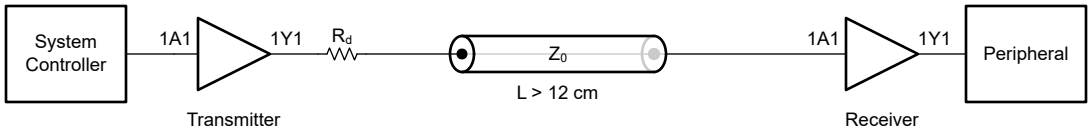


図 8-1. アプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合することを避けてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、「*推奨動作条件*」表の ($\Delta t/\Delta V$) を参照してください。
   - 規定された High および Low レベルについては、「*推奨動作条件*」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 推奨最大出力条件:
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、「*絶対最大定格*」表に記載されています。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

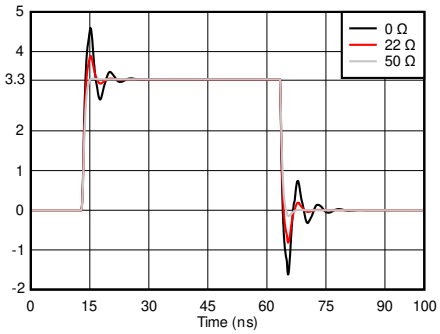


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでのシグナル インテグリティをシミュレート

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

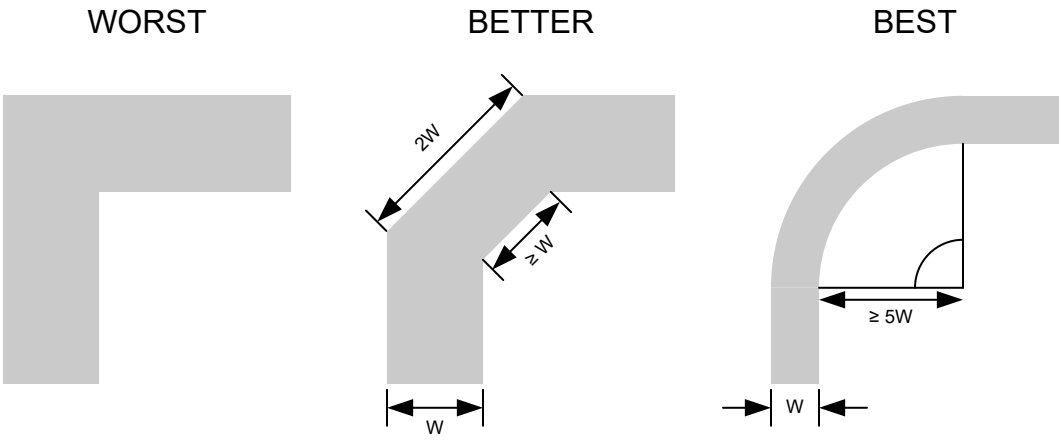


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2025 Texas Instruments Incorporated

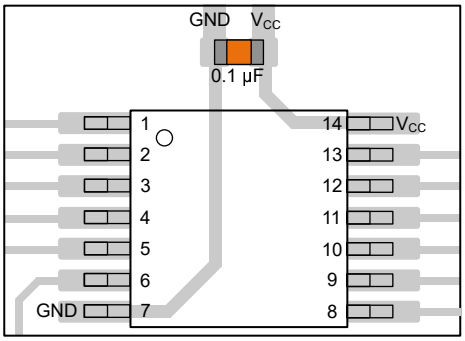


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

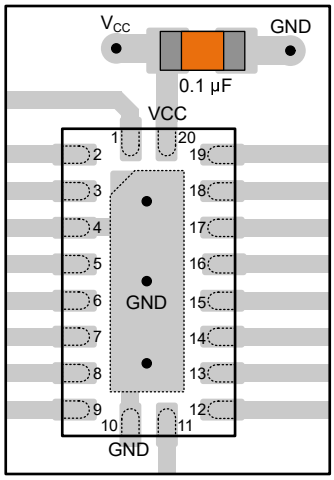


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

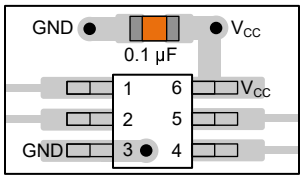


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

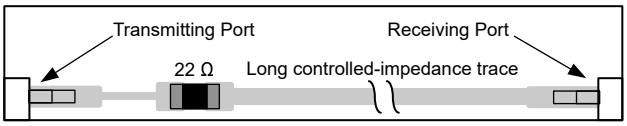


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (March 2024) to Revision A (June 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に更新	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CLV8T244QWRKSRQ1	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L8T244Q
SN74LV8T244QDGSRQ1	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8T244Q
SN74LV8T244QPWRQ1	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV8T244Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV8T244-Q1 :

- Catalog : SN74LV8T244

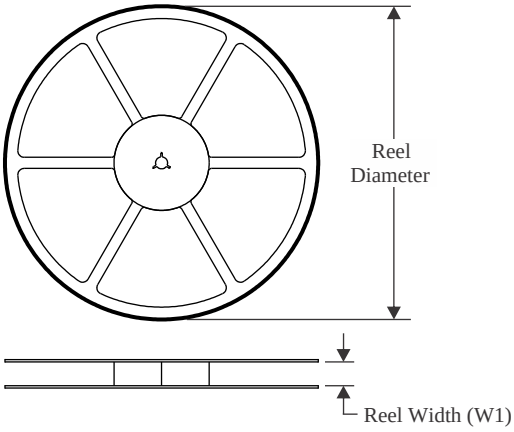
- Enhanced Product : SN74LV8T244-EP

NOTE: Qualified Version Definitions:

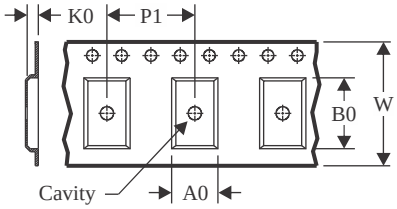
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

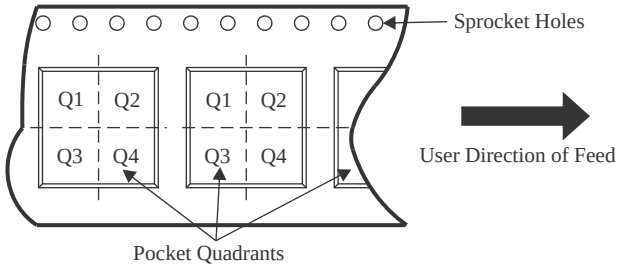


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

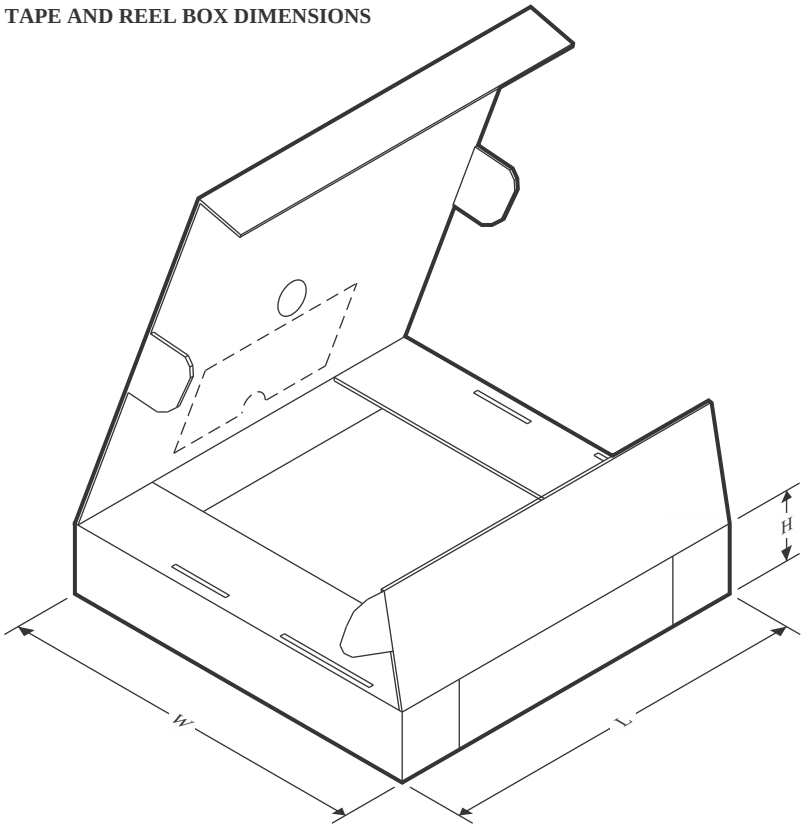
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLV8T244QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
SN74LV8T244QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV8T244QPWRQ1	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

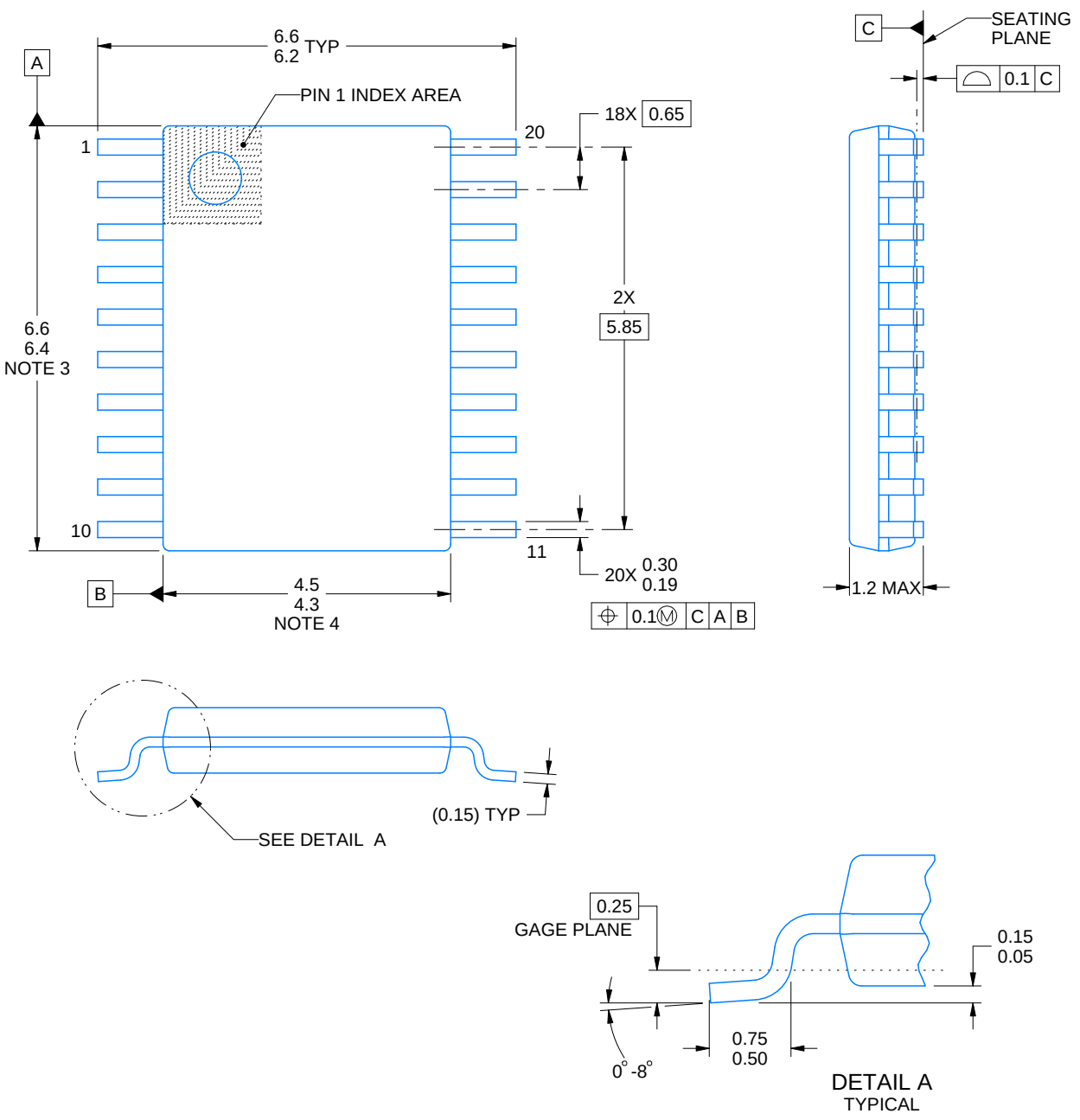
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLV8T244QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0
SN74LV8T244QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV8T244QPWRQ1	TSSOP	PW	20	3000	353.0	353.0	32.0

PACKAGE OUTLINE

PW0020A

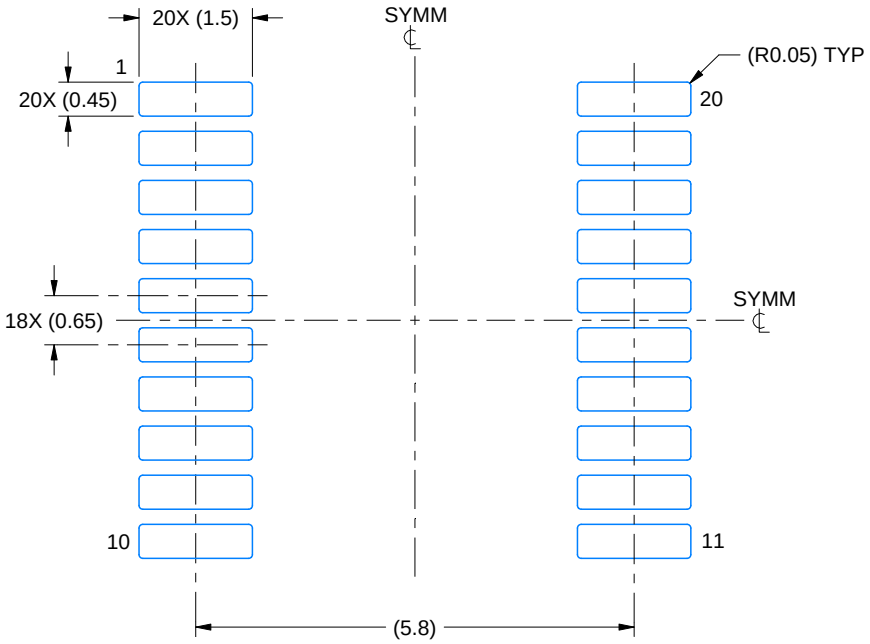
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

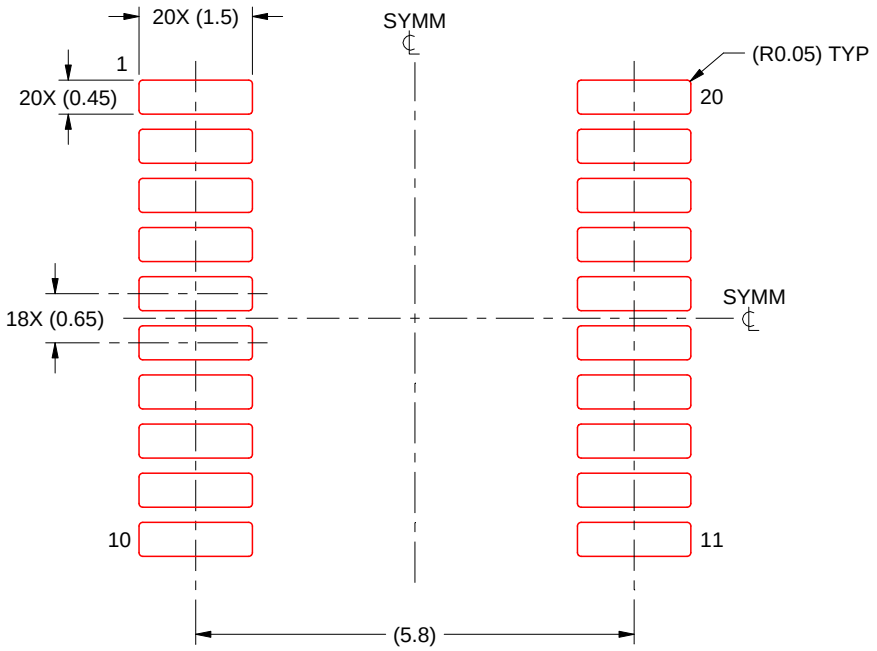


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

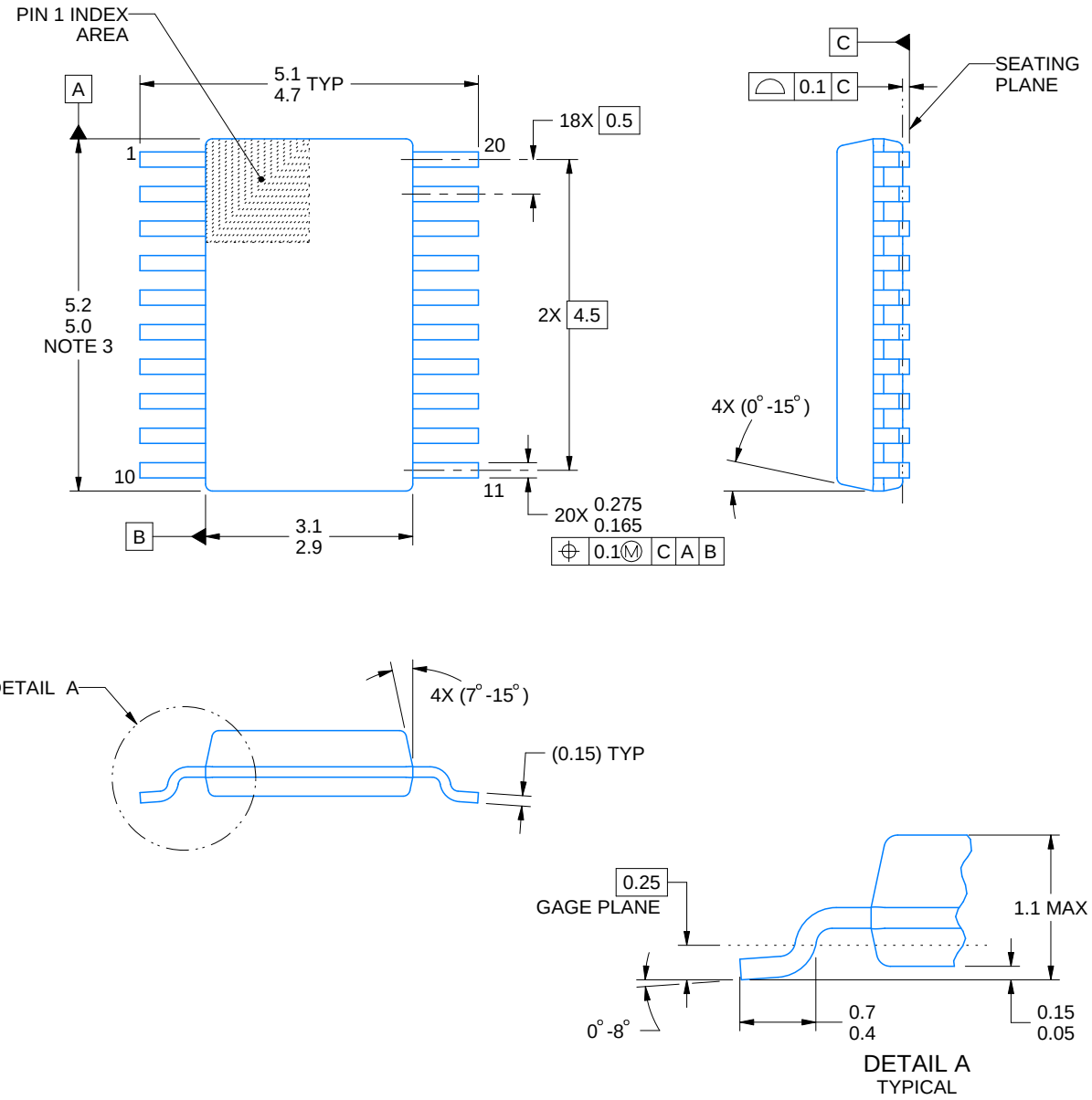
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

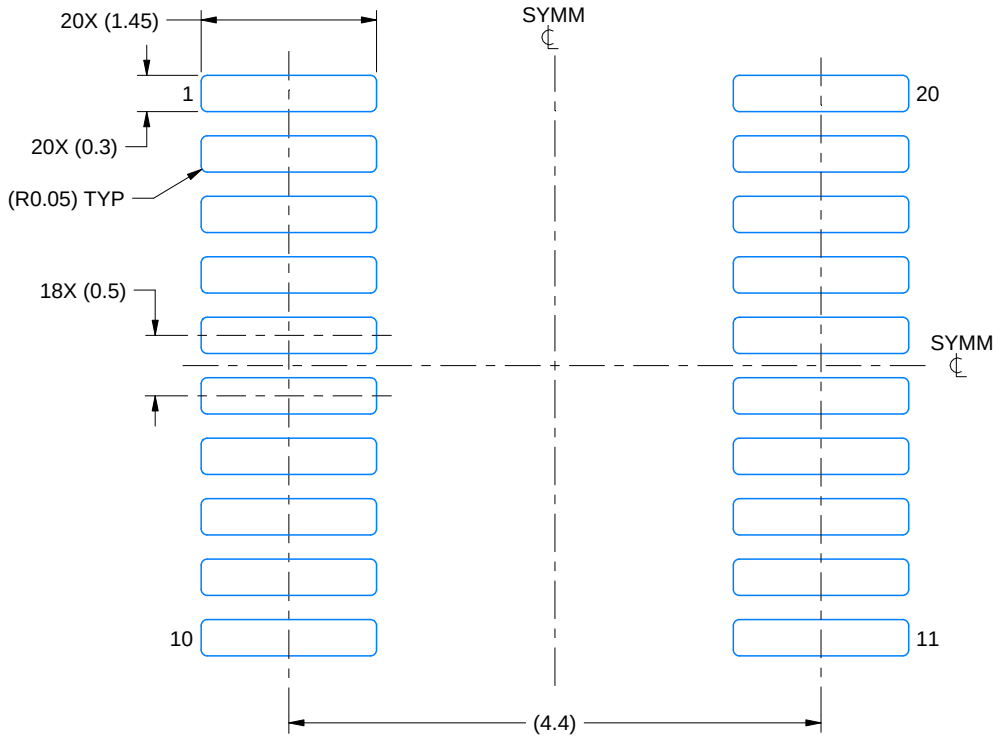
SMALL OUTLINE PACKAGE



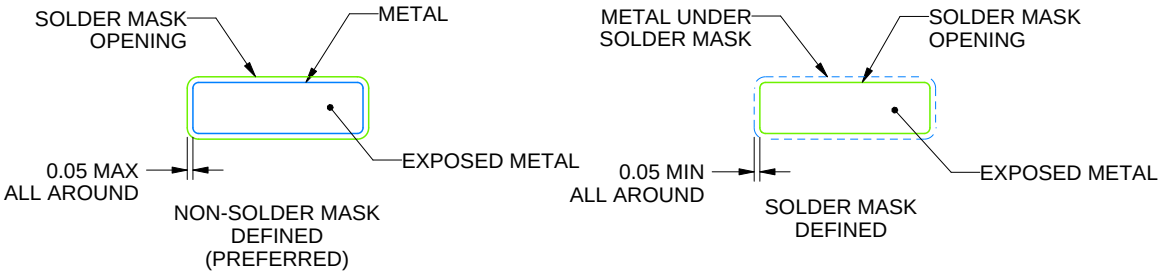
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

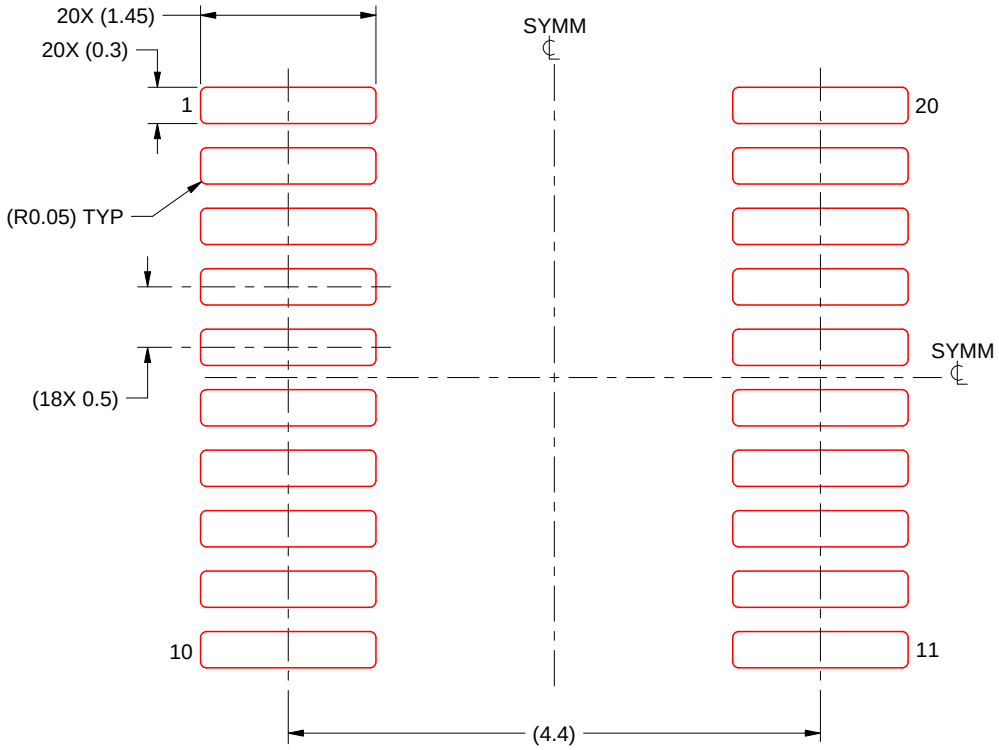


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

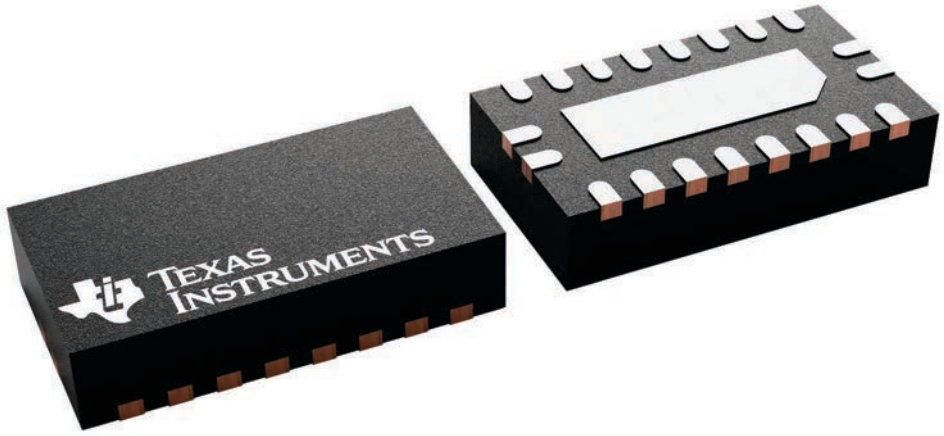
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated