SN74LVC1G06 シングル インバータ バッファまたはドライバ、オープン ドレイン出力

1 特長

- JESD 22 を上回る ESD 保護
  - 2000V 人体モデル (A114-A)
  - 200V、マシン モデル (A115-A)
  - 1000V、デバイス帯電モデル (C101)
- テキサス・インスツルメンツの NanoFree™ パッケージで供給
- 5V V_{CC} 動作をサポート
- 最大 5.5V の電圧を許容する入力とオープン ドレイン出力
- 3.3V、125°C で最大 t_{pd} が 4.5ns
- 低消費電力、I_{CC} の最大値 10µA
- オープン ドレイン デバイス用の 3.3V で ±24mA 出力駆動
- I_{off} により部分的パワーダウン モードおよびバック ドライブ保護をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- 昇圧または降圧変換に使用できます
- すべてのポートでのシュミット トリガ アクション

2 アプリケーション

- AV レシーバ
- ブルーレイ プレーヤおよびホーム シアター
- DVD レコーダおよびプレーヤ
- デスクトップ PC またはノートブック PC
- デジタル ラジオまたはインターネット ラジオ プレーヤ
- デジタル ビデオ カメラ (DVC)
- 組み込み用 PC
- GPS：パーソナル ナビゲーション デバイス
- モバイル インターネット デバイス
- ネットワーク プロジェクタ フロント エンド
- ポータブル メディア プレーヤ
- プロ オーディオ ミキサ
- 煙感知器
- ソリッドステート ドライブ (SSD)：エンタープライズ
- HD (HDTV)
- タブレット：エンタープライズ
- オーディオ ドック：ポータブル
- DLP フロント プロジェクション システム
- DVR および DVS
- デジタル ピクチャ フレーム（DPF）
- デジタル スチル カメラ

3 説明

このシングル インバータ バッファおよびドライバは、1.65V ～ 5.5V V_{CC} 動作用に設計されています。

NanoFree パッケージ技術は IC パッケージの概念における主要なブレークスルーであり、ダイをパッケージとして使用します。

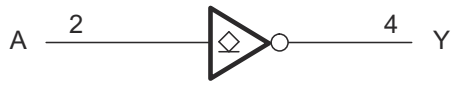
SN74LVC1G06 デバイスの出力はオープン ドレインであり、他のオープン ドレイン出力に接続してアクティブ low のワイヤード OR 関数またはアクティブ high のワイヤード AND 関数を実装できます。最大シンク電流は 32mA です。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。I_{off} 回路によって出力が無効になります。これによってデバイスへの電流の逆流を阻止し、デバイスを損傷から保護します。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)	本体サイズ (公称)(3)
SN74LVC1G06	DBV (SOT-23、5)	2.90mm × 2.80mm	2.90mm × 1.60mm
	DCK (SC70、5)	2.00mm × 2.10mm	2.00mm × 1.25mm
	DRL (SOT-5X3、5)	1.60mm × 1.60mm	1.60mm × 1.20mm
	DRY (USON、6)	1.45mm × 1.00mm	1.45mm × 1.00mm
	DSF (X2SON、6)	1.00mm × 1.00mm	1.00mm × 1.00mm
	YZP (DSBGA、5)	1.75mm × 1.25mm	1.40mm × 0.90mm
	YZV (DSBGA、4)	1.25mm × 1.25mm	0.90mm × 0.90mm
	DPW (X2SON、5)	0.80mm × 0.80mm	0.80mm × 0.80mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性:-40°C ～ +85°C.....6
5.7 スイッチング特性:-40°C ～ +125°C.....6
5.8 動作特性.....6
5.9 代表的特性.....7
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....9
6.4 デバイスの機能モード.....10
7 アプリケーションと実装.....11
7.1 アプリケーション情報.....11
7.2 代表的なアプリケーション.....11
7.3 電源に関する推奨事項.....12
7.4 レイアウト.....12
8 デバイスおよびドキュメントのサポート.....14
8.1 ドキュメントの更新通知を受け取る方法.....14
8.2 サポート・リソース.....14
8.3 商標.....14
8.4 静電気放電に関する注意事項.....14
8.5 用語集.....14
9 改訂履歴.....14
10 メカニカル、パッケージ、および注文情報.....15

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

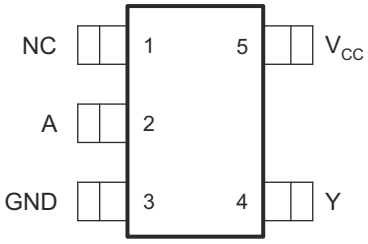


図 4-1. DBV パッケージ 5 ピン SOT-23 上面図

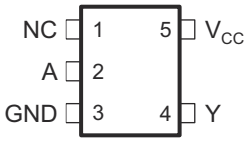


図 4-2. DRL パッケージ 5 ピン SOT-5X3 上面図

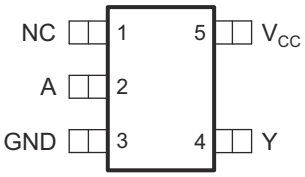


図 4-3. DCK パッケージ 5 ピン SC70 上面図

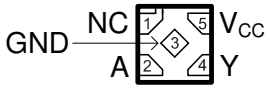


図 4-4. DPW パッケージ 5 ピン X2SON 上面図

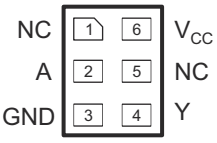


図 4-5. DRY パッケージ 6 ピン SON 上面図

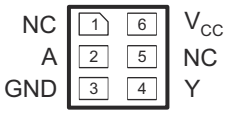


図 4-6. DSF パッケージ 6 ピン SON 上面図

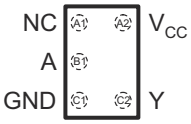


図 4-7. YZP パッケージ 5 ピン DSBGA 上面図

図 4-8. YZV パッケージ 4 ピン DSBGA 上面図

表 4-1. ピン機能 (2)

ピン					I/O	説明
名称	DBV、DCK、DRL、DPW	DRY、DSF	YZP	YZV		
A	2	2	B1	A1	I	入力
DNU	—	—	A1	—	—	使用できません。
GND	3	3	C1	B1	—	グランド
NC (1)	1	1	—	—	—	未接続
		5				
V_{CC}	5	6	A2	A2	—	パワー ピン
Y	4	4	C2	B2	O	出力

(1) NC - 内部接続なし
(2) 寸法については、機械的な図を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6.5	V
V_I	入力電圧(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧(2)		-0.5	6.5	V
V_O	High または Low 状態で出力に印加される電圧(2) (3)		-0.5	6.5	V
I_{IK}	入力クランプ電流	$V_I < 0$		-50	mA
I_{OK}	出力クランプ電流	$V_O < 0$		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_j	接合部温度		-65	150	℃
T_{stg}	保存温度		-65	150	℃

(1) *絶対最大定格* を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。*絶対最大定格*は、これらの条件において、または*推奨動作条件*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	1000	
		マシン モデル (MM)、A115-A に準拠	200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3V～3.6V	2		
		V_{CC} = 4.5V～5.5V	0.7 × V_{CC}		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3V～3.6V		0.8	
		V_{CC} = 4.5V～5.5V		0.3 × V_{CC}	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	5.5	V
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V ± 0.15V、2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		5	
T_A	自由空気での動作温度		-40	125	℃

(1) デバイスが適切に動作することを確立するには、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。*低速またはフローティング CMOS 入力の影響アプリケーション レポート*を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74LVC1G06							単位
		DBV (SOT-23)	DCK (SC70)	DRL (SOT-5X3)	DRY (SON)	DPW (X2SON)	YZV (DSBGA)	YZP (DSBGA)	
		5 ピン	5 ピン	5 ピン	5 ピン	5 ピン	4 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	357.1	371.0	296.2	369.6	511	168.2	144.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	263.7	297.5	137.3	257.6	241.9	2.1	1.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	264.4	258.6	145.3	230.8	374.2	55.9	39.9	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	195.6	195.6	14.7	77.2	45	1.1	0.5	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	262.2	256.2	145.9	231	373.3	56.3	39.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	168	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		V_{CC}	最小値	標準値 (1)	最大値	単位
V_{OL}	High レベル出力電圧	I_{OL} = 100μA		1.65V ～ 5.5V			0.1	V
		I_{OL} = 4mA		1.65V			0.45	
		I_{OL} = 8mA		2.3V			0.3	
		I_{OL} = 16mA		3V			0.4	
		I_{OL} = 24mA					0.55	
		I_{OL} = 32mA		4.5V			0.55	
I_I	変曲点の電流	V_I = 5.5 V または GND	A 入力	0～5.5V			±1	μA
I_{off}	オフ状態電流	V_I または V_O = 5.5V		0			±10	μA
I_{CC}		V_I = 5.5V または GND、I_O = 0		1.65V ～ 5.5V			10	μA
ΔI_{CC}		1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND		3V ～ 5.5V			500	μA
C_I	入力容量	V_I = V_{CC} または GND		3.3V		4		pF
C_O	オフ状態の静電容量	V_O = V_{CC} または GND		3.3V		5		pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25℃における値です。

5.6 スイッチング特性：-40°C ～ +85°C

自由気流での推奨動作温度範囲内、V_{CC} = –40°C ～ +85°C (特に記述のない限り) (図 6-1 を参照)

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
t_{pd}	伝搬遅延	A	Y	1.8V ± 0.15V	2.2	6.5	ns
				2.5V ± 0.2V	1.1	4	
				3.3V ± 0.3V	1.2	4	
				5V ± 0.5V	1	3	

5.7 スイッチング特性：-40°C ～ +125°C

自由気流での推奨動作温度範囲内、V_{CC} = –40°C ～ +125°C (特に記述のない限り) (図 6-1 を参照)

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
t_{pd}	伝搬遅延	A	Y	1.8V ± 0.15V	2.2	7	ns
				2.5V ± 0.2V	1.1	4.5	
				3.3V ± 0.3V	1.2	4.5	
				5V ± 0.5V	1	3.5	

5.8 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd}	電力散逸容量	f = 10MHz	1.8V	3	pF
			2.5V	3	
			3.3V	4	
			5V	6	

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性

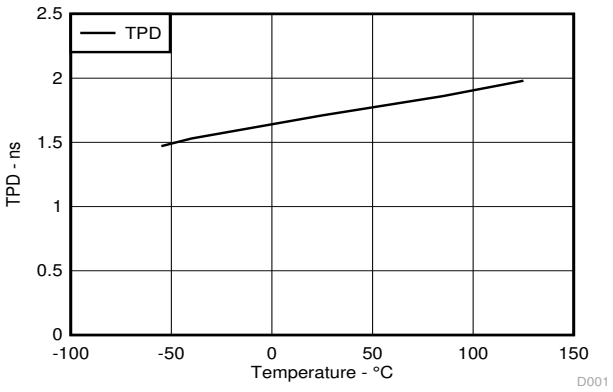


図 5-1. 3.3V V_{CC} での温度範囲における昇温脱離法

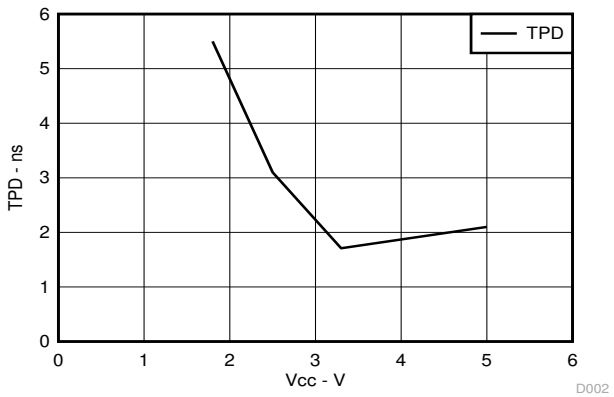
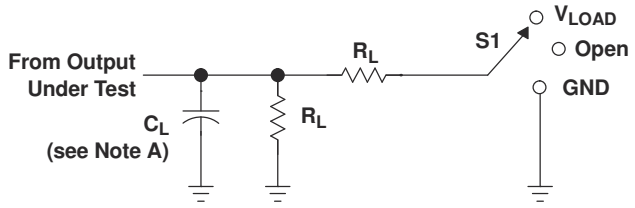


図 5-2. 25℃での V_{CC} における昇温脱離

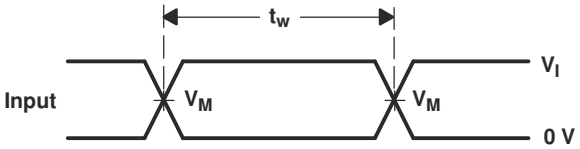
パラメータ測定情報



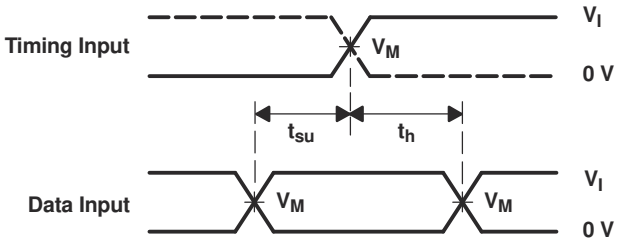
LOAD CIRCUIT

TEST	S1
t_{PZL} (see Notes E and F)	V_{LOAD}
t_{PLZ} (see Notes E and G)	V_{LOAD}
t_{PHZ}/t_{PZH}	V_{LOAD}

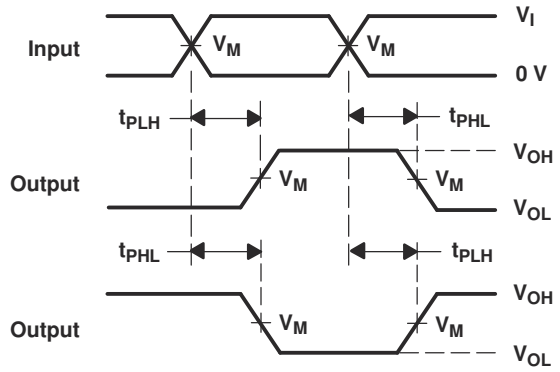
V_{CC}	INPUT		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤ 2 ns	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤ 2 ns	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤ 2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤ 2.5 ns	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



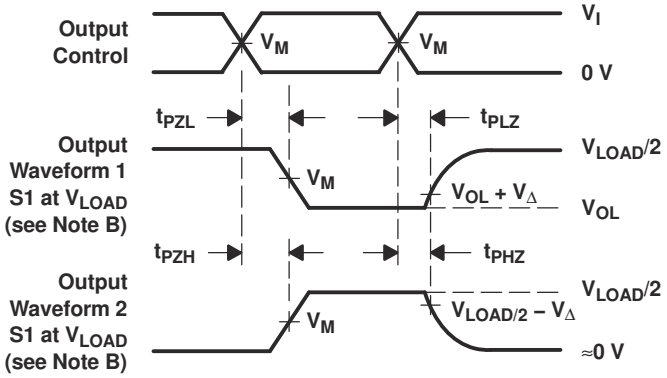
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. Since this device has open-drain outputs, t_{PLZ} and t_{PZL} are the same as t_{pd}.
F. t_{PZL} is measured at V_M.
G. t_{PLZ} is measured at $V_{OL} + V_\Delta$.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形 (オープン ドレイン)

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

SN74LVC1G06 デバイスには、32mA の最大シンク電流を持つ 1 つのオープン ドレイン インバータが搭載されています。このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路は、デバイスの電源がオフになったとき、出力をディセーブルにします。これによってデバイスへの電流の逆流を阻止し、デバイスを損傷から保護します。

6.2 機能ブロック図

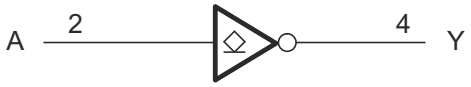


図 6-1. 論理図 (正論理)

6.3 機能説明

6.3.1 CMOS オープン ドレイン出力

オープン ドレイン出力により、デバイスは GND への電流をシンクできますが、V_{CC} からの電流をソースしません。出力がラインをアクティブに low にプルしないと、高インピーダンス状態 (tri-state) になります。これにより、出力電圧は外付けプルアップによって決定できるため、昇圧変換や降圧変換など広範なアプリケーションに使用できます。

このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮してください。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による熱暴走と損傷を防止するため、デバイスの電力出力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

6.3.2 標準 CMOS 入力

標準的な CMOS 入力のインピーダンスは high です。通常、CMOS 入力は、*「電気的特性」*に示されているように、入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

過剰な消費電流と発振を避けるため、入力に印加する信号は、「推奨動作条件」の Δt/ΔV で定義される高速なエッジ レートを持つ必要があります。 低速またはノイズの多い入力信号が必要な場合は、シュミット トリガ入力を備えたデバイスを使用して、標準 CMOS 入力の前に入力信号をコンディショニングする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 負のクランプ ダイオード

このデバイスの入力と出力には、図 6-2 に示すように負のクランプ ダイオードがあります。

注意

*「絶対最大定格」*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

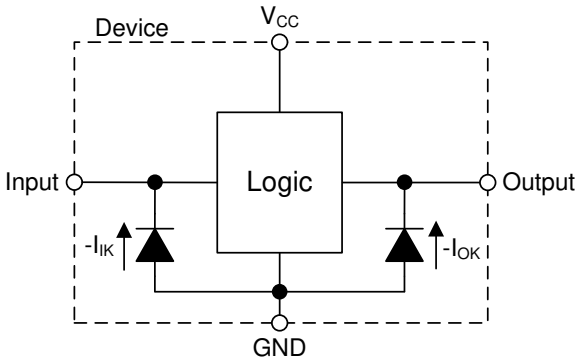


図 6-2. 各入力と出力に対するクランプ ダイオードの電気的配置

6.3.4 部分的パワー ダウン (I_{off})

電源電圧が 0V になると、各入力と出力は高インピーダンス状態になります。デバイス上の任意の入力や出力との間の最大リーケージは、「電気的特性」の I_{off} で規定されます。

6.3.5 過電圧許容入力

このデバイスへの入力信号は、入力信号が*「推奨動作条件」*に記載されている最大入力電圧値を下回っている限り、電源電圧以上で駆動できます。

6.4 デバイスの機能モード

表 6-1 に、SN74LVC1G06 の機能モードを示します。

表 6-1. 機能表

入力 A	出力 Y
L	ハイ インピーダンス
H	L

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

SN74LVC1G06 は、LED アプリケーションなどの高出力駆動バッファを実装するために使用できる高駆動能力の CMOS デバイスです。4.5V で 32mA の電流をシンクできるため、高駆動アプリケーションに適しています。100MHz までの高速アプリケーションに最適です。入力は 5.5V 耐圧であり、V_{CC} に昇圧または降圧変換できます。次のに、デバイスの 1 チャネルの簡単な LED ドライバ アプリケーションを示します。

7.2 代表的なアプリケーション

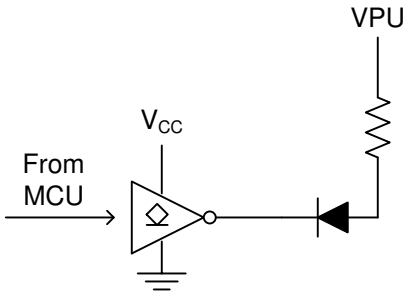


図 7-1. 代表的なアプリケーションの図

7.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

7.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様。「推奨動作条件」表の ($\Delta t/\Delta V$) を参照してください。
   - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 推奨出力条件
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、*「絶対最大定格」*表に記載されています。
   - 出力は、5.5V を超えてプルアップされないようにしてください。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

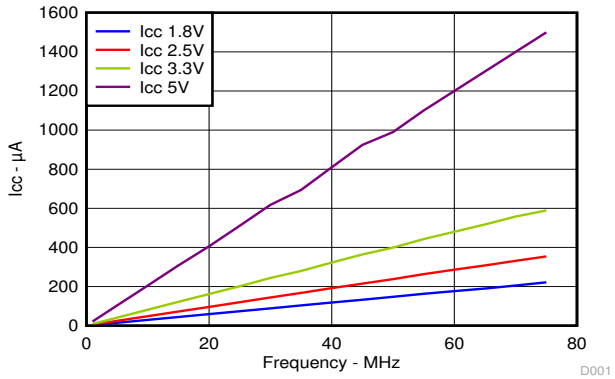


図 7-2. I_{CC} と周波数との関係

7.3 電源に関する推奨事項

電源には、「*推奨動作条件*」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。0.1µF のコンデンサが推奨され、複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るために、バイパス コンデンサは電源ピンのできるだけ近くに取り付けます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

データ レートが低いデジタル信号であっても、高速エッジレートが原因で、高周波信号成分を含めることができます。プリント回路基板 (PCB) パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 7-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

図 7-4 に、DPW (X2SON-5) パッケージのレイアウト例を示します。このサンプル レイアウトには 0402 (メトリック) コンデンサが含まれており、このデータ シートの最後に添付されているサンプル ボード レイアウトにある測定値を使用します。直径 0.1mm (3.973mil) のビアが本デバイスの中央に直接配置されています。別の基板層を経由してセンター ピン接続を引き出すためにこのビアを使うことも、これをレイアウトから除外することもできます。

7.4.2 レイアウト例

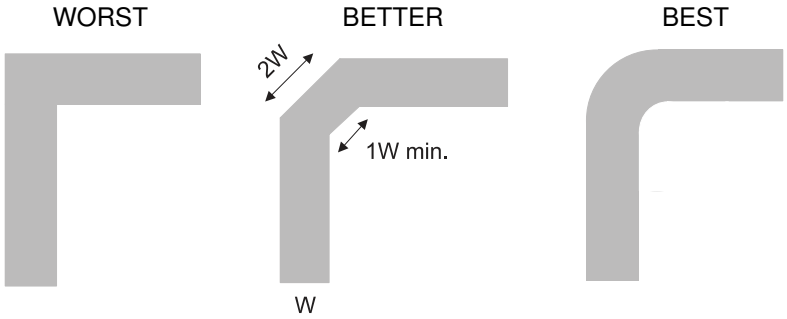


図 7-3. パターン例

Copyright © 2025 Texas Instruments Incorporated

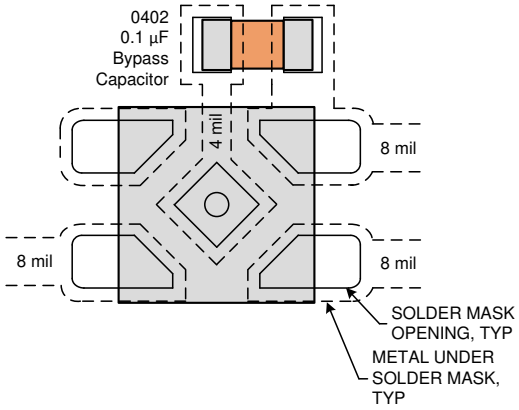


図 7-4. DPW (X2SON-5) パッケージのレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

NanoFree™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision AA (June 2025) to Revision AB (October 2025)	Page
• DCK パッケージの接合部と周囲の間の熱抵抗値を次のように変更：276.1℃/W >>371.10C/W	5
• DCK パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：178.9℃/W >>297.5℃/W	5
• DCK パッケージの接合部と基板の間の熱抵抗値を次のように変更：70.9℃/W >>258.2℃/W	5
• DCK パッケージの接合部と上面の間の特性値を次のように変更：47℃/W >>195.6℃/W	5
• DCK パッケージの接合部と基板の間の特性値を次のように変更：69.3℃/W >>256.2℃/W	5

Changes from Revision Z (November 2017) to Revision AA (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「*製品情報*」の表を「*パッケージ情報*」に変更	1
• DBV パッケージの接合部と周囲の間の熱抵抗値を次のように変更：231.5℃/W >>357.1℃/W	5
• DBV パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：139.4℃/W >>263.7℃/W	5
• DBV パッケージの接合部と基板の間の熱抵抗値を次のように変更：71.1℃/W >>264.4℃/W	5
• DBV パッケージの接合部と上面の間の特性値を次のように変更：45.2℃/W >>195.6℃/W	5
• DBV パッケージの接合部と基板の間の特性値を次のように変更：70.7℃/W >>262.2℃/W	5

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision Y (February 2017) to Revision Z (November 2017)	Page

- JEDEC 規格に合わせて「熱に関する情報」表の値を変更 5
- 「機能説明」を更新して、特定のデバイス機能に関する詳細な情報を追加。 9
- DPW のレイアウト例を追加 12

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G06DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(3VSF, C065, C06F, C06J, C06R, C 06T) (C06H, C06P, C06S)
SN74LVC1G06DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(3VSF, C065, C06F, C06J, C06R, C 06T) (C06H, C06P, C06S)
SN74LVC1G06DBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(3VSF, C065, C06F, C06J, C06R, C 06T) (C06H, C06P, C06S)
SN74LVC1G06DBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C06F
SN74LVC1G06DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C06F
SN74LVC1G06DBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C06F
SN74LVC1G06DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C065, C06F, C06J, C06R) (C06H, C06P, C06S)
SN74LVC1G06DBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C065, C06F, C06J, C06R) (C06H, C06P, C06S)
SN74LVC1G06DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C06F
SN74LVC1G06DBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C06F
SN74LVC1G06DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTJ, CT K, CTR, CTT) (CTH, CTS)
SN74LVC1G06DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTJ, CT K, CTR, CTT) (CTH, CTS)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G06DCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTJ, CTK, CTR, CTT) (CTH, CTS)
SN74LVC1G06DCKRE4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKRE4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKRG4	Active	Production	SC70 (DCK) | 5	3000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT5
SN74LVC1G06DCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT5
SN74LVC1G06DCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTJ, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTJ, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKTE4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKTE4.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKTG4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DCKTG4.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CT5, CTF, CTK, CTR) (CTH, CTS)
SN74LVC1G06DPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CO
SN74LVC1G06DPWR.B	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CO
SN74LVC1G06DRLR	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CT7, CTR)
SN74LVC1G06DRLR.B	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CT7, CTR)
SN74LVC1G06DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G06DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT
SN74LVC1G06YZPR	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	CTN
SN74LVC1G06YZPR.B	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	CTN
SN74LVC1G06YZVR	Active	Production	DSBGA (YZV) | 4	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	CT N
SN74LVC1G06YZVR.B	Active	Production	DSBGA (YZV) | 4	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	CT N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G06 :

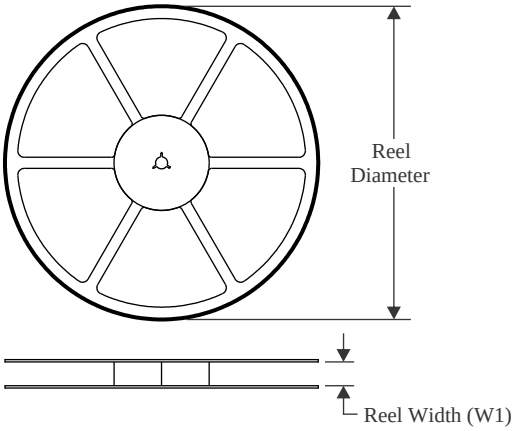
- Automotive : SN74LVC1G06-Q1
- Enhanced Product : SN74LVC1G06-EP

NOTE: Qualified Version Definitions:

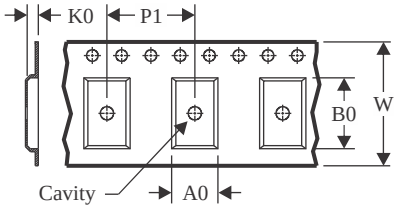
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

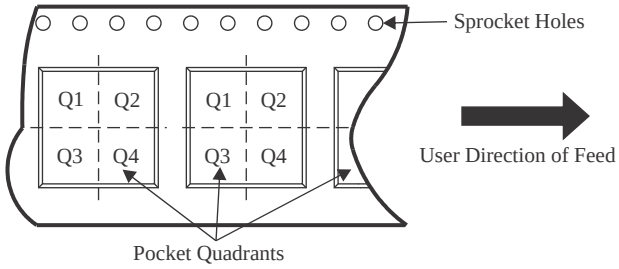


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

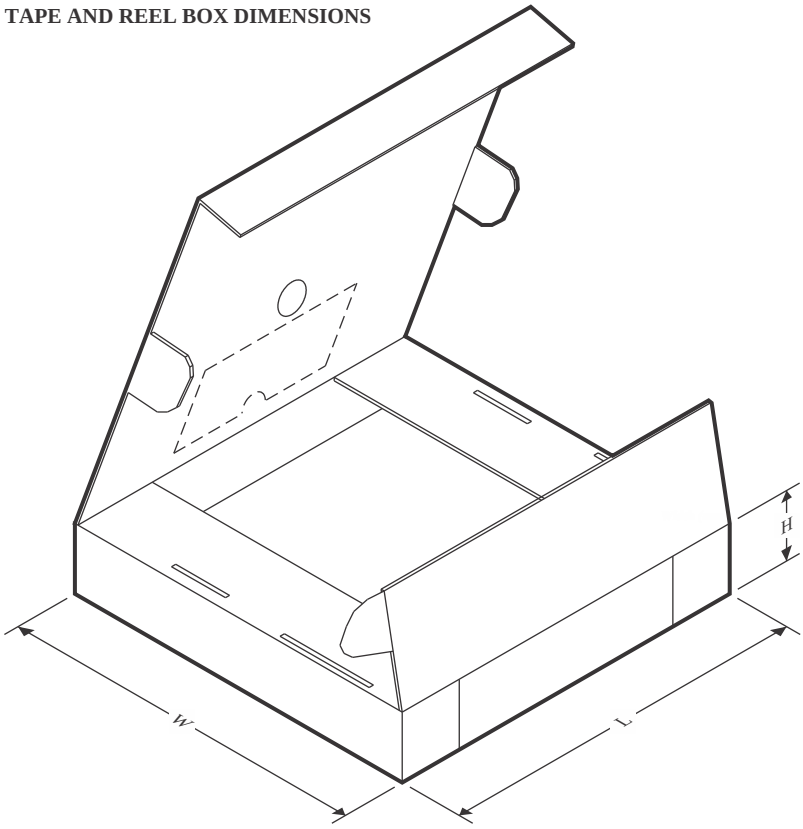


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G06DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G06DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G06DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G06DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
SN74LVC1G06DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G06DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G06DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKT	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G06DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G06DCKTE4	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G06DCKTE4	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G06DCKTE4	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DCKTG4	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G06DCKTG4	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G06DCKTG4	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G06DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
SN74LVC1G06DRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
SN74LVC1G06DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G06DRYR	SON	DRY	6	5000	180.0	8.4	1.25	1.6	0.7	4.0	8.0	Q1
SN74LVC1G06DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G06DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q2
SN74LVC1G06DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G06DSFRG4	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G06YZPR	DSBGA	YZP	5	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1
SN74LVC1G06YZVR	DSBGA	YZV	4	3000	178.0	9.2	1.0	1.0	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G06DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G06DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G06DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G06DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G06DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G06DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
SN74LVC1G06DCKR	SC70	DCK	5	3000	180.0	180.0	18.0

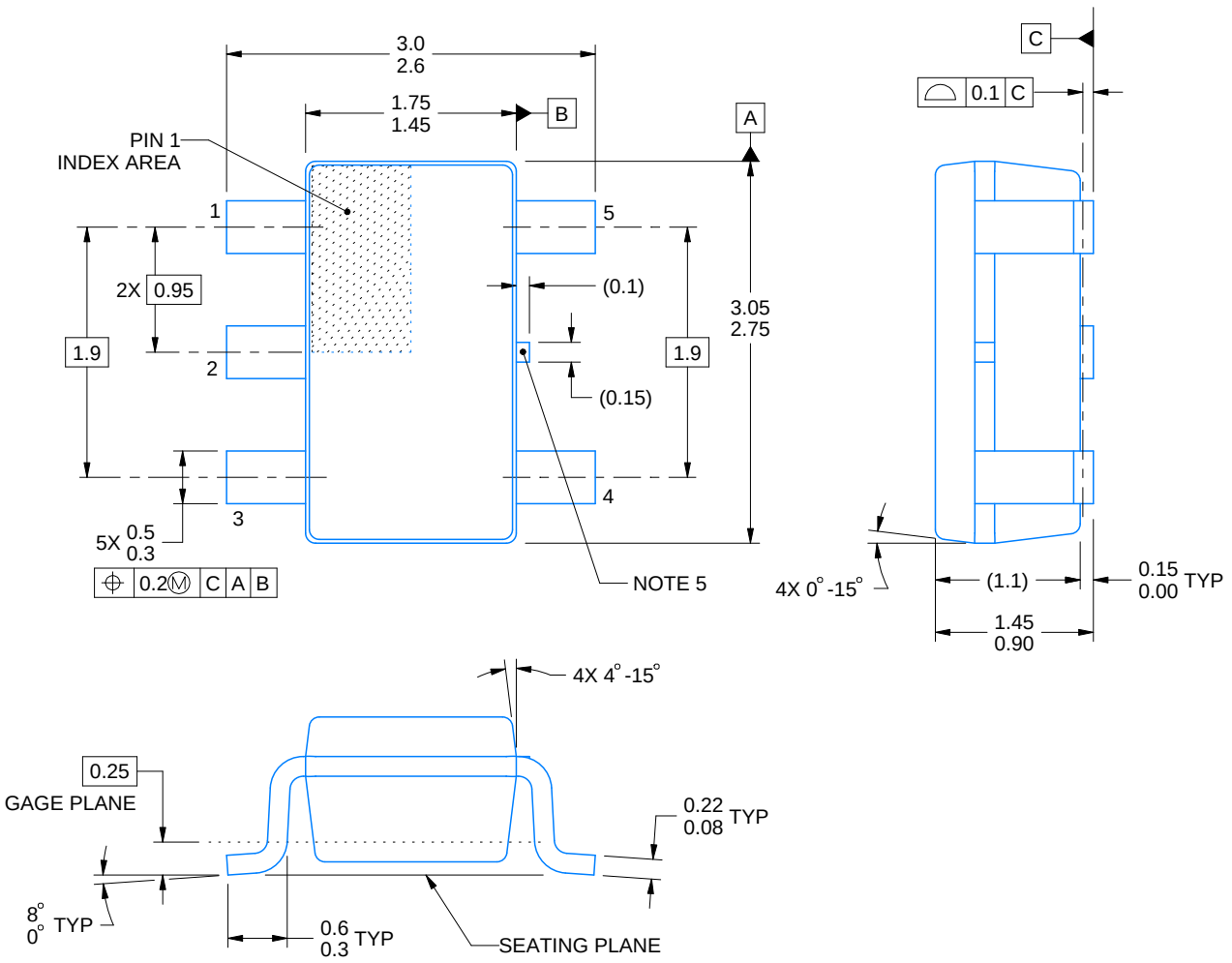
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G06DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G06DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LVC1G06DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G06DCKRE4	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G06DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G06DCKTE4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKTE4	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G06DCKTE4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKTG4	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G06DCKTG4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DCKTG4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G06DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
SN74LVC1G06DRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
SN74LVC1G06DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G06DRYR	SON	DRY	6	5000	202.0	201.0	28.0
SN74LVC1G06DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G06DSFR	SON	DSF	6	5000	202.0	201.0	28.0
SN74LVC1G06DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G06DSFRG4	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G06YZPR	DSBGA	YZP	5	3000	220.0	220.0	35.0
SN74LVC1G06YZVR	DSBGA	YZV	4	3000	220.0	220.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

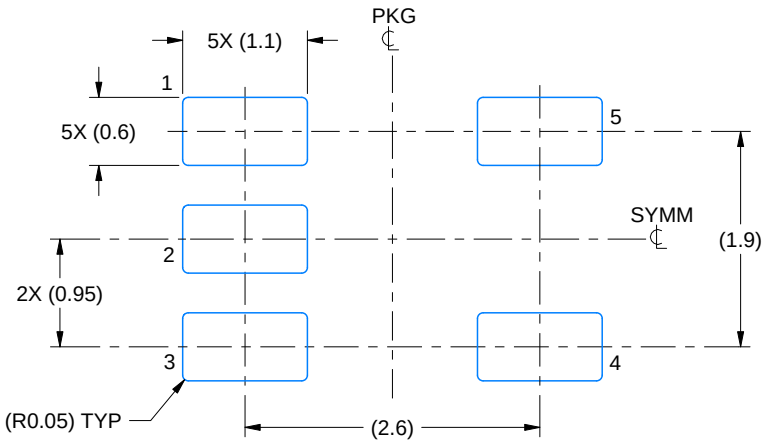
SMALL OUTLINE TRANSISTOR



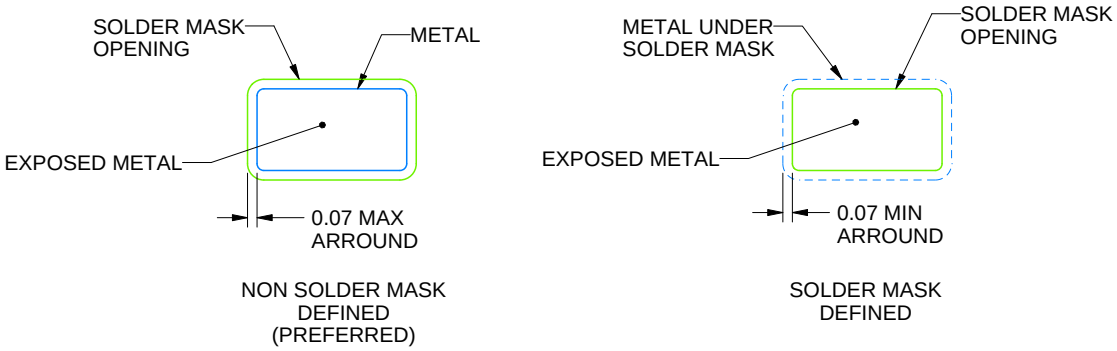
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

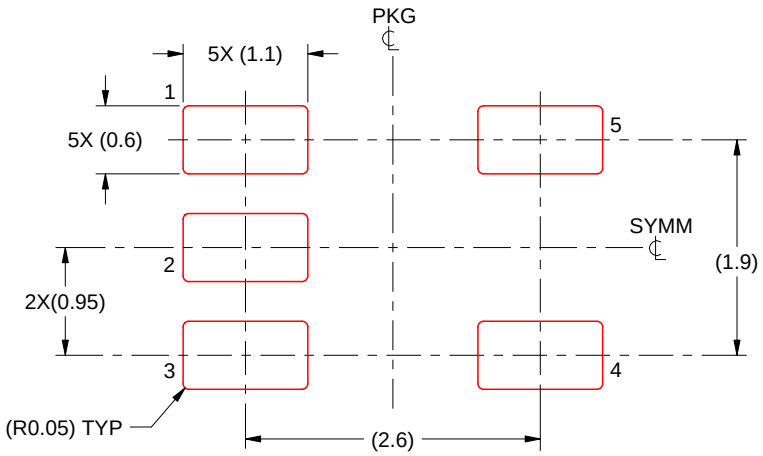


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

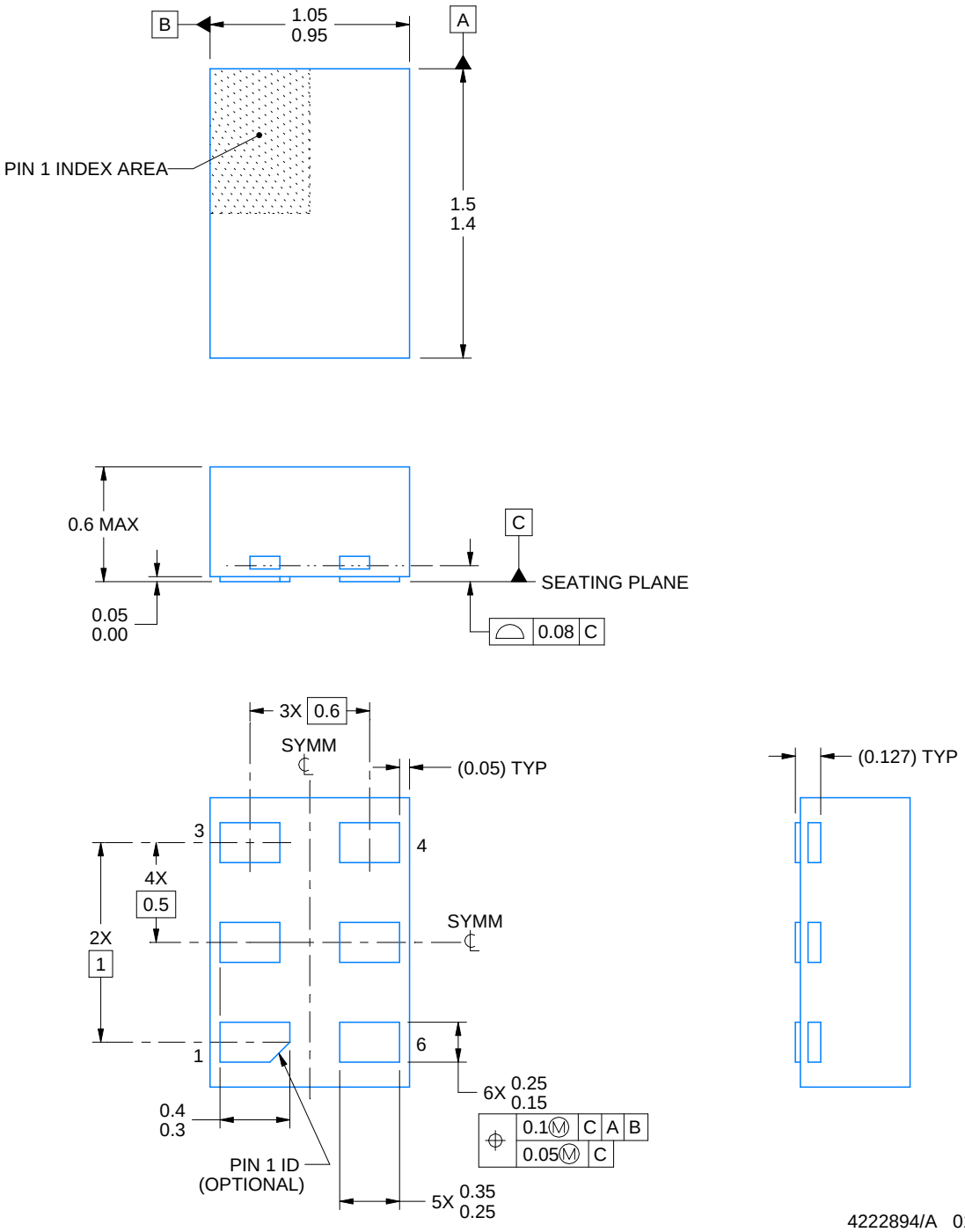
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DRY0006A

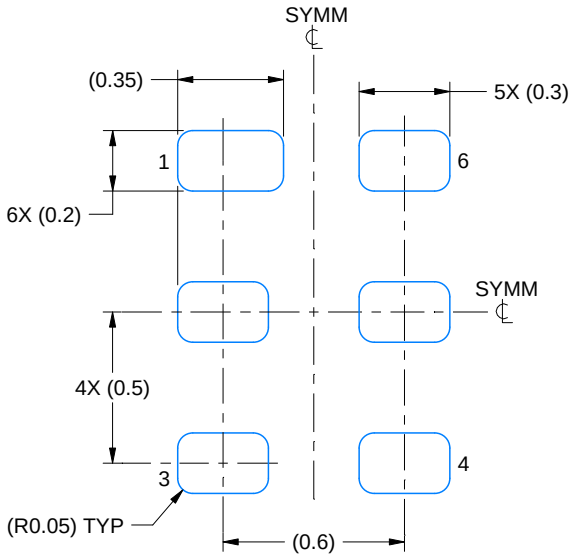
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

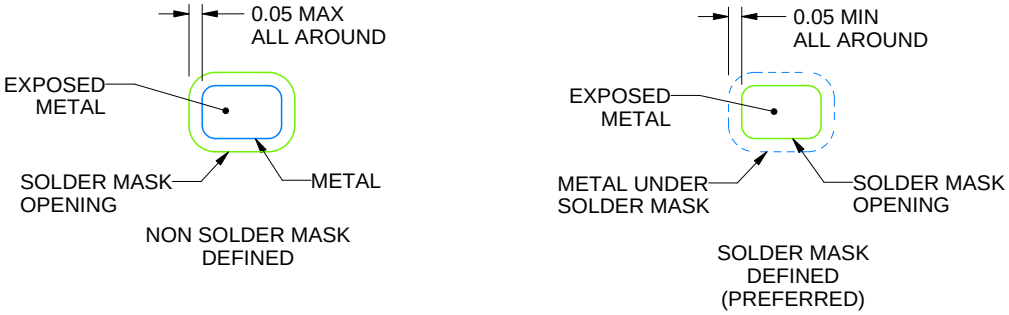


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

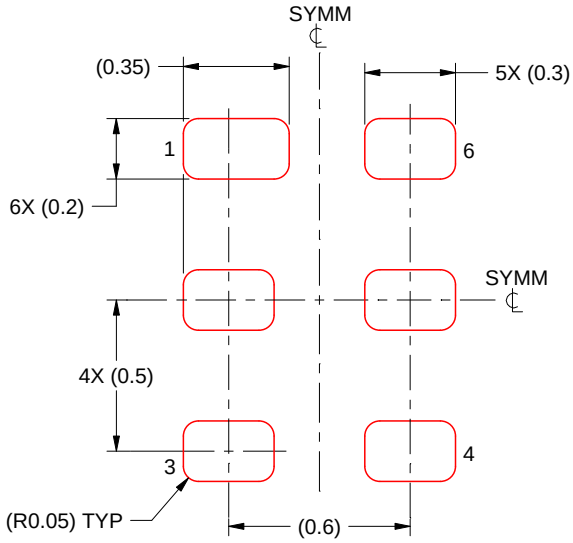
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

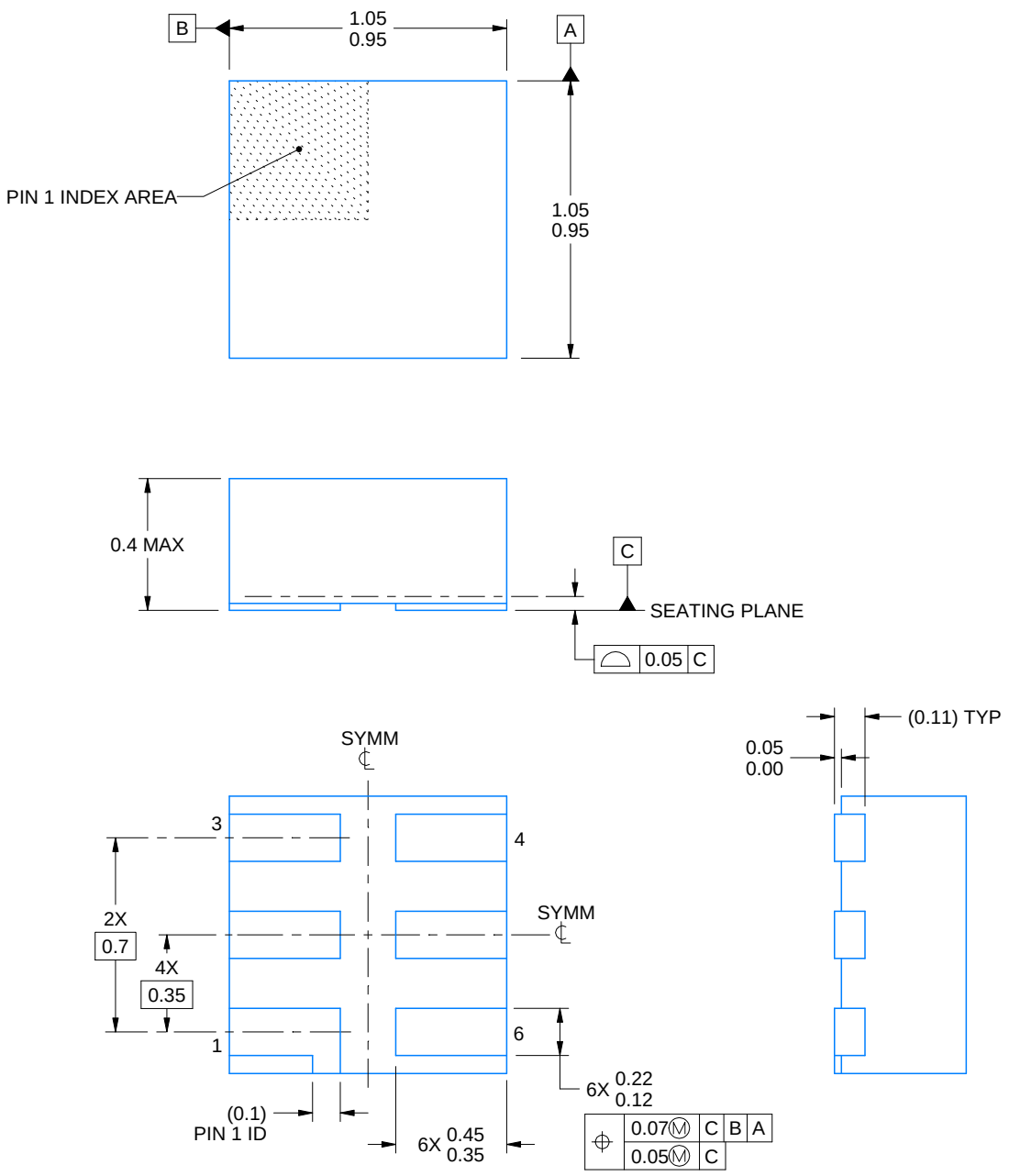
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

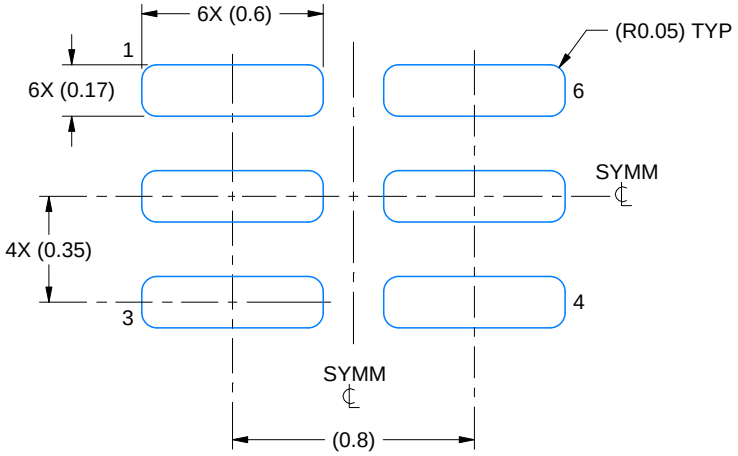
PLASTIC SMALL OUTLINE - NO LEAD



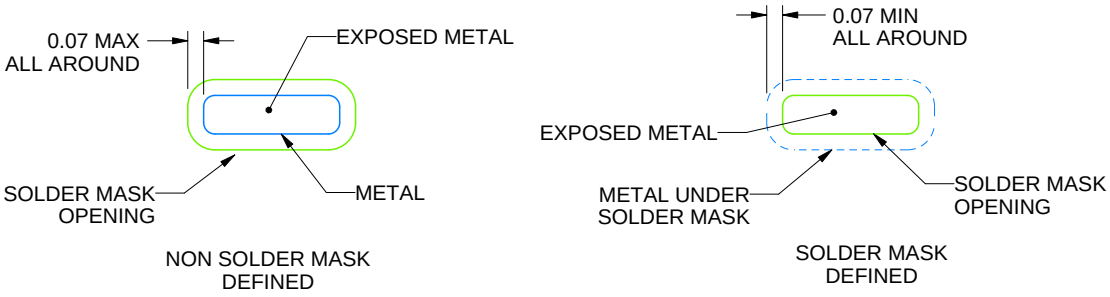
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

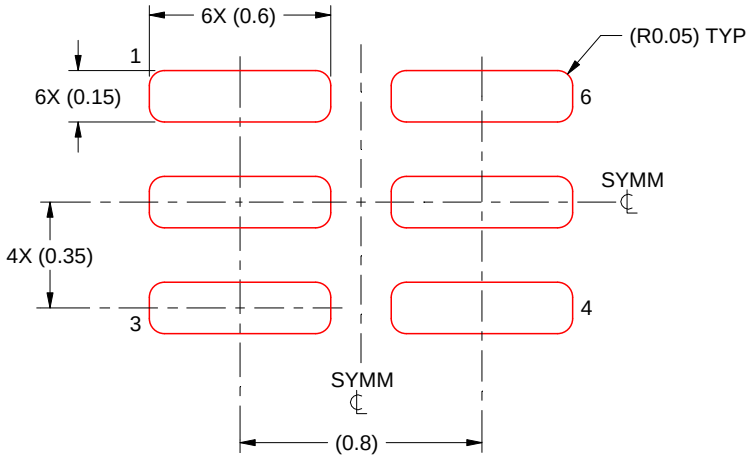
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

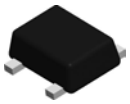


SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

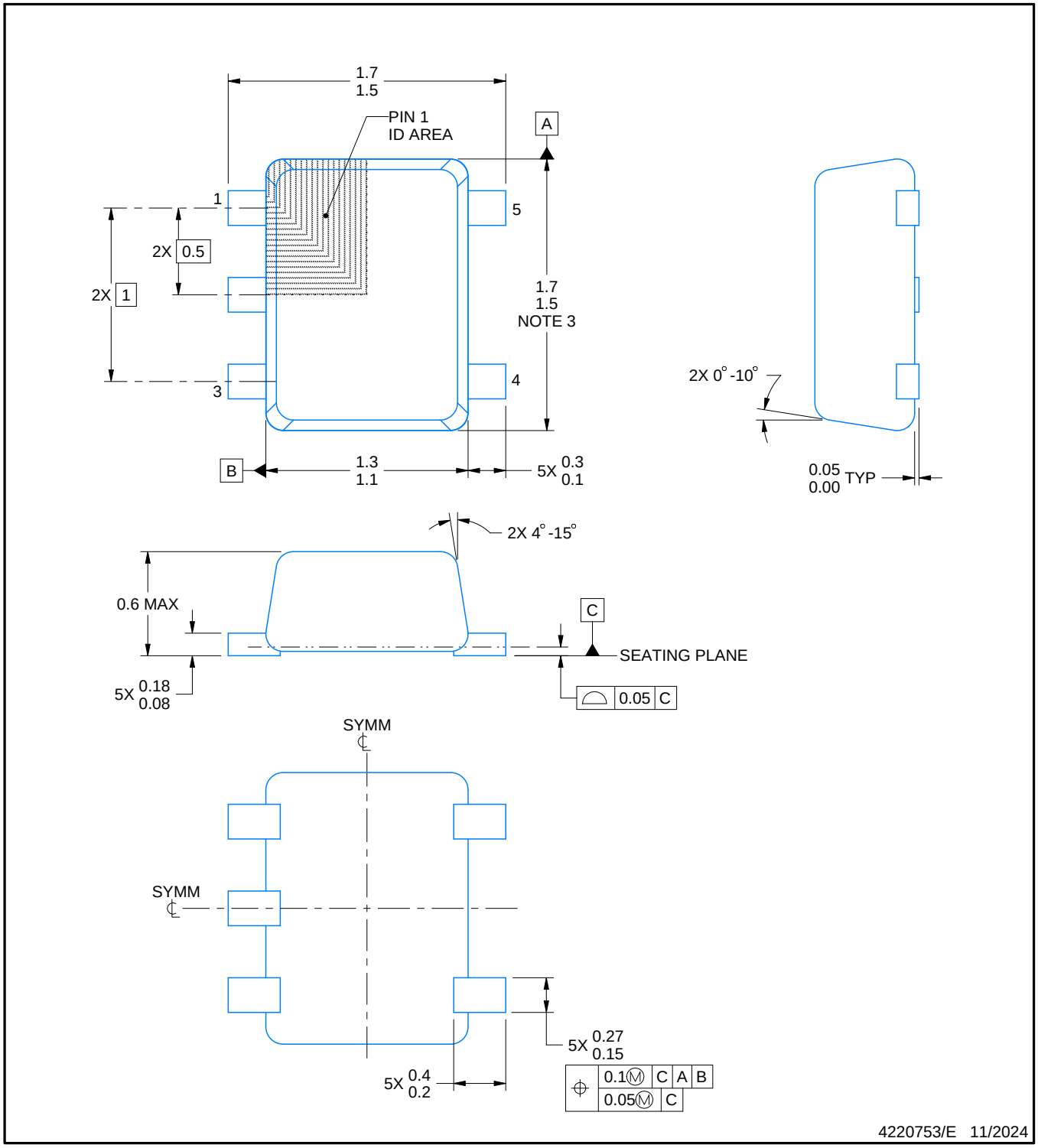


PACKAGE OUTLINE

DRL0005A

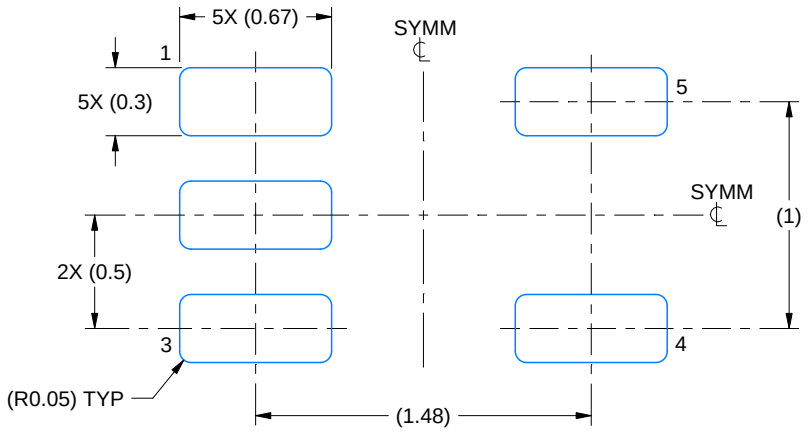
SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE

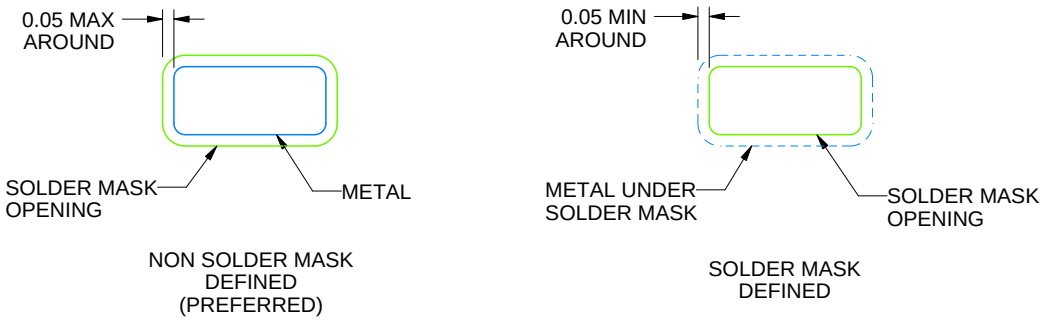


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1



LAND PATTERN EXAMPLE
SCALE:30X

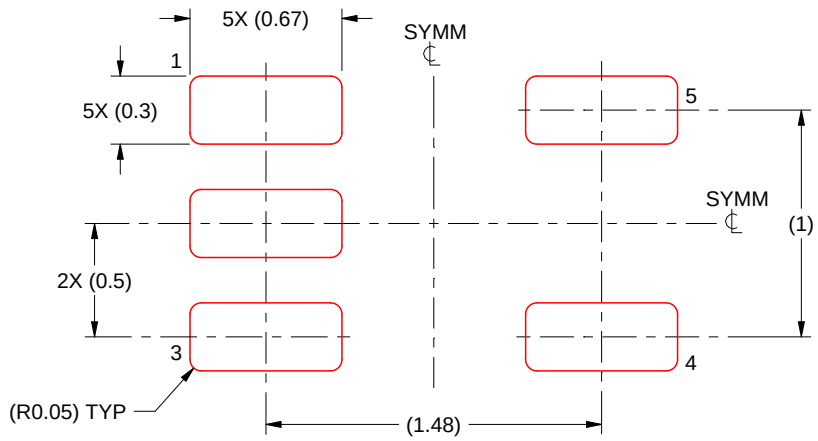


SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

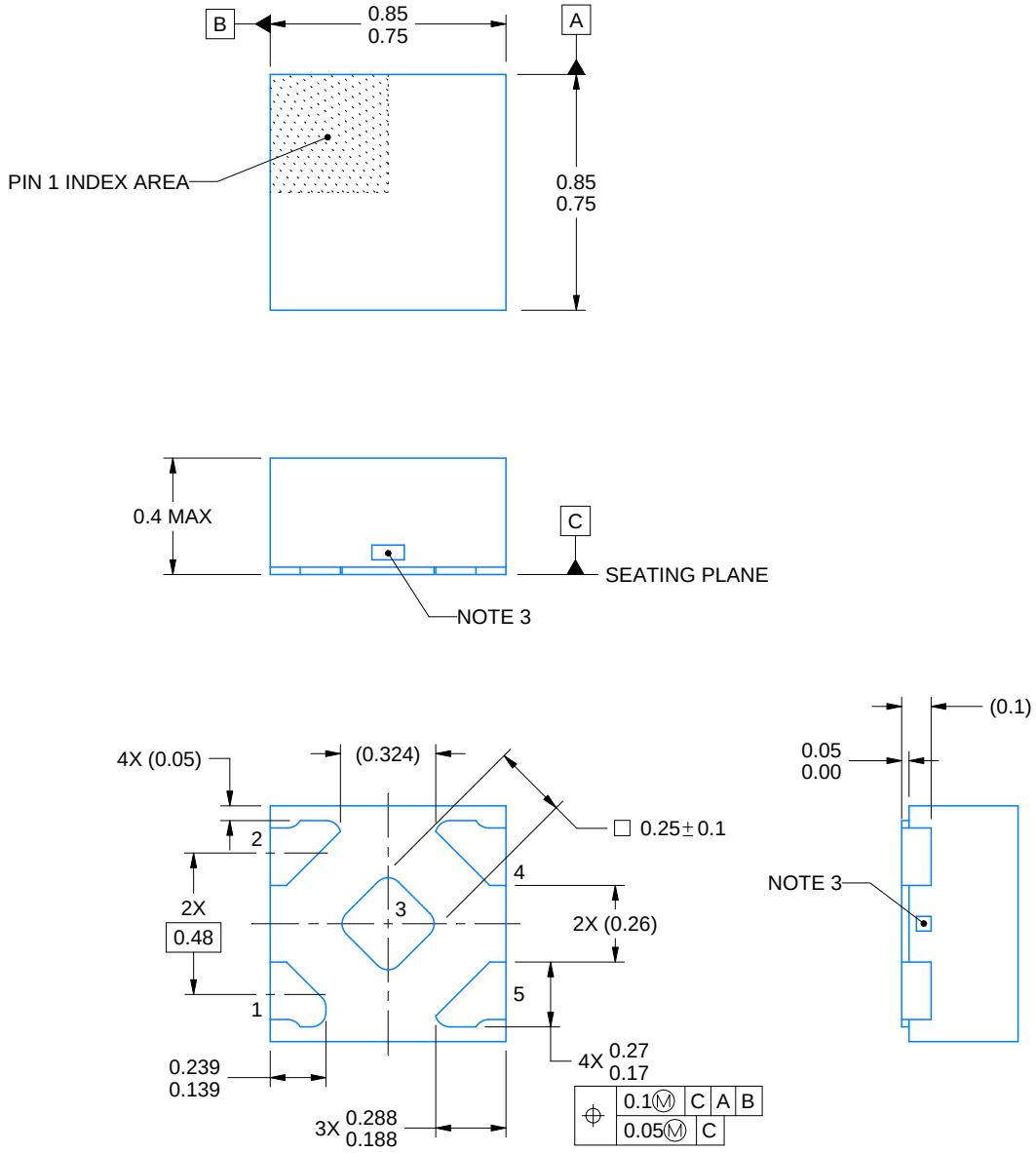
4211218-3/D

PACKAGE OUTLINE

DPW0005A

X2SON - 0.4 mm max height

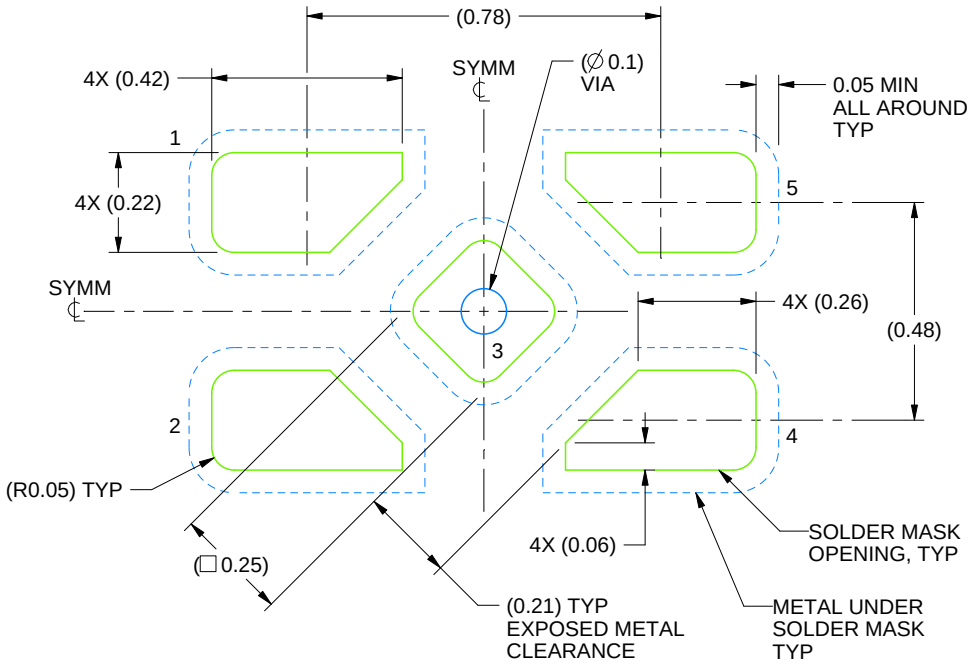
PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

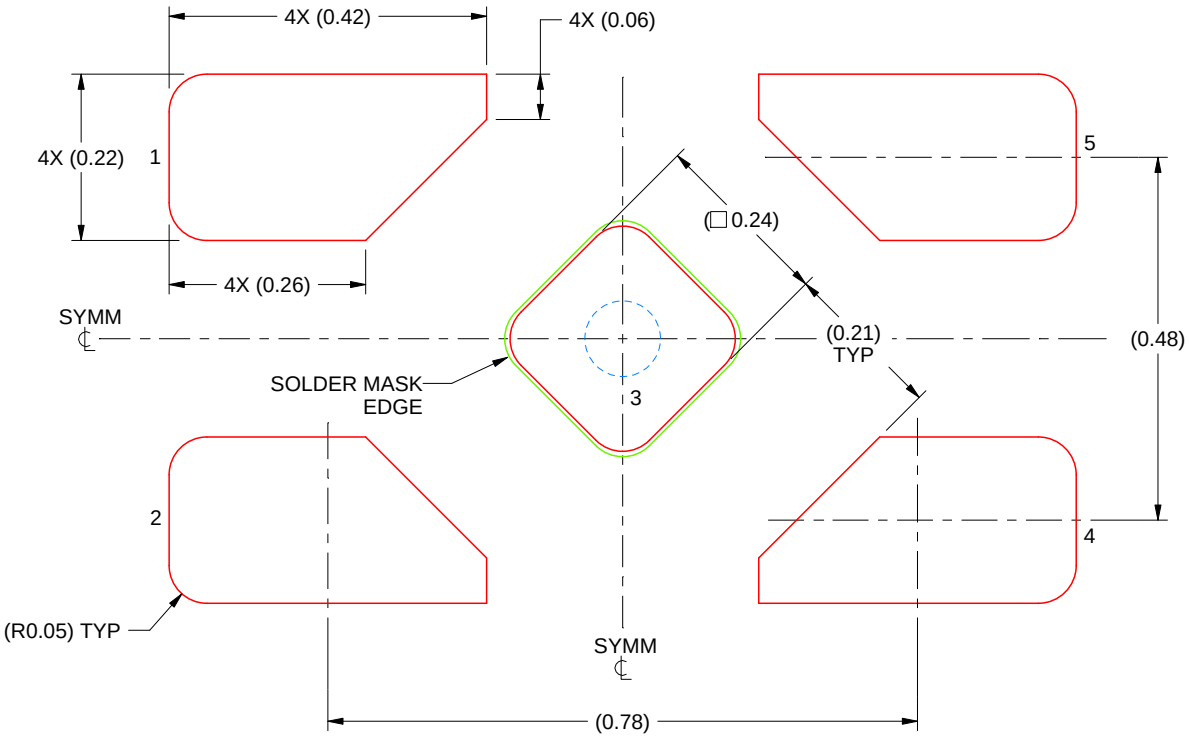
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

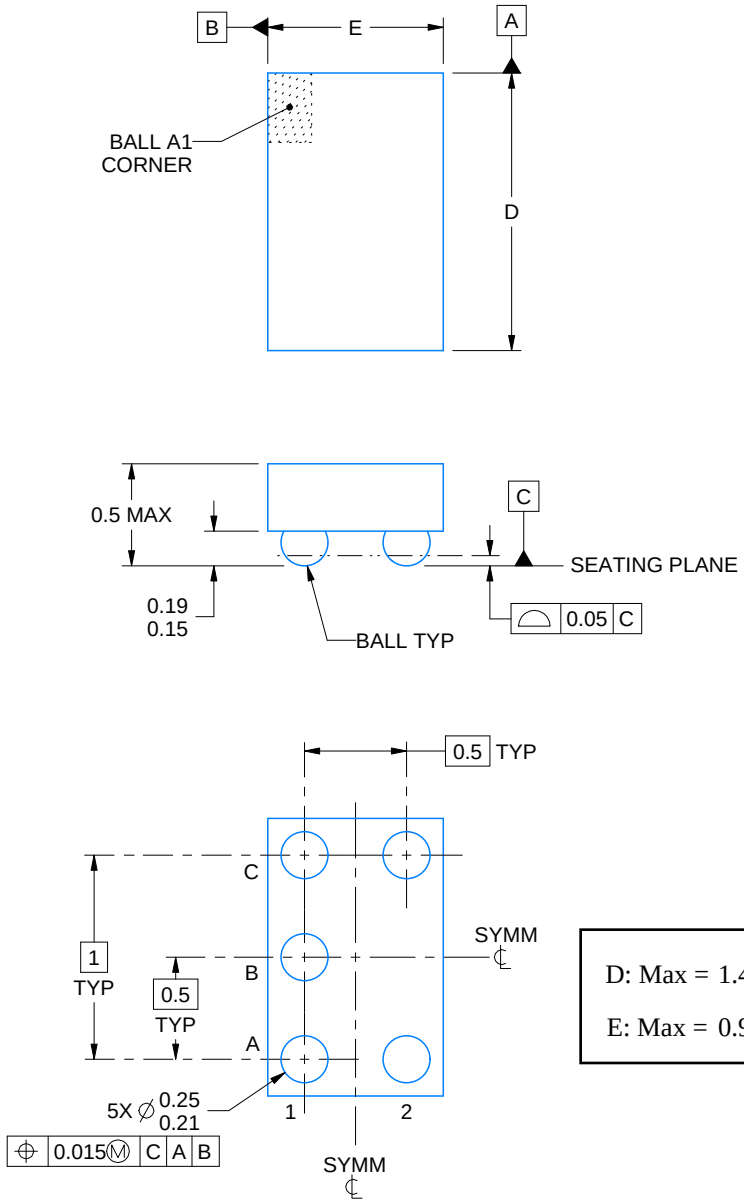
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



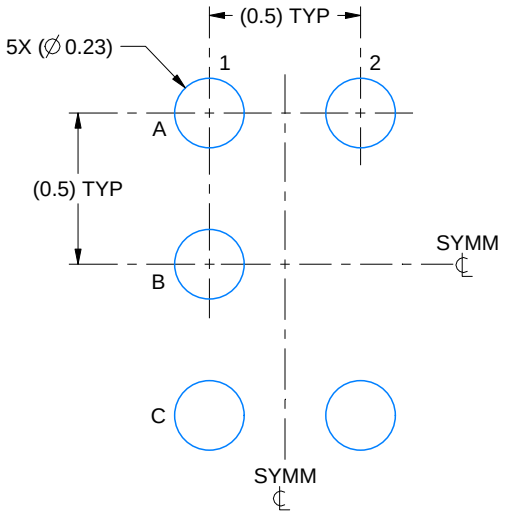
D: Max = 1.418 mm, Min =1.358 mm

E: Max = 0.918 mm, Min =0.858 mm

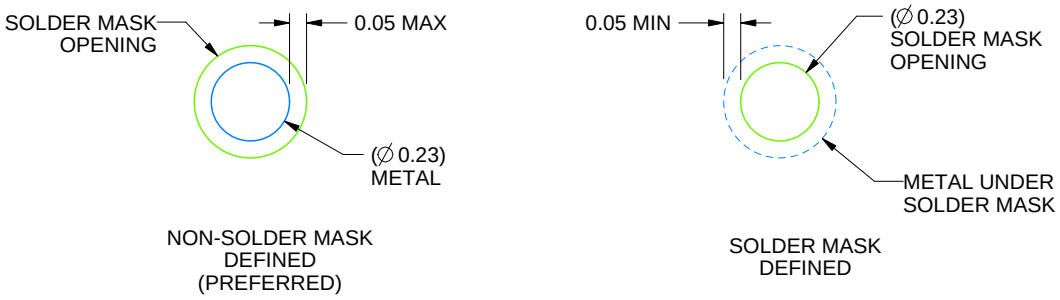
4219492/A 05/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

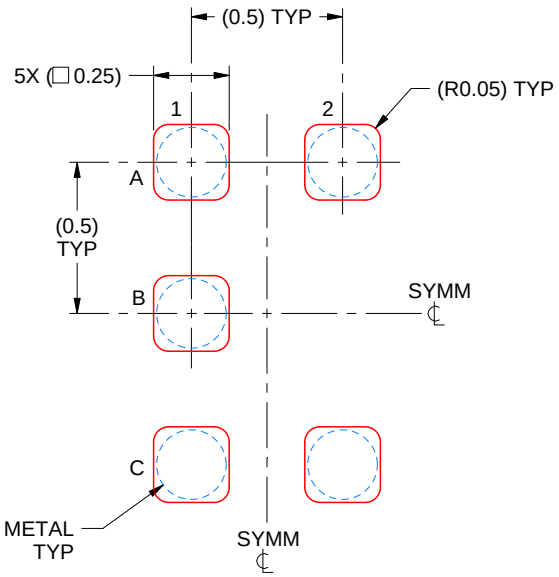


SOLDER MASK DETAILS
NOT TO SCALE

4219492/A 05/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



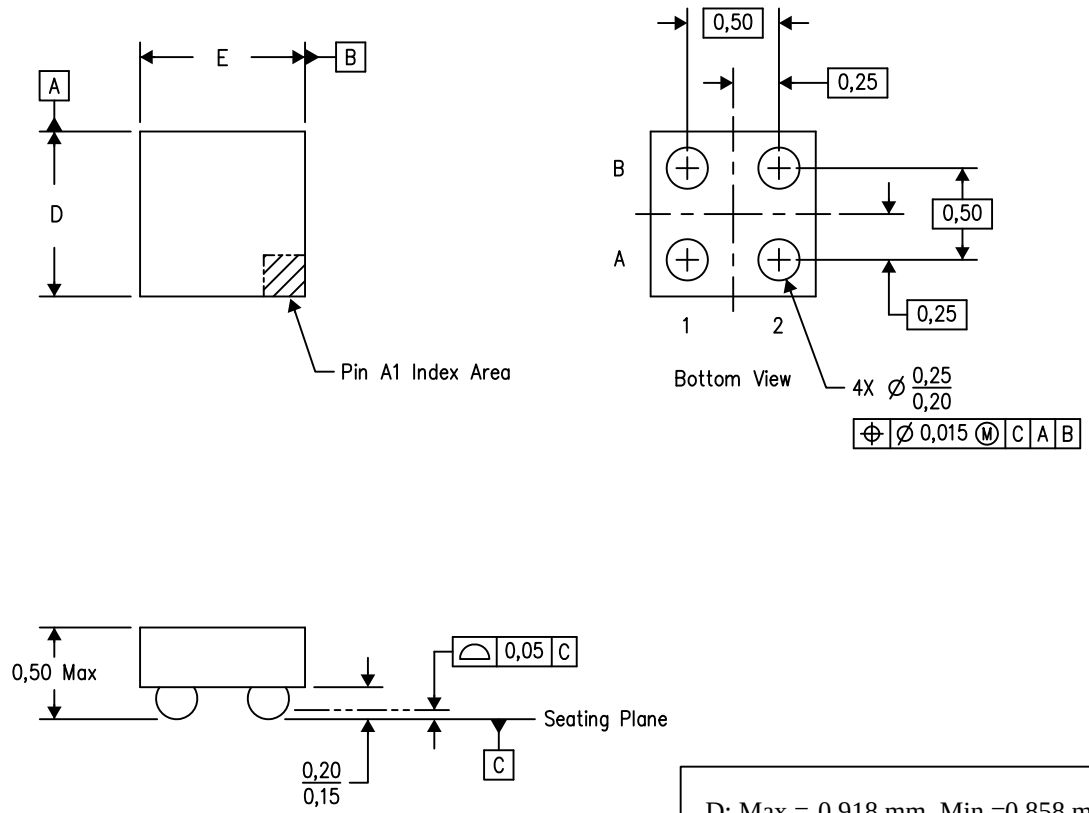
SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219492/A 05/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

YZV (S–XBGA–N4) DIE–SIZE BALL GRID ARRAY



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. NanoFree™ package configuration.

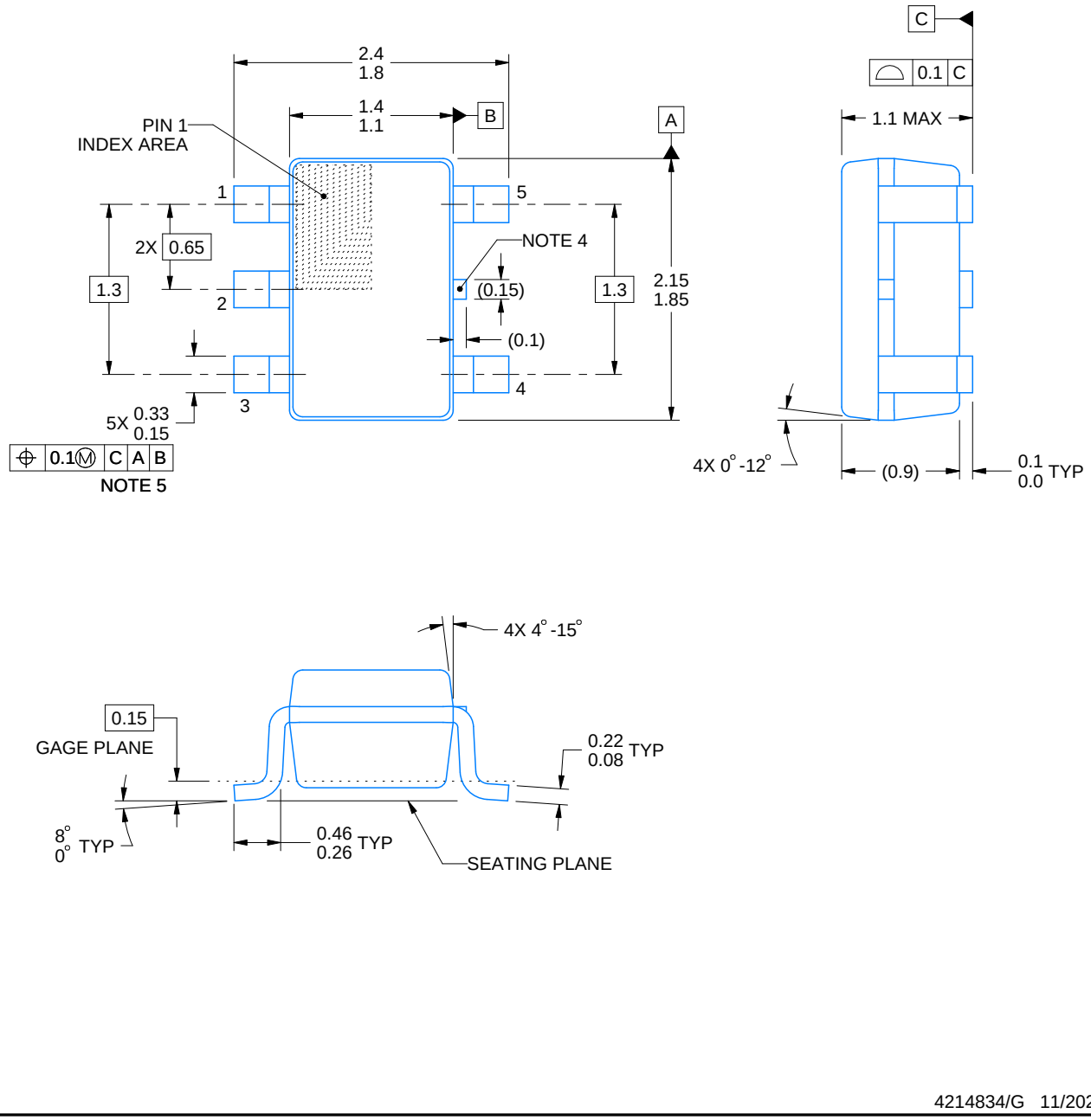
NanoFree is a trademark of Texas Instruments.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

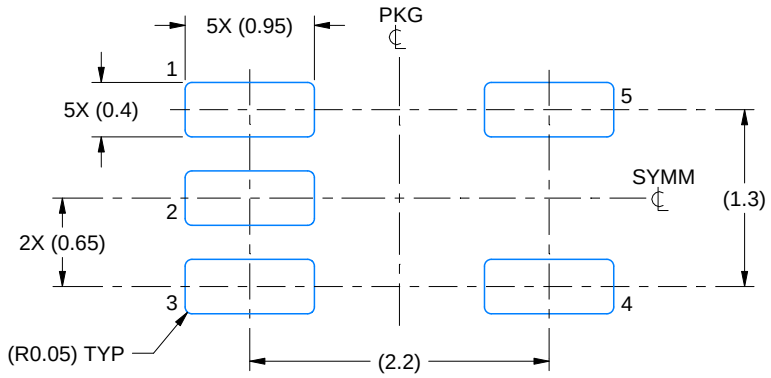
SMALL OUTLINE TRANSISTOR



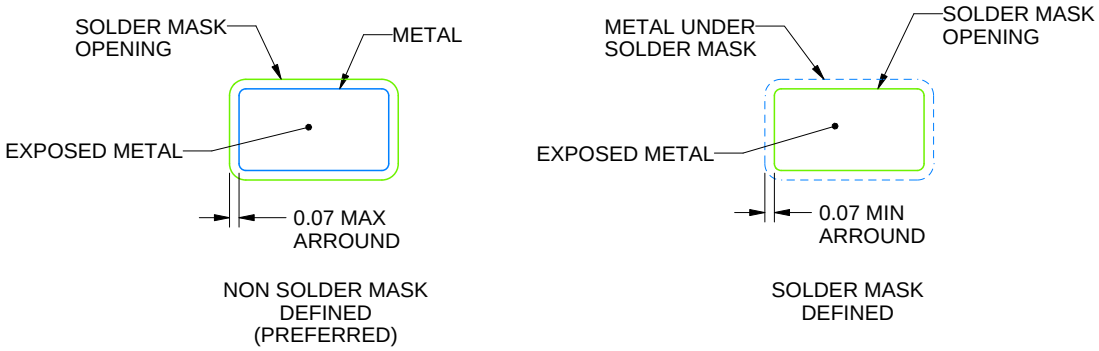
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

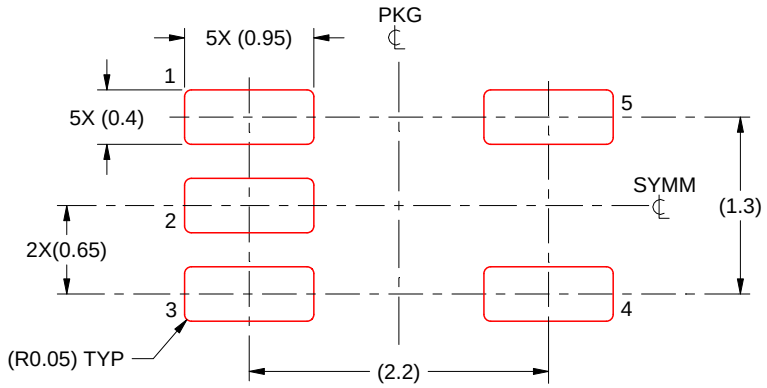


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月