SN74LVC1G08 シングル 2 入力、正論理 AND ゲート

1 特長

- 0.64mm^2、0.5mm ピッチの超小型パッケージ (DPW) で供給
- 5V V_{CC} 動作をサポート
- 5.5V までの入力電圧に対応
- V_{CC} への降圧変換をサポート
- 3.6ns の最大 t_{pd} (3.3V 時)
- 低い消費電力、最大 I_{CC}:10µA
- 3.3V で ±24mA の出力駆動能力
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- ATCA ソリューション
- アクティブ ノイズ キャンセレーション (ANC)
- バーコード スキャナ
- 血圧計
- CPAP 機器
- ケーブル ソリューション
- DLP 3D マシン ビジョン、ハイパースペクトル画像処理、光ネットワーク、分光法
- e-Book (PDF)
- 内蔵 PC
- フィールド トランスミッタ:温度または圧力センサ
- 指紋認証
- HVAC:暖房、換気、空調
- ネットワーク接続ストレージ (NAS)
- サーバーのマザーボードおよび PSU
- ソフトウェア無線 (SDR)
- テレビ:高解像度 (HDTV)、LCD、デジタル
- ビデオ コミュニケーション システム
- ワイヤレス データ アクセス カード、ヘッドセット、キーボード、マウス、LAN カード
- X 線:手荷物スキャナ、医療用、歯科用

3 説明

SN74LVC1G08 デバイスはシングル 2 入力正論理 AND ゲートです。デバイスは、ブール関数 Y = A • B つまり、Y = $\overline{A + B}$ を正論理で実行します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74LVC1G08	DPW (X2SON、5)	0.8mm × 0.8mm	0.8mm × 0.8mm
	DRY (SON、6)	1.45mm × 1mm	1.45mm × 1mm
	DSF (SON、6)	1mm × 1mm	1mm × 1mm
	DRL (SOT、5)	1.6mm × 1.6mm	1.6mm × 1.2mm
	DCK (SOT-SC70、5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23、5)	2.9mm × 2.8mm	2.9mm × 1.6mm
	YZP (DSBGA、5)	1.39mm × 0.89mm	1.39mm × 0.89mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



ロジック図

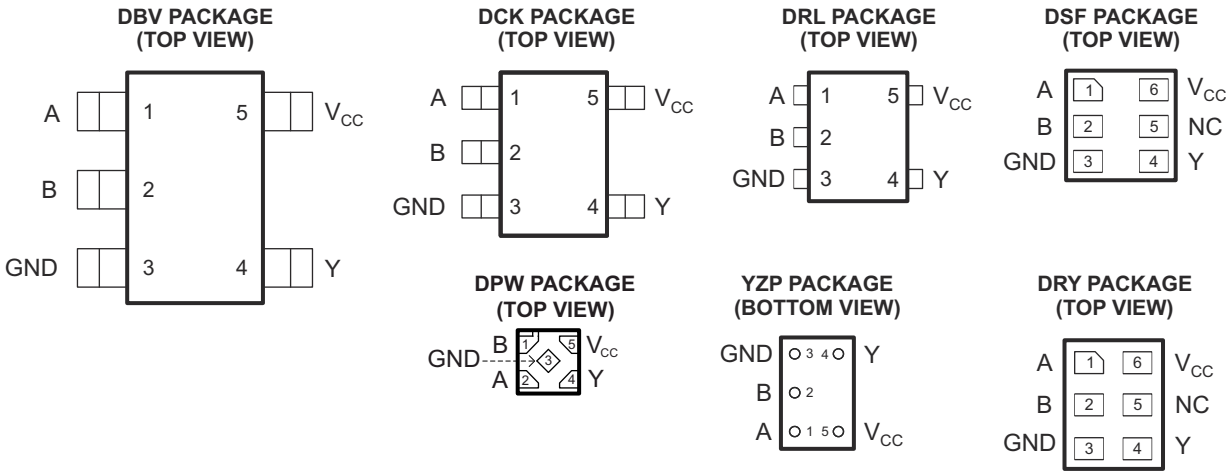
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性、C_L = 15pF.....6
5.7 スイッチング特性、1.8V および 2.5V.....6
5.8 スイッチング特性、3.3V および 5V.....7
5.9 動作特性.....7
5.10 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 アプリケーション情報.....12
8.2 代表的なアプリケーション.....12
8.3 電源に関する推奨事項.....14
8.4 レイアウト.....14
9 デバイスおよびドキュメントのサポート.....16
9.1 ドキュメントのサポート.....16
9.2 ドキュメントの更新通知を受け取る方法.....16
9.3 サポート・リソース.....16
9.4 商標.....16
9.5 静電気放電に関する注意事項.....16
9.6 用語集.....16
10 改訂履歴.....16
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



NC - 内部接続なし

寸法については、機械的な図を参照してください。

ピンの機能

ピン				説明
名称	DBV、DCK、DRL、YZP	DRY、DSF	DPW	
A	1	1	2	入力
B	2	2	1	入力
GND	3	3	3	グランド
NC		5		未接続
V_{CC}	5	6	5	パワー ピン
Y	4	4	4	出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC} (1)	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	6.5	V
V_O	High または Low 状態にある任意の出力に印加される電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_J(max)	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。推奨動作条件の範囲外でも、絶対最大定格の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

			最小値	最大値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	0	2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	0	1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3V～3.6V	2		
		V_{CC} = 4.5V～5.5V	0.7 × V_{CC}		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3V～3.6V		0.8	
		V_{CC} = 4.5V～5.5V		0.3 × V_{CC}	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-32	
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V ± 0.15V、2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		5	
T_A	自由空気での動作温度		-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23)	5	357.1	263.7	264.4	195.6	262.2	-	°C/W
DCK (SOT-SC70)	5	371	297.5	258.6	195.6	256.2	-	°C/W
DRL (SOT-5X3)	5	364.1	280.6	261.5	195.6	259.2	-	°C/W
DRY (SON)	6	438.8	276.8	271.7	83.8	271.4	–	°C/W
YZP (DSBGA)	5	130	54	51	1	50	–	°C/W
DPW (X2SON)	5	340	215	294	41	294	250	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	–40°C ～ 85°C			–40℃ ～ 125℃ 推奨			単位
				最小値	標準値 (1)	最大値	最小値	標準値	最大値	
V_{OH}		I_{OH} = –100μA	1.65V ～ 5.5V	V_{CC} – 0.1			V_{CC} – 0.15			V
		I_{OH} = -4mA	1.65V	1.2			1.2			
		I_{OH} = -8mA	2.3V	1.9			1.9			
		I_{OH} = -16mA	3V	2.4			2.4			
		I_{OH} = -24mA		2.3			2.3			
		I_{OH} = -32mA	4.5V	3.8			3.8			
V_{OL}		I_{OL} = 100μA	1.65V ～ 5.5V			0.1			0.1	V
		I_{OL} = 4mA	1.65V			0.45			0.45	
		I_{OL} = 8mA	2.3V			0.3			0.3	
		I_{OL} = 16mA	3V			0.4			0.4	
		I_{OL} = 24mA				0.55			0.55	
		I_{OL} = 32mA	4.5V			0.55			0.55	
I_I	A または B 入力	V_I = 5.5V または GND	0～5.5V			±5			±5	μA
I_{off}		V_I または V_O = 5.5V	0			±10			±10	μA
I_{CC}		V_I = 5.5V または GND、 I_O = 0	1.65V ～ 5.5V			10			10	μA
ΔI_{CC}		1 つの入力は V_{CC} - 0.6 V、その他の入力は $V_{C\,C}$ または GND	3V ～ 5.5V			500			500	μA
C_i		V_I = V_{CC} または GND	3.3V		4			4		pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25℃における値です。

5.6 スイッチング特性、C_L = 15pF

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	–40℃ ～ 85℃								単位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	1.5	7.2	0.7	4.4	0.8	3.6	0.8	3.4	ns

5.7 スイッチング特性、1.8V および 2.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-2 を参照)

パラメータ	始点 (入力)	終点 (出力)	–40℃ ～ 85℃		–40℃ ～ 125℃ 推奨		–40℃ ～ 85℃		–40℃ ～ 125℃ 推奨		単位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.5V ± 0.2V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	2.4	8	2.4	10	1.1	5.5	1.1	7	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性、3.3V および 5V

自由気流での推奨動作温度範囲内、C_L = 30pF または 50pF (特に記述のない限り) (図 6-2 を参照)

パラメータ	始点 (入力)	終点 (出力)	–40℃ ～ 85℃		–40℃ ～ 125℃ 推奨		–40℃ ～ 85℃		–40℃ ～ 125℃ 推奨		単位
			V_{CC} = 3.3V ± 0.3V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		V_{CC} = 5V ± 0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A または B	Y	1	4.5	1	6	1	4	1	5	ns

5.9 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC} = 1.8V	V_{CC} = 2.5V	V_{CC} = 3.3V	V_{CC} = 5V	単位
			標準値	標準値	標準値	標準値	
C_{pd}	電力散逸容量	f = 10MHz	21	24	26	31	pF

5.10 代表的特性

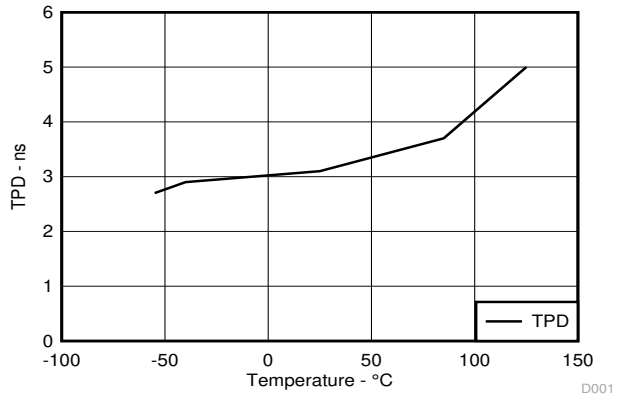


図 5-1. 3.3V V での温度範囲における昇温脱離法

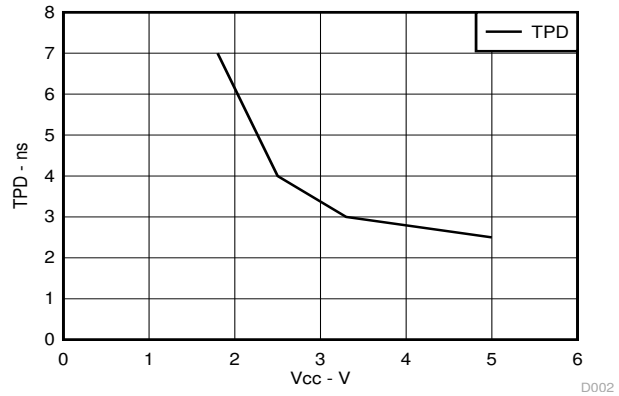
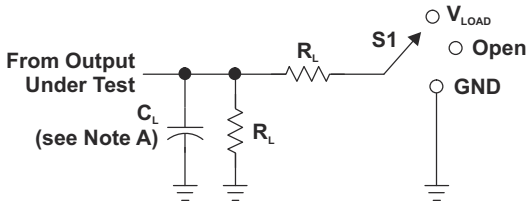


図 5-2. 25℃ での Vcc における昇温脱離

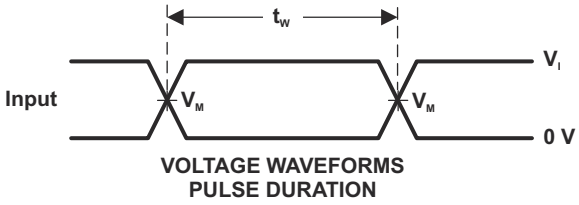
6 パラメータ測定情報



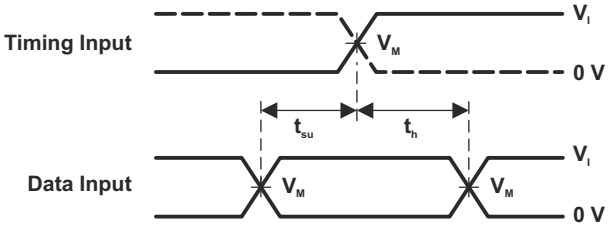
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

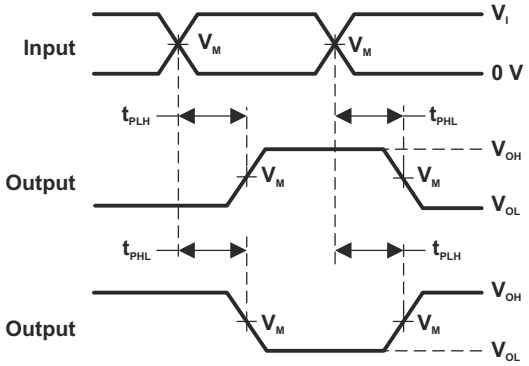
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	15 pF	1 MΩ	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.3 V



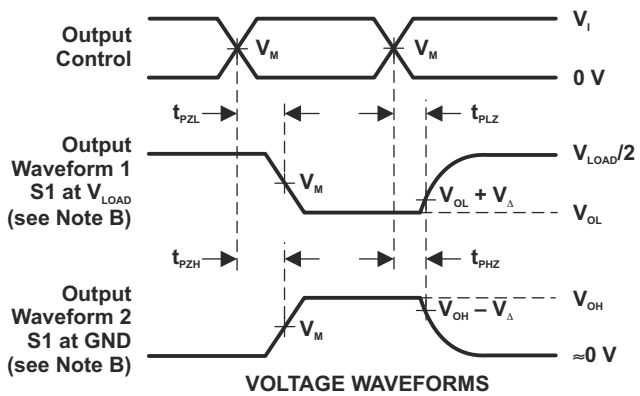
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

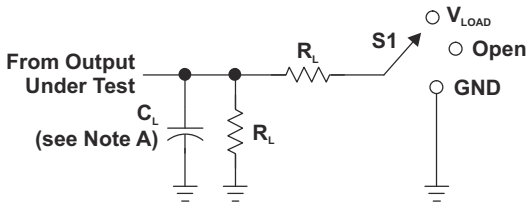


VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

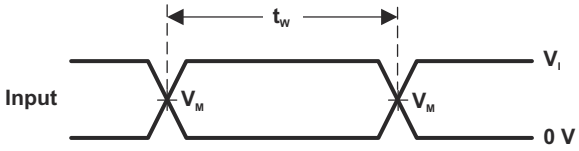
Copyright © 2026 Texas Instruments Incorporated



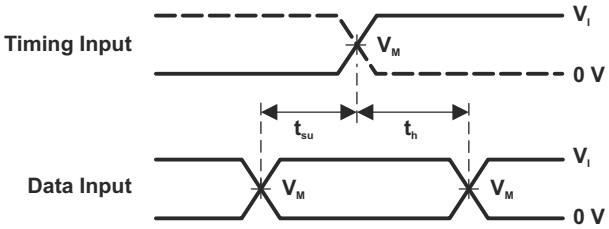
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

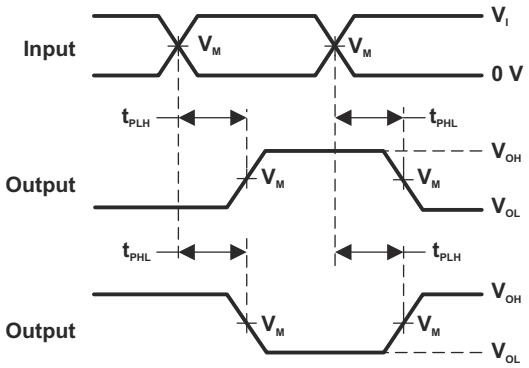
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



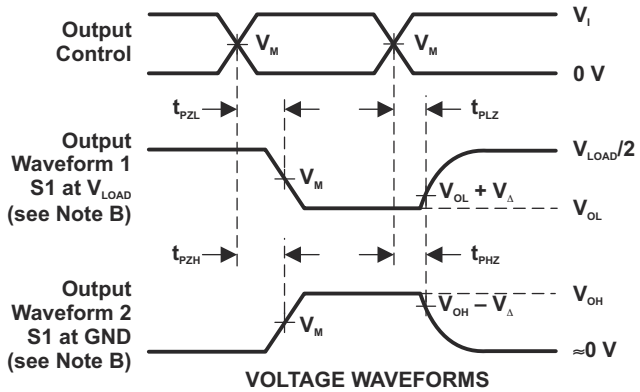
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-2. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC1G08 デバイスはシングル 2 入力正論理 AND ゲートです。デバイスは、ブール関数 Y = A ● B つまり、Y = $\overline{A}$ + B を正論理で実行します。

7.2 機能ブロック図



図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディスエーブルになっているときは、入力電圧に関係なく、出力は電流のソースとシンクのどちらも行いません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさなければ、消費電力が過剰になり、発振を引き起こす可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は V_{CC} または GND に終端させます。システムが常に入力を駆動していない場合は、有効な入力電圧を与えるために、プルアップ抵抗またはプルダウン抵抗を追加することを検討してください。抵抗値は複数の要因によって異なりますが、推奨される値である 10kΩ を使用すれば、通常はすべての要件を満たすことができます。

7.3.4 クランプ ダイオード構造

図 7-2 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

注意
*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

Copyright © 2026 Texas Instruments Incorporated

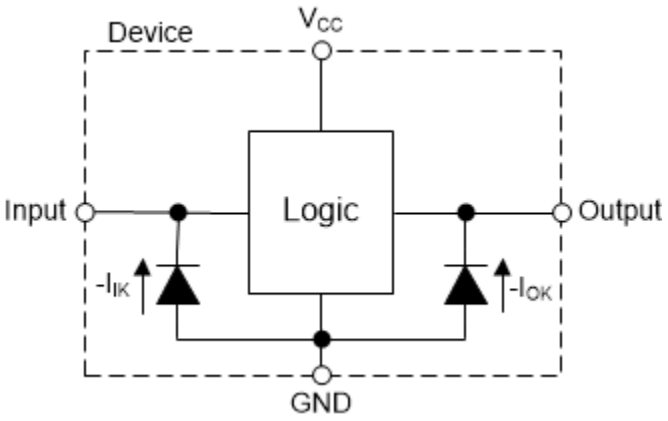


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

7.3.5 過電圧許容入力

SN74LVC1G08 は、過電圧許容入力を備えています。入力ピンは、標準の正のクランプ ダイオードを備えていない入力保護回路を利用して、電源電圧よりも高い状態の入力電圧をサポートします。推奨入力電圧については、「推奨動作条件」を参照してください。

> **注意**
> 「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。最大入力電圧範囲定格を超えると、デバイスで即座に永続的な損傷が発生する可能性があります。

7.4 デバイスの機能モード

機能表 に、SN74LVC1G08 の機能モードを示します。

表 7-1. 機能表

入力(1)		出力(2)
A	B	Y
H	H	H
L	X	L
X	L	L

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア
(2) H = High に駆動、L = Low に駆動、Z = 高インピーダンス状態

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

AND ゲートの一般的なアプリケーションは、電源シーケンスに使用されます。電源シーケンスは、デバイスの誤動作を防ぐために、特定の電圧タイミング要件を持つプロセッサやその他の繊細なデバイスを必要とするアプリケーションで頻繁に採用されます。SN74LVC1G08 を使用してプロセッサがオンになっていることを検証することにより、有害な信号からプロセッサを保護できます。

8.2 代表的なアプリケーション

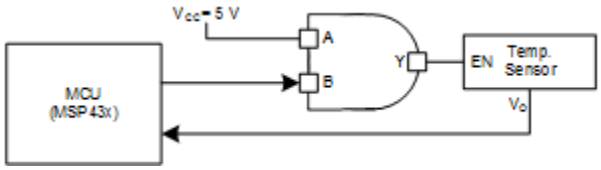


図 8-1. 電源シーケンス アプリケーション

8.2.1 設計要件

SN74LVC1G08 デバイスは CMOS 技術を使用し、平衡型出力ドライブを採用しています。上限値を超える電流が流れることがあるため、バスが競合しないように注意します。

SN74LVC1G08 により、デジタル制御信号を使用して、アナログ信号とデジタル信号のスイッチング制御が可能になります。最適な動作を実現するには、すべての入力信号を 0V または V_{CC} のいずれかにできるだけ近い電圧電位に維持してください。

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LVC1G08 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジックデバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グランドは、SN74LVC1G08 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LVC1G08 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、過剰な電流を防止するため、出力とコンデンサの間に直列抵抗を設置することを推奨します。

SN74LVC1G08 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

Copyright © 2026 Texas Instruments Incorporated

総消費電力は、*CMOS の消費電力と Cpd の計算アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度、$T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック LOW と見なされ、$V_{IH(min)}$ を超えるとロジック HIGH と見なされます。*「絶対最大定格」*に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVC1G08 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74LVC1G08 は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、「*推奨動作条件*」表の Δt/Δv を参照してください。
   - 規定された High および Low レベルについては、「*推奨動作条件*」表の V_{IH} および V_{IL} を参照してください。
   - 入力および出力は過電圧許容で、任意の有効な V_{CC} において最高 5.5V に対応できます。
2. 推奨出力条件:
   - 負荷電流は ±50mA を超えないこと。
3. 周波数選択の基準:
   - 周波数がデバイスの消費電力に及ぼす影響は、アプリケーション ノート『*CMOS の消費電力と Cpd の計算*』で調べる必要があります。
   - トレース抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。*レイアウト*セクションに記載されているレイアウト手法に従ってください。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

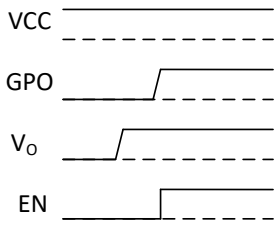


図 8-2. 代表的なアプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置することを確認します。SN74LVC1G08 には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

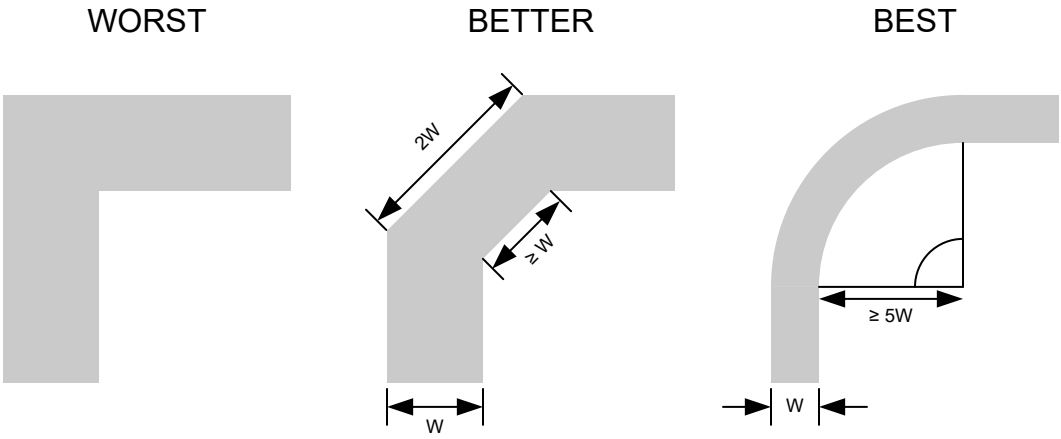


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

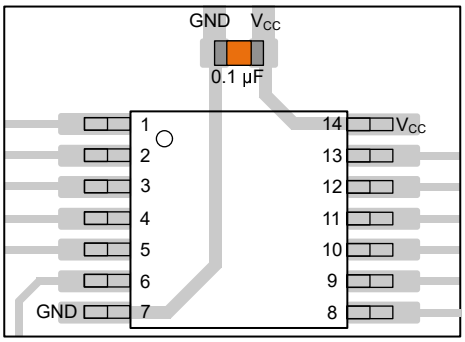


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

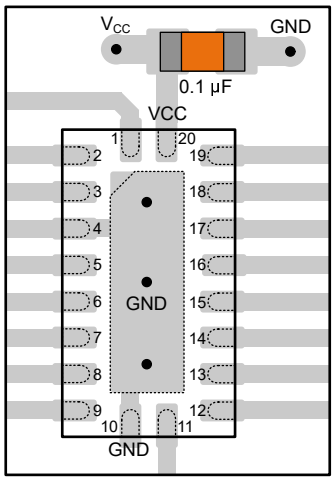


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

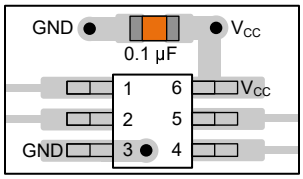


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

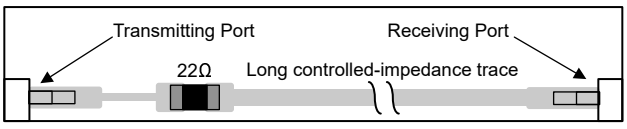


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 1, 2019 to AUGUST 12, 2026 (from Revision Z (May 2019) to Revision AA (August 2026))	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 本体およびパッケージ寸法を含めるよう「デバイス情報」表を更新	1
• 「熱に関する情報」表のフォーマットを更新	5
• DBV パッケージの接合部と周囲の間の熱抵抗値を次のように変更：207.6°C/W >>357.1°C/W	5
• DBV パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：145.2°C/W >>263.7°C/W	5

Copyright © 2026 Texas Instruments Incorporated

- DBV パッケージの接合部と基板の間の特性値を次のように変更：53.5℃/W >>264.4℃/W 5
- DBV パッケージの接合部と上面の間の特性値を次のように変更：37.5℃/W >>195.6℃/W 5
- DBV パッケージの接合部と基板の間の特性値を次のように変更：53.1℃/W >>262.2℃/W 5
- DCK パッケージの接合部と周囲の間の熱抵抗値を次のように変更：283.1℃/W >>371℃/W 5
- DCK パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：92.3℃/W >>297.5℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：60.9℃/W >>258.6℃/W 5
- DCK パッケージの接合部と上面の間の特性値を次のように変更：1.7℃/W >>195.6℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：60.1℃/W >>256.2℃/W 5
- DRL パッケージの接合部と周囲の間の熱抵抗値を次のように変更：242.9℃/W >>364.1℃/W 5
- DRL パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：77.5℃/W >>280.6℃/W 5
- DRL パッケージの接合部と基板の間の特性値を次のように変更：77.5℃/W >>261.5℃/W 5
- DRL パッケージの接合部と上面の間の特性値を次のように変更：9.6℃/W >>195.6℃/W 5
- DRL パッケージの接合部と基板の間の特性値を次のように変更：77.3℃/W >>259.2℃/W 5
- 「概要」、「アプリケーションと実装」、「デバイスおよびドキュメントのサポート」の各セクションを更新し、機能の詳細な説明と詳細な情報を拡張。 9
- レイアウトのガイドラインに並列トレース間隔の推奨事項を追加。「分岐を回避します。別々に分岐する必要のある信号をバッファする」の表現を「分岐を回避します。個別に分岐する必要がある各信号をバッファする」に変更 14

Changes from Revision Y (April 2014) to Revision Z (May 2019) **Page**

- 「絶対最大定格」表に T_J(max) 仕様を追加 4
- T_{stg} を「ハンドリング定格」表から「絶対最大定格」表に移動。 4
- 「ハンドリング定格」表の名前を「ESD レーティング」表に変更 4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R) (C08H, C08P, C08S)
SN74LVC1G08DBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R) (C08H, C08P, C08S)
SN74LVC1G08DBVTE4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CE K, CER, CET) (CEH, CEP, CES)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKRE4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKTE4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKTG4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKTG4.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M4
SN74LVC1G08DPWR.B	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M4
SN74LVC1G08DRLR	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLR.A	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLR.B	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLRG4	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRY2	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRY2.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSF2	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSF2.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08YZPR	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CE, CE7)
SN74LVC1G08YZPR.B	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CE, CE7)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G08 :

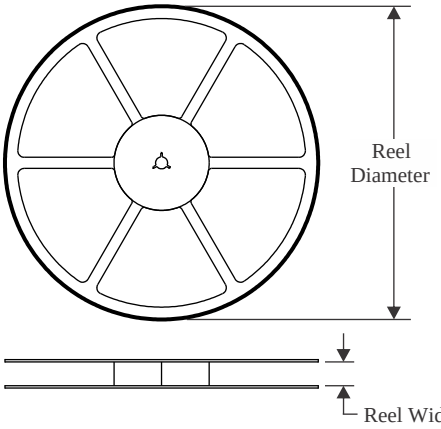
- Automotive : SN74LVC1G08-Q1
- Enhanced Product : SN74LVC1G08-EP

NOTE: Qualified Version Definitions:

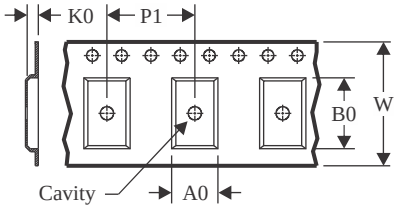
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

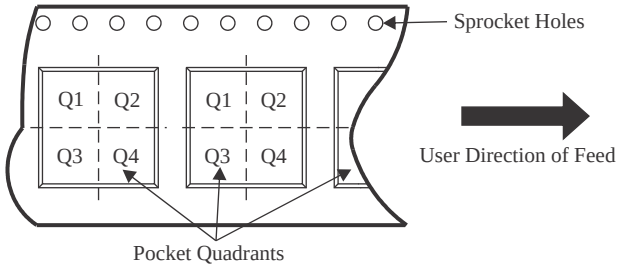


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

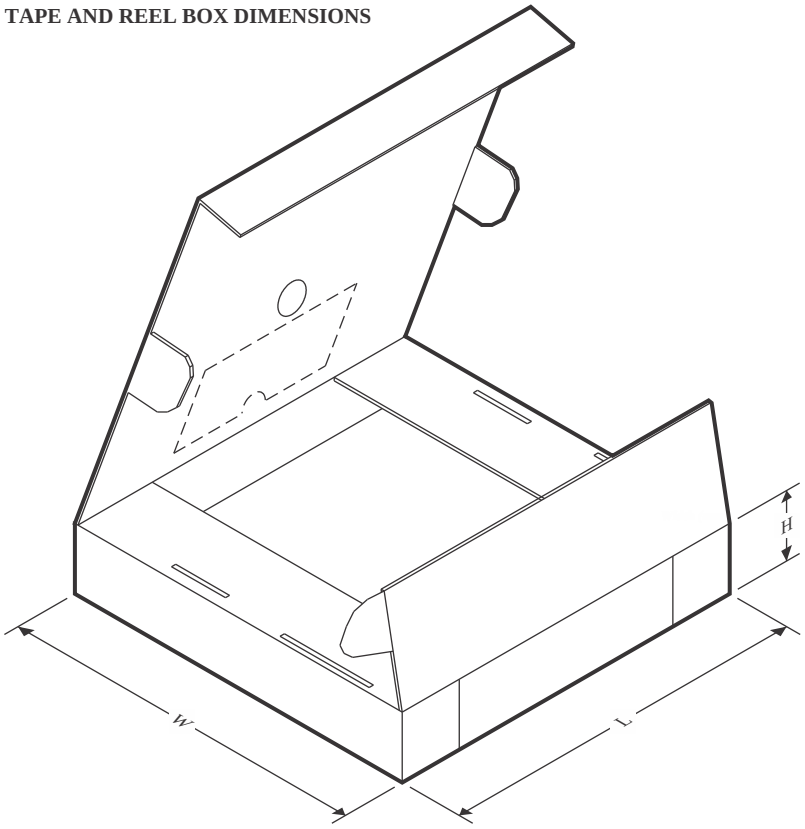


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKRG4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKTG4	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
SN74LVC1G08DRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
SN74LVC1G08DRY2	SON	DRY	6	5000	180.0	9.5	1.6	1.15	0.75	4.0	8.0	Q3
SN74LVC1G08DRY2	SON	DRY	6	5000	180.0	8.4	1.65	1.2	0.7	4.0	8.0	Q3
SN74LVC1G08DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G08DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G08DSF2	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q3
SN74LVC1G08DSF2	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q3
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q2
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08DSFRG4	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08YZPR	DSBGA	YZP	5	3000	180.0	8.4	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G08DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0

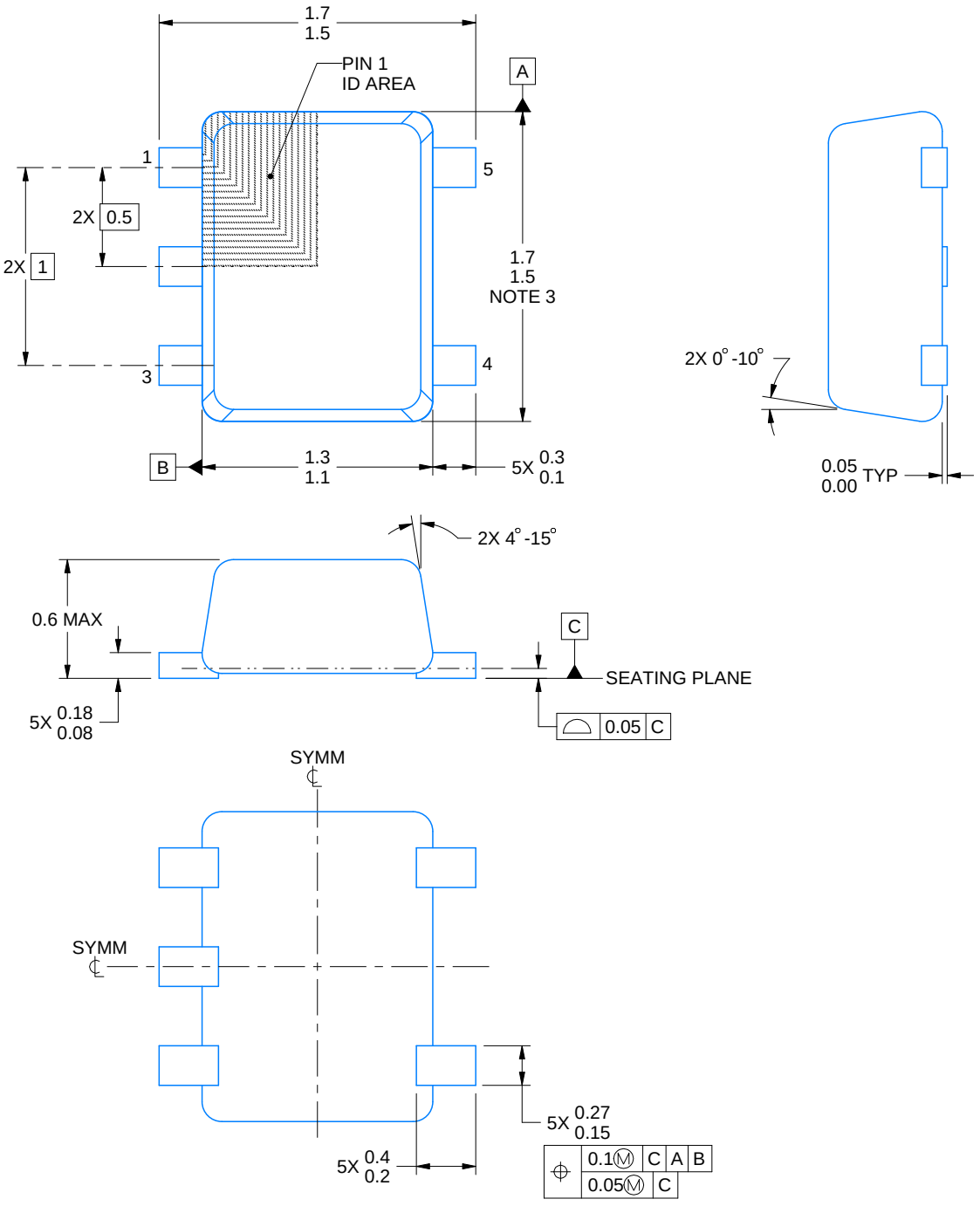
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKRG4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKTG4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
SN74LVC1G08DRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
SN74LVC1G08DRY2	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DRY2	SON	DRY	6	5000	202.0	201.0	28.0
SN74LVC1G08DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DSF2	SON	DSF	6	5000	202.0	201.0	28.0
SN74LVC1G08DSF2	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G08DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G08DSFR	SON	DSF	6	5000	202.0	201.0	28.0
SN74LVC1G08DSFR	SON	DSF	6	5000	210.0	185.0	35.0
SN74LVC1G08DSFRG4	SON	DSF	6	5000	210.0	185.0	35.0
SN74LVC1G08YZPR	DSBGA	YZP	5	3000	182.0	182.0	20.0

PACKAGE OUTLINE

DRL0005A

SOT - 0.6 mm max height

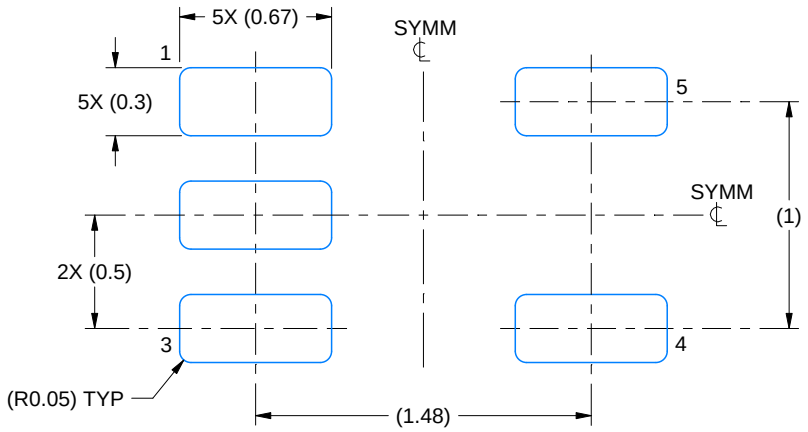
PLASTIC SMALL OUTLINE



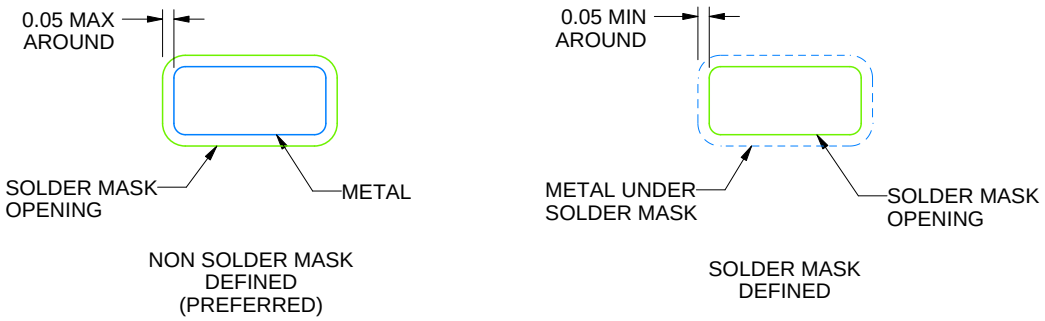
4220753/E 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1



LAND PATTERN EXAMPLE
SCALE:30X

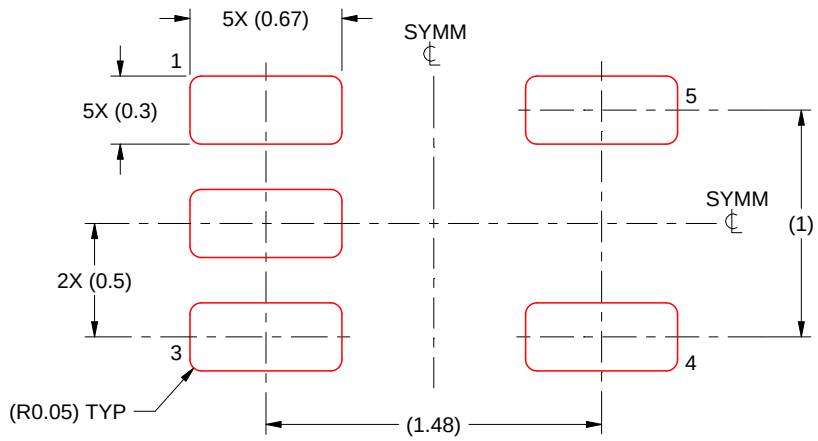


SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

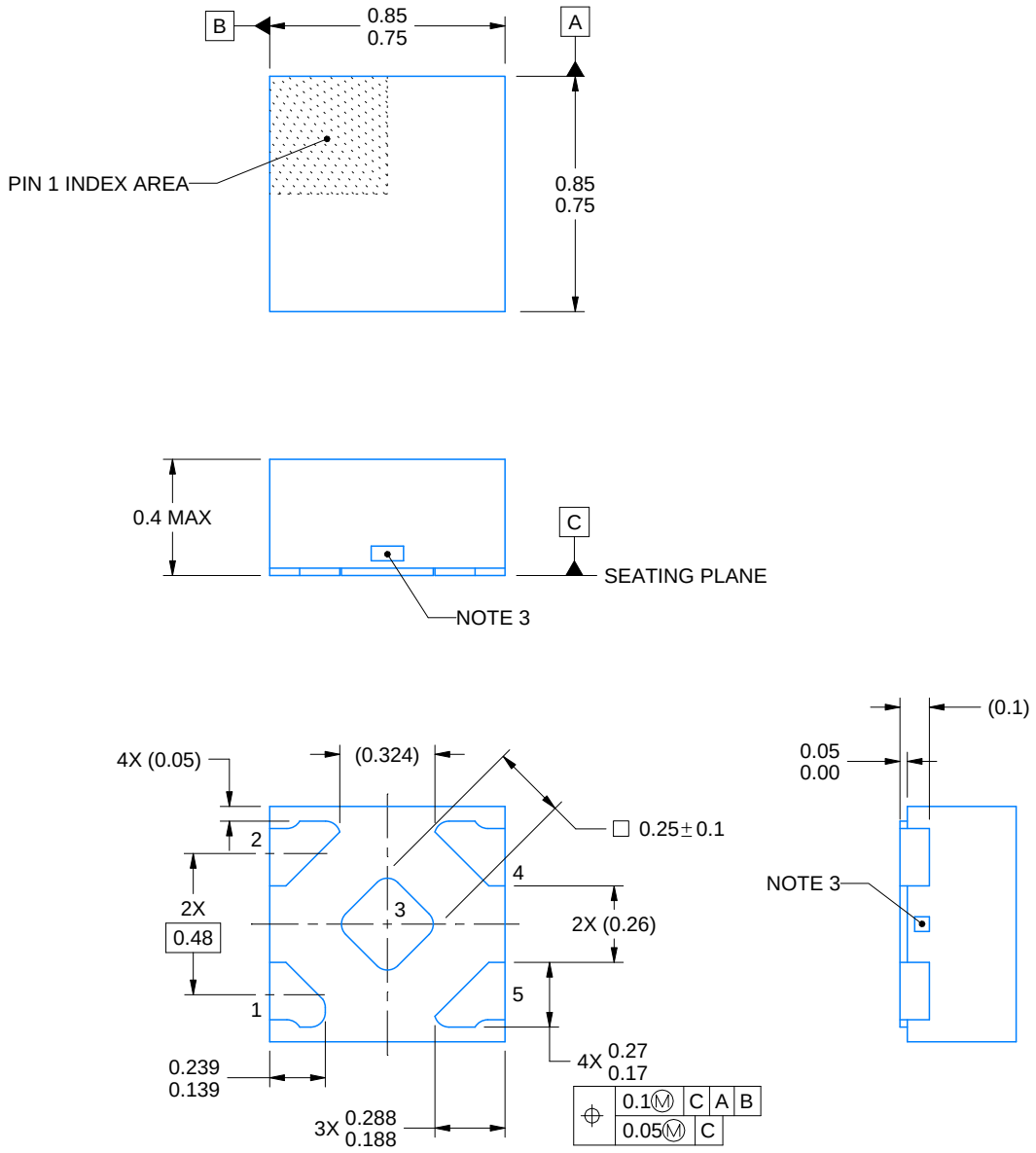
4211218-3/D

PACKAGE OUTLINE

DPW0005A

X2SON - 0.4 mm max height

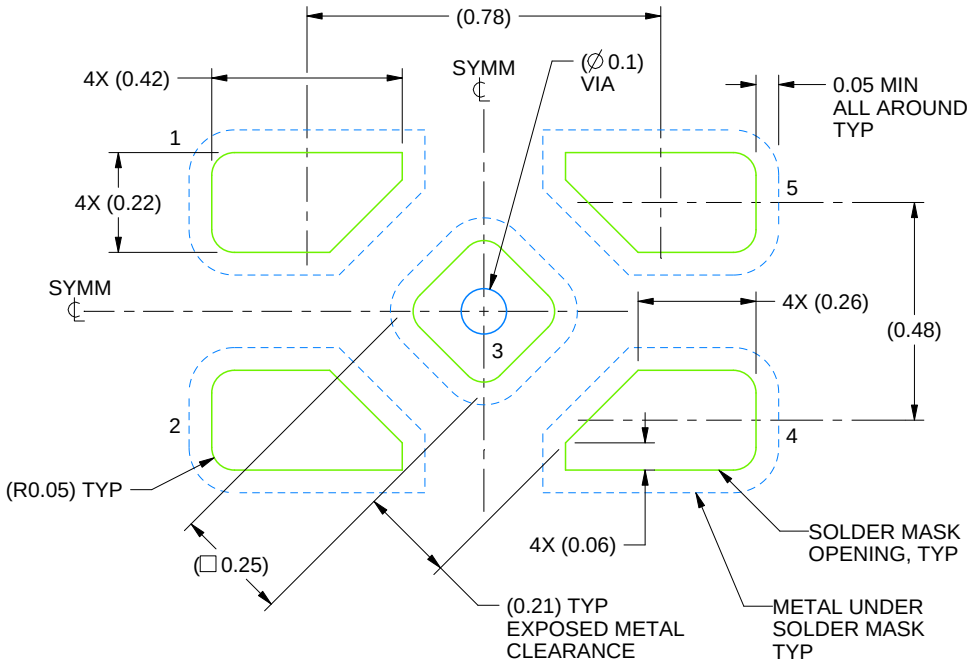
PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

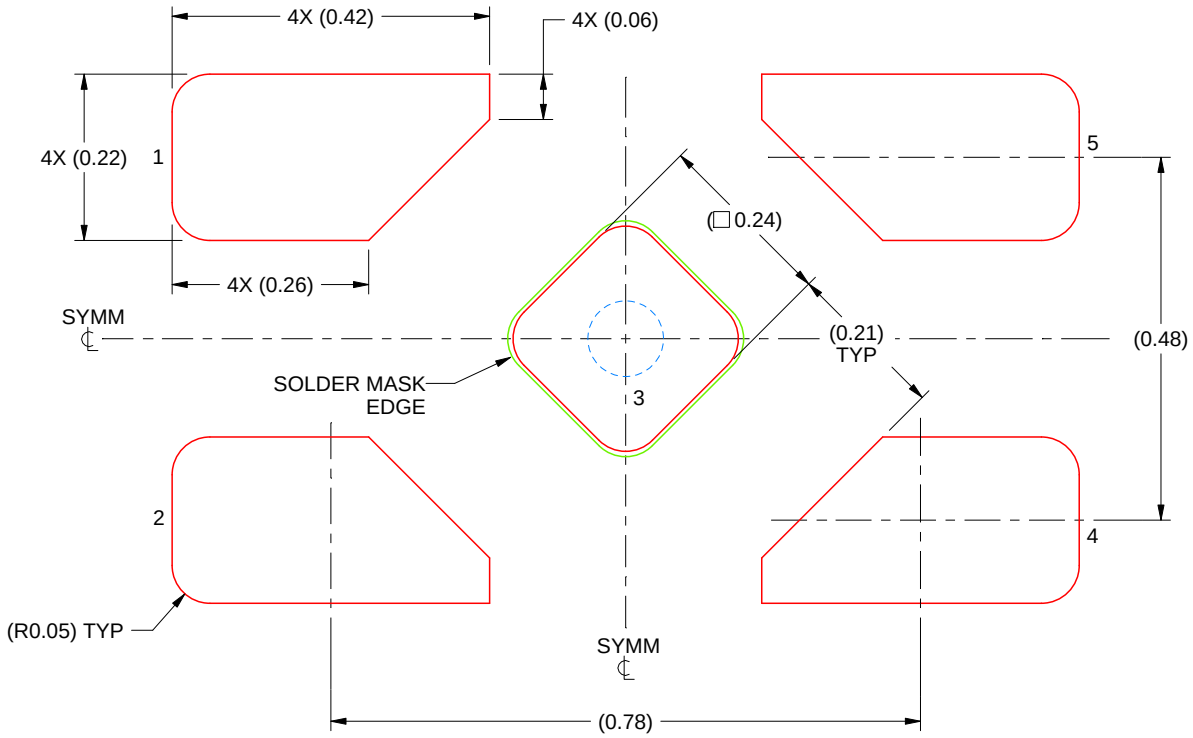
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

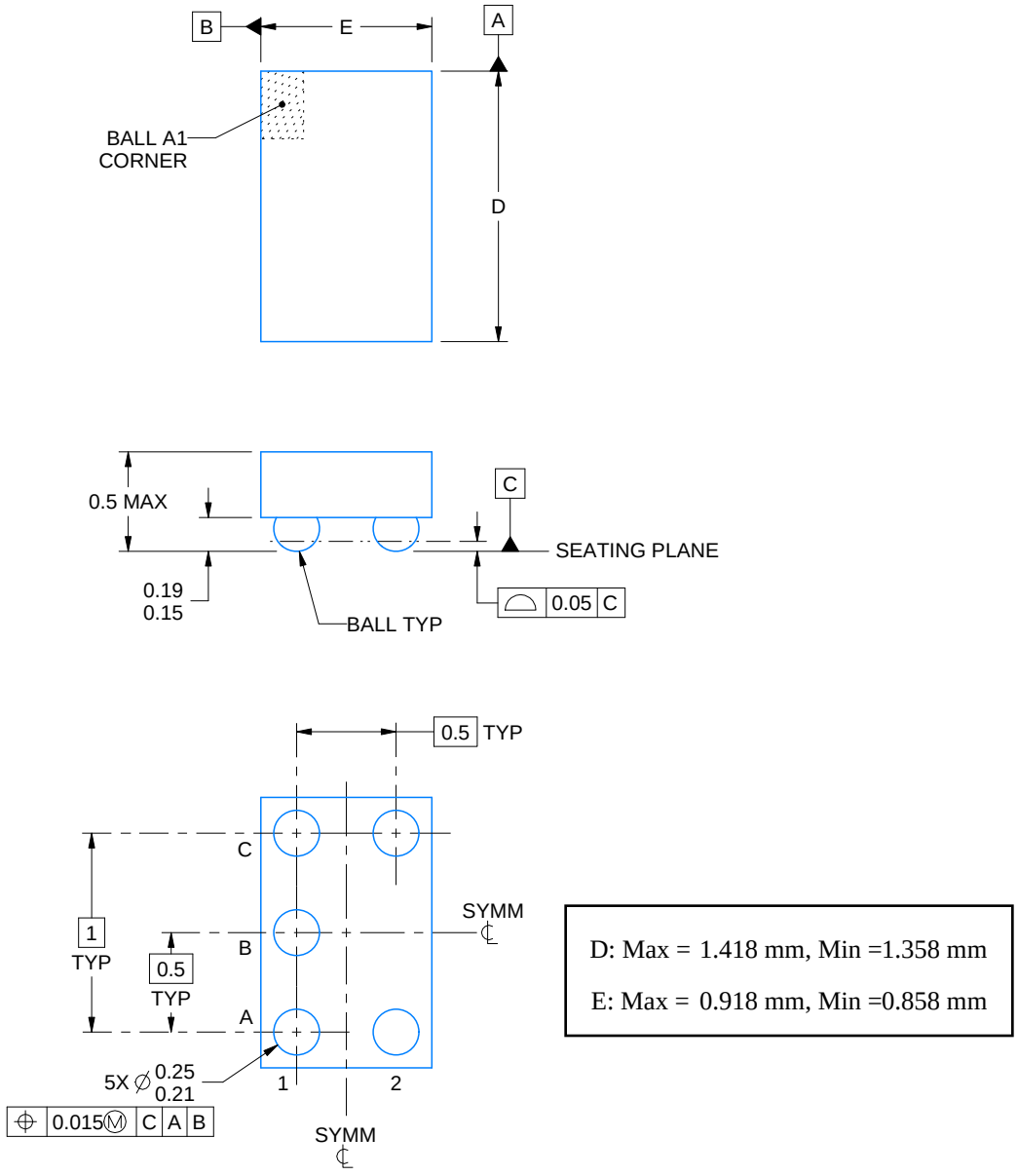
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



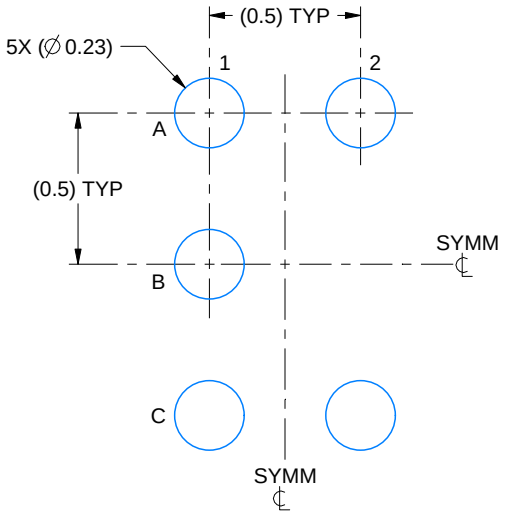
D: Max = 1.418 mm, Min =1.358 mm

E: Max = 0.918 mm, Min =0.858 mm

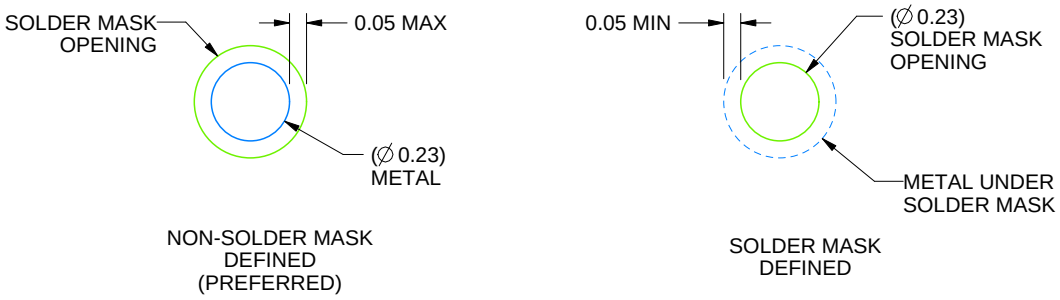
4219492/A 05/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

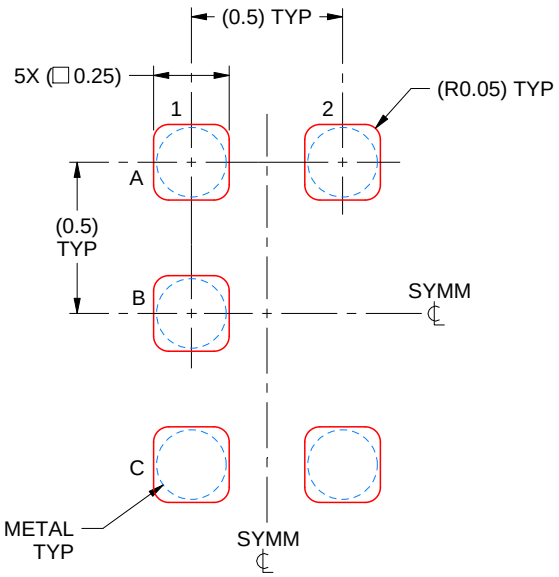


SOLDER MASK DETAILS
NOT TO SCALE

4219492/A 05/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219492/A 05/2017

NOTES: (continued)

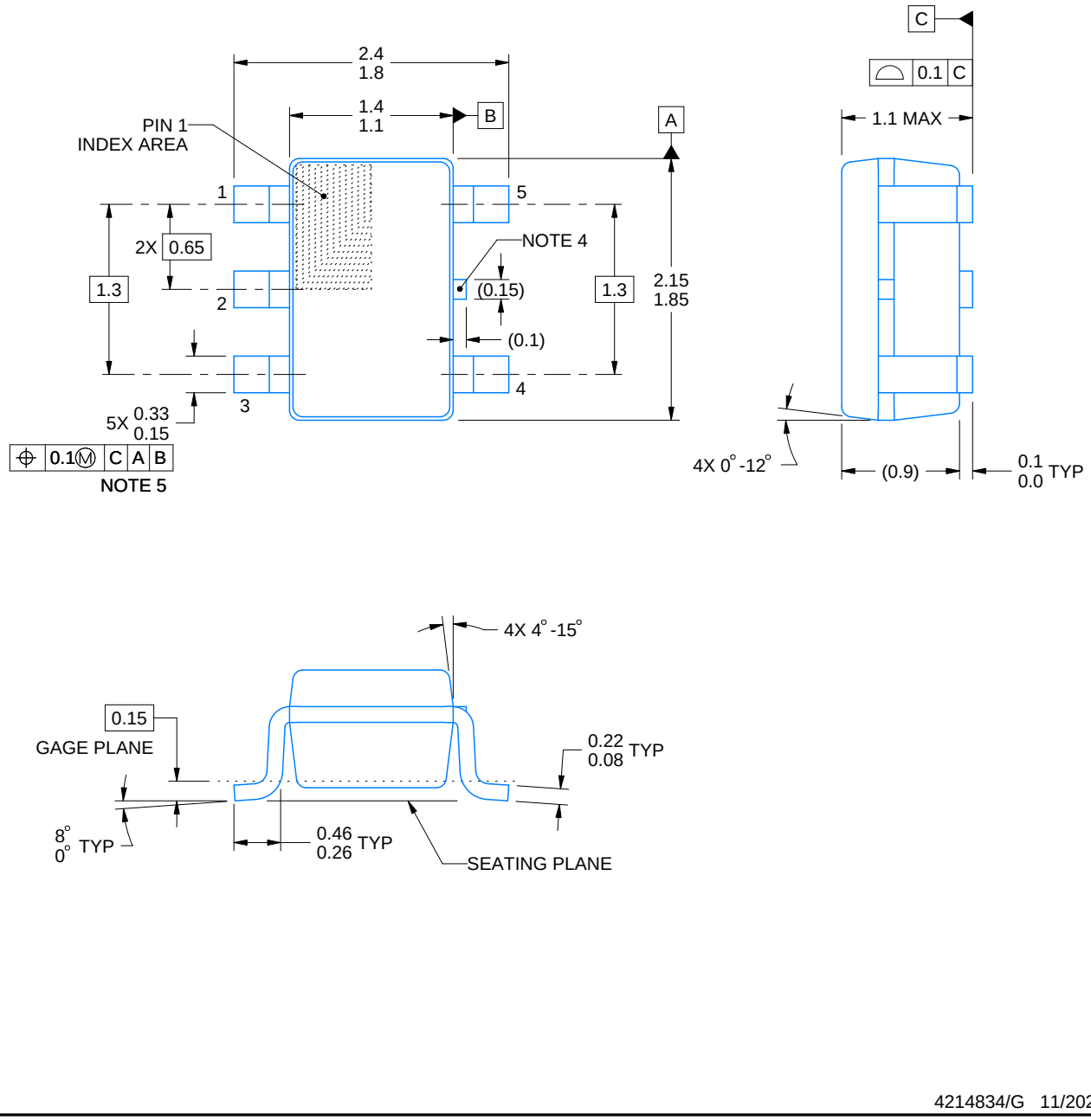
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

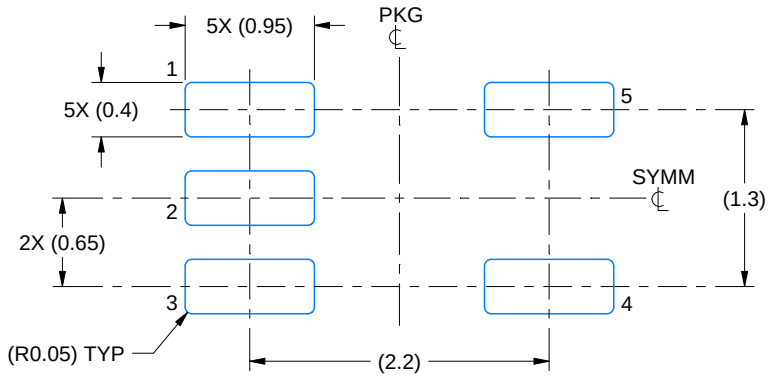
SMALL OUTLINE TRANSISTOR



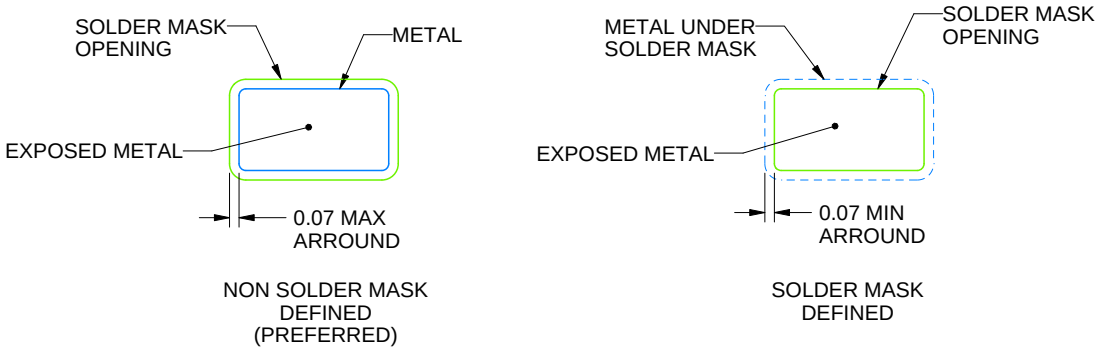
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

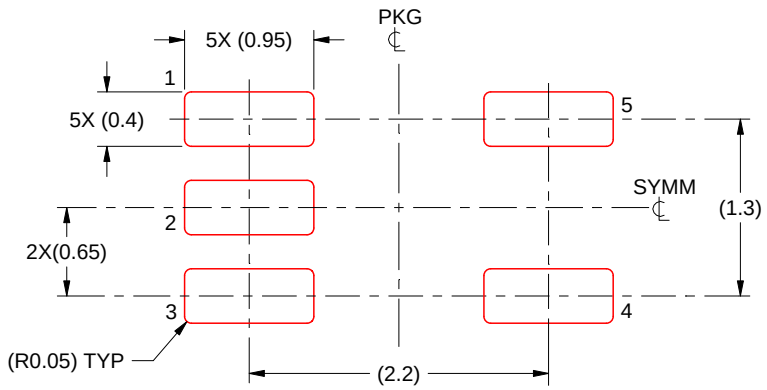


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

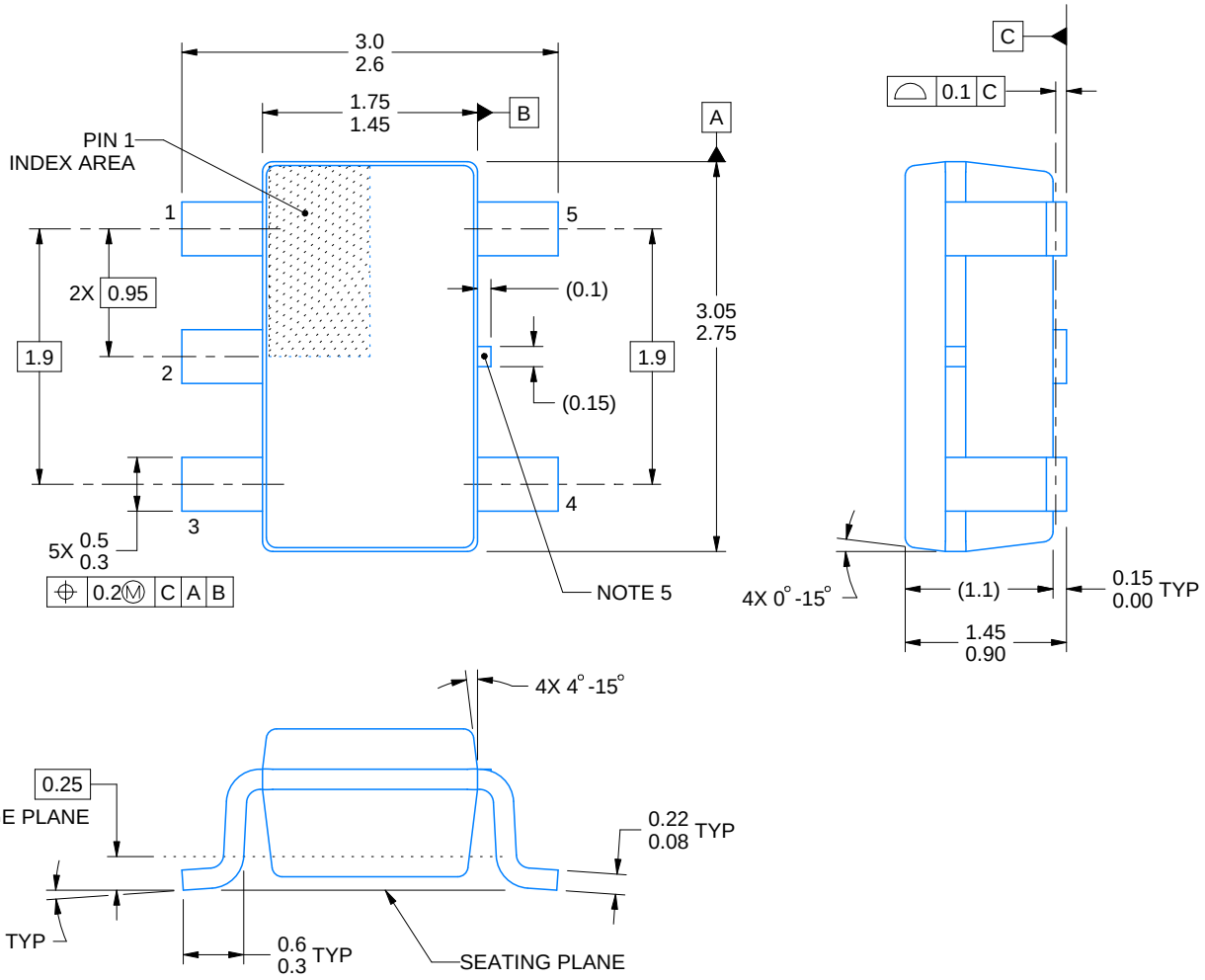
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

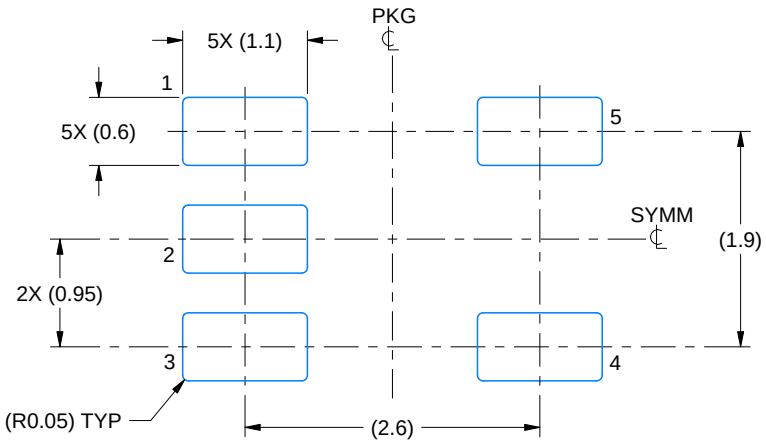
SMALL OUTLINE TRANSISTOR



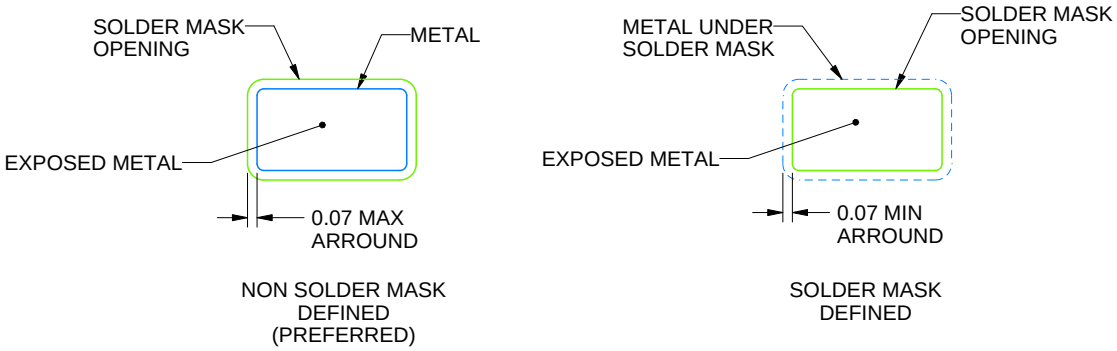
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

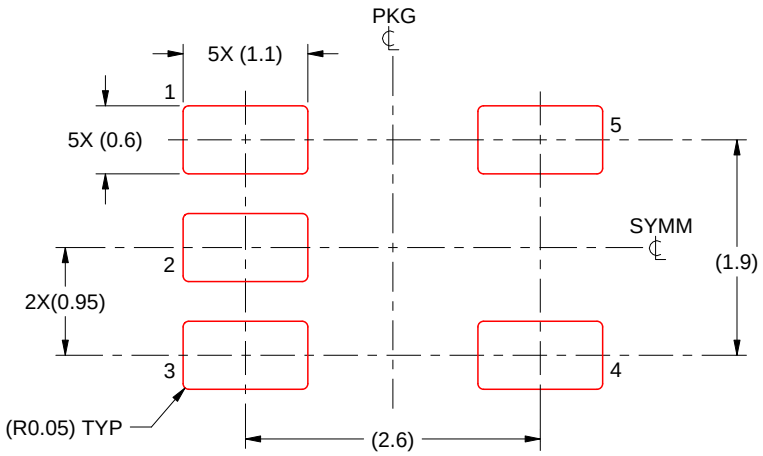


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

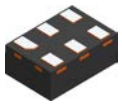
DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

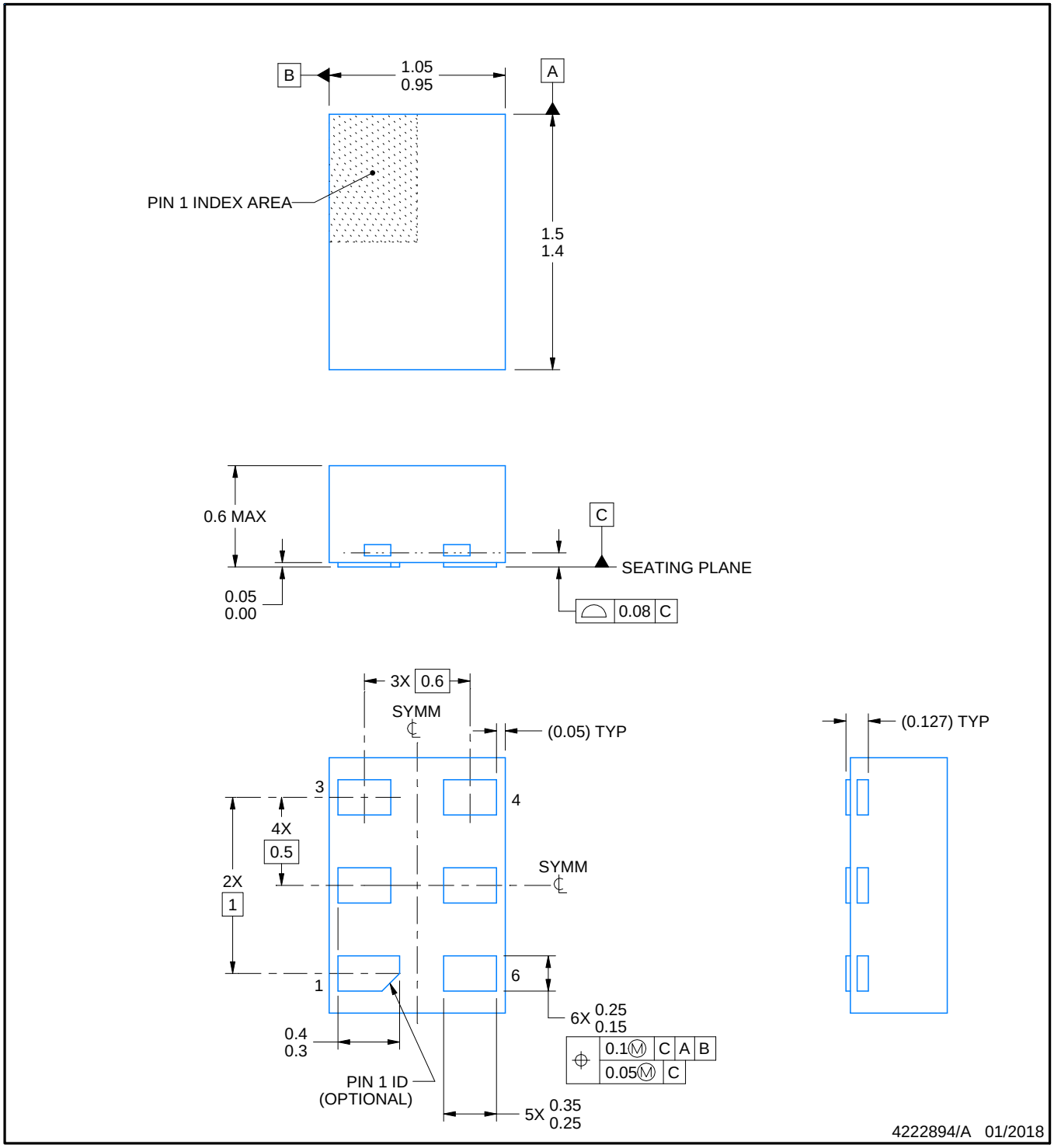
DRY0006A



PACKAGE OUTLINE

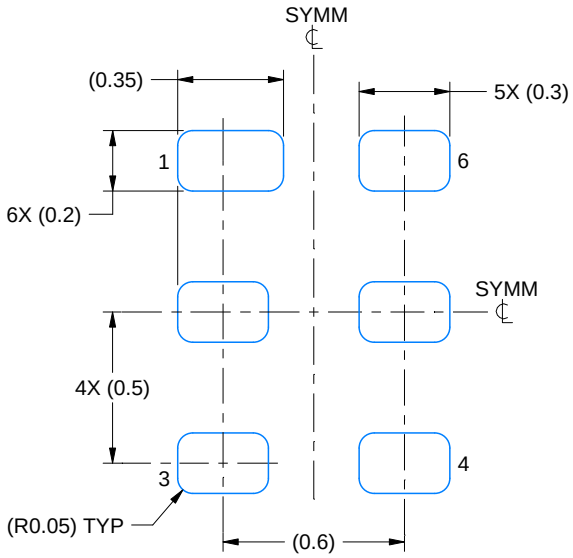
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

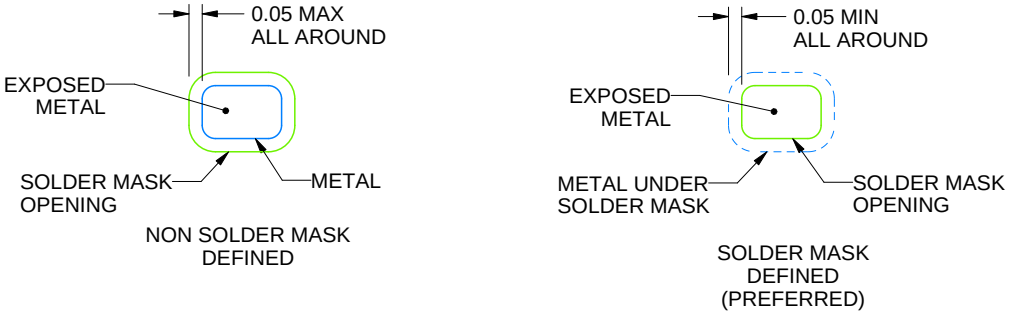


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

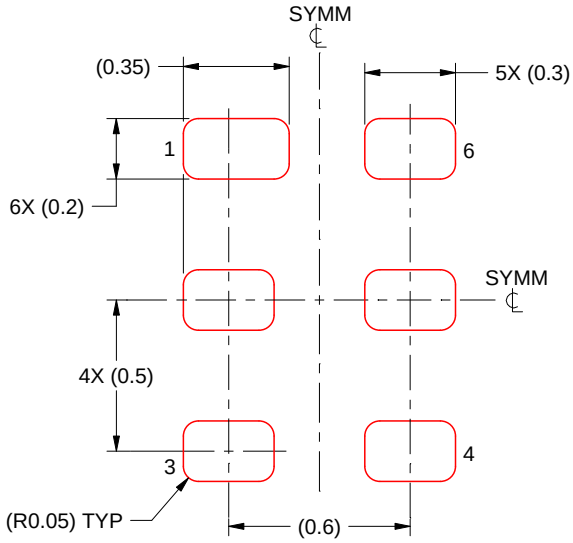
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

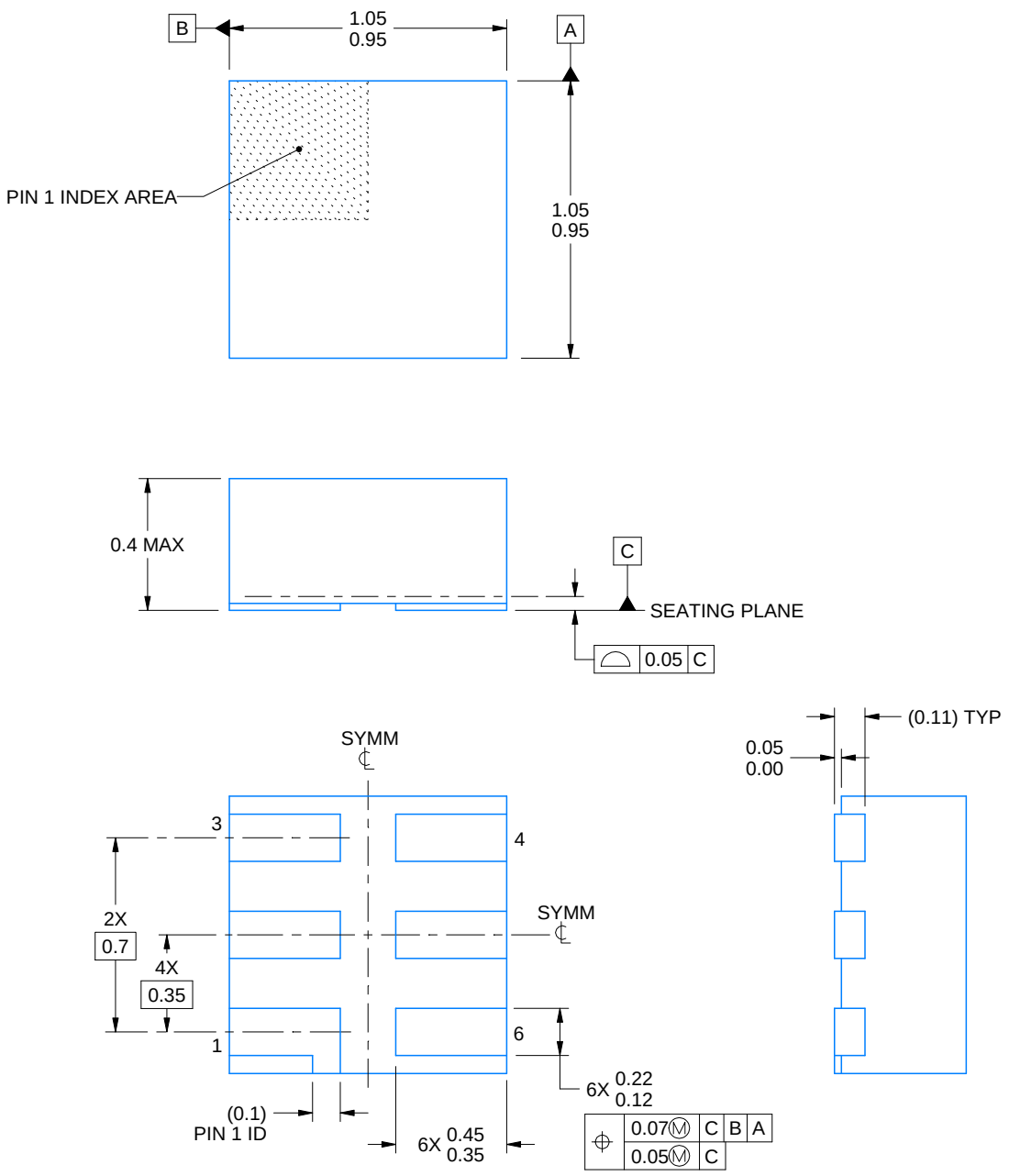
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

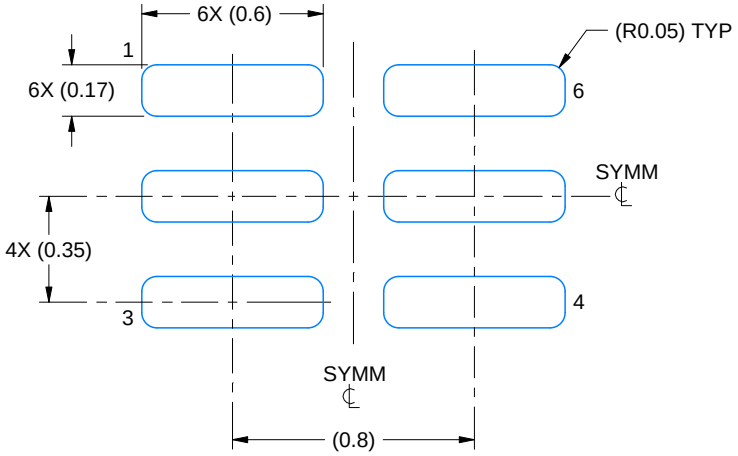
PLASTIC SMALL OUTLINE - NO LEAD



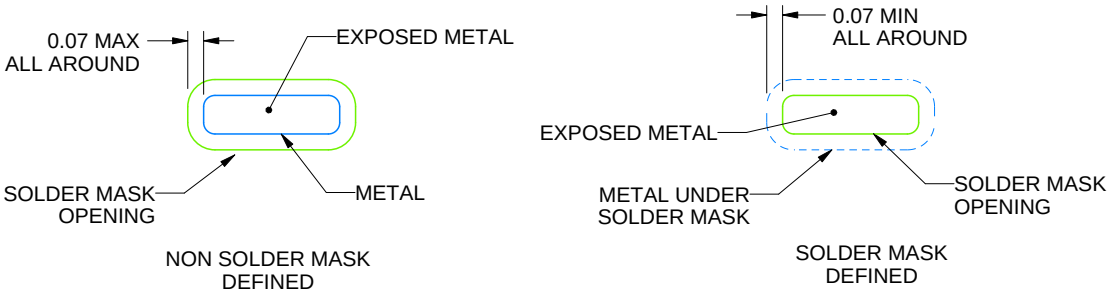
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

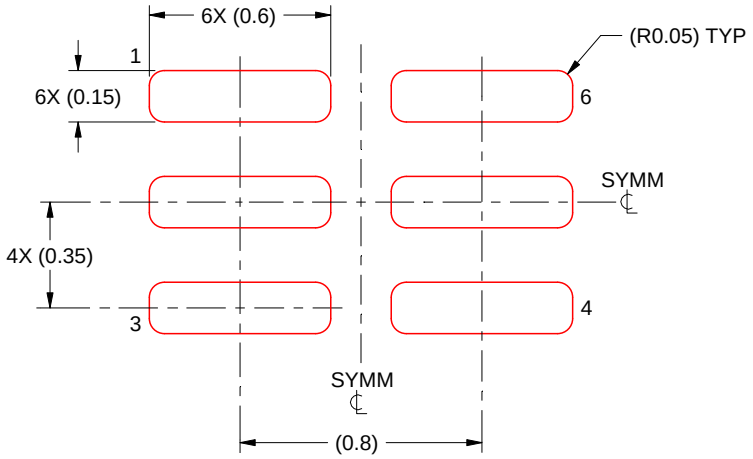
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月