SN74LVC1G11 シングル 3 入力、正論理 AND ゲート

1 特長

- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - ±2000V、人体モデル (A114-A)
  - ±1000V、デバイス帯電モデル (C101)
- テキサス・インスツルメンツの NanoFree™ パッケージで提供
- 5V V_{CC} 動作をサポート
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.1ns (3.3V 時)
- 低い消費電力、最大 I_{CC}:10µA
- 3.3V で ±24mA の出力駆動能力
- I_{off} により部分的パワーダウン モードでの動作をサポート

2 アプリケーション

- AV レシーバ
- DLP フロント プロジェクション システム
- デジタル ピクチャ フレーム
- デジタル ラジオ
- デジタル スチル カメラ
- デジタル ビデオ カメラ (DVC)
- 組み込み用 PC
- eBook (電子書籍)
- イーサネット スイッチ
- GPS:パーソナル ナビゲーション デバイス
- ハンドセット:スマートフォン
- 高速データ アクイジションおよび生成
- ミリタリー:レーダーとソナー
- モバイル インターネット デバイス
- ノート PC およびネットブック
- ネットワーク接続ストレージ (NAS)
- 電力線通信モデム
- サーバー PSU
- STB、DVR、ストリーミング メディア
- スピーカ:USB
- タブレット:エンタープライズ
- ビデオ放送とインフラ:スケーラブルなプラットフォームと IP ベースのマルチ フォーマット トランスコーダ
- ワイヤレス ヘッドセット、キーボード、マウス

3 概要

SN74LVC1G11 はブール関数 $Y = A \cdot B \cdot C$ or $Y = \overline{\overline{A} + \overline{B} + \overline{C}}$ を正論理で実行します。

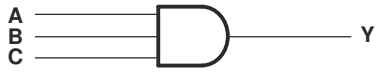
NanoFree パッケージ技術は IC パッケージの概念における主要なブレークスルーであり、ダイをパッケージとして使用します。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

製品情報

部品番号	パッケージ (1)	本体サイズ (2)
SN74LVC1G11	DBV (SOT-23、6)	2.90mm × 1.60mm
	DCK (SC70、6)	2.00mm × 1.25mm
	DRY (SON、6)	1.45mm × 1.00mm
	DSF (SON、6)	1.00mm × 1.00 mm
	YZP (DSBGA、6)	1.41mm × 0.91mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性、C_L = 15pF.....6
5.7 スイッチング特性、C_L = 30pF または 50pF.....6
5.8 スイッチング特性、C_L = 30pF または 50pF.....6
5.9 動作特性.....6
5.10 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....9
7.1 概要.....9
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....10
8.1 アプリケーション情報.....10
8.2 代表的なアプリケーション.....10
8.3 電源に関する推奨事項.....11
8.4 レイアウト.....11
9 デバイスおよびドキュメントのサポート.....13
9.1 ドキュメントのサポート (アナログ).....13
9.2 ドキュメントの更新通知を受け取る方法.....13
9.3 サポート・リソース.....13
9.4 商標.....13
9.5 静電気放電に関する注意事項.....13
9.6 用語集.....13
10 改訂履歴.....13
11 メカニカル、パッケージ、および注文情報.....14

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

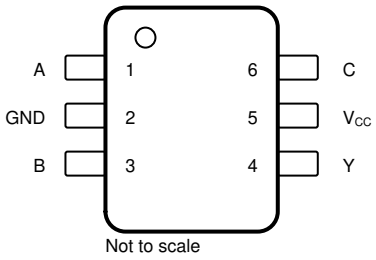


図 4-1. DBV または DCK パッケージ、6 ピン SOT-23 または SOT-SC70 (上面図)

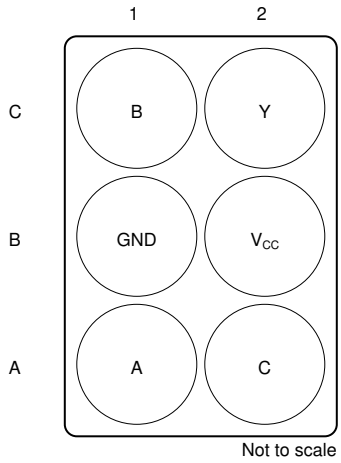


図 4-2. YZP パッケージ 6 ピン DSBGA 底面図

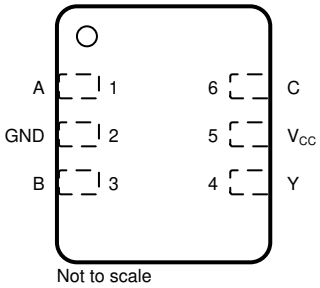
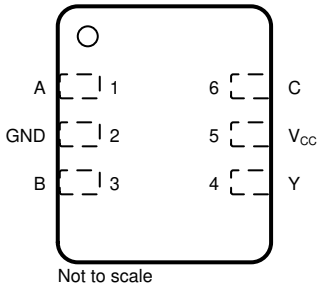


図 4-3. DRY パッケージ 6 ピン SON 上面図



寸法については、機械的な図を参照してください。

図 4-4. DSF パッケージ 6 ピン SON 上面図

表 4-1. ピンの機能

ピン			I/O[1]	説明
名称	SOT-23、SOT-SC70、SON、SON	DSBGA		
A	1	A1	I	A 入力
B	3	C1	I	B 入力
C	6	A2	I	C 入力
GND	2	B1	—	グランド
V_{CC}	5	B2	—	電源
Y	4	C2	O	Y 出力

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6.5	V
V_I	入力電圧(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧(2)		-0.5	6.5	V
V_O	High または Low 状態で出力に印加される電圧(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_J	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流で動作温度範囲内 (特に記述のない限り)(1)。

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3V～3.6V	2		
		V_{CC} = 4.5V～5.5V	0.7 × V_{CC}		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3V～3.6V		0.8	
		V_{CC} = 4.5V～5.5V		0.3 × V_{CC}	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65 V		-4	mA
		V_{CC} = 2.3 V		-8	
		V_{CC} = 3 V		-16	
				-24	
		V_{CC} = 4.5 V		-32	

Copyright © 2024 Texas Instruments Incorporated

自由気流で動作温度範囲内 (特に記述のない限り)(1)。

			最小値	最大値	単位
I_{OL}	Low レベル出力電流	V_{CC} = 1.65 V		4	mA
		V_{CC} = 2.3 V		8	
		V_{CC} = 3 V		16	
				24	
		V_{CC} = 4.5 V		32	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V ± 0.15V、2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		10	
T_A	自由空気での動作温度	BGA パッケージ	-40	85	℃
		他のすべてのパッケージ	-40	125	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』、SCBA004 を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74LVC1G11					単位
		DBV (SOT-23)	DCK (SC70)	DRY (SON)	YZP (DSBGA)	DSF (SON)	
		6 ピン	6 ピン	6 ピン	6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	195.9	260.1	424.6	105.8	413.7	℃/W
$R_{\theta JCtop}$	接合部からケース (上面) への熱抵抗	177.4	98.1	309	1.6	226.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	51.7	63.1	292	10.8	317	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	61.3	2.2	135.4	3.1	37.4	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	51.3	62.4	292	10.8	317	℃/W
$R_{\theta JCbot}$	接合部からケース (底面) への熱抵抗	—	—	—	—	—	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。spra953

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}		I_{OH} = -100μA	1.65V～5.5V	V_{CC} - 0.1			V
		I_{OH} = -4mA	1.65 V	1.2			
		I_{OH} = -8mA	2.3 V	1.9			
		I_{OH} = -16mA	3 V	2.4			
		I_{OH} = -24mA		2.3			
		I_{OH} = -32mA	4.5 V	3.8			
V_{OL}		I_{OL} = 100μA	1.65V～5.5V			0.1	V
		I_{OL} = 4mA	1.65 V			0.45	
		I_{OL} = 8mA	2.3 V			0.3	
		I_{OL} = 16mA	3 V			0.4	
		I_{OL} = 24mA				0.55	
		I_{OL} = 32mA	4.5 V			0.55	
I_I	すべての入力	V_I = 5.5 V または GND	0～5.5 V			±5	μA
I_{off}		V_I または V_O = 5.5V	0			±10	μA
I_{CC}		V_I = 5.5V または GND、 I_O = 0	1.65V～5.5V			10	μA
ΔI_{CC}		1 つの入力は V_{CC} - 0.6V、 その他の入力は V_{CC} または GND	3V～5.5V			500	μA

Copyright © 2024 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
C_i	V_I = V_{CC} または GND	3.3 V		3.5		pF

5.6 スイッチング特性、C_L = 15pF

自由気流での推奨動作温度範囲内、C_L = 15pF、T_A = -40℃～+85℃ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
t_{pd}	A、B、C	Y	V_{CC} = 1.8V ± 0.15V	2.6	15.2	ns
			V_{CC} = 2.5V ± 0.2V	1.6	5.6	
			V_{CC} = 3.3V ± 0.3V	1.2	4.1	
			V_{CC} = 5V ± 0.5V	1	3.1	

5.7 スイッチング特性、C_L = 30pF または 50pF

自由気流で推奨動作温度範囲内、C_L = 30pF または 50pF、T_A = -40℃～+85℃ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
t_{pd}	A、B、C	Y	V_{CC} = 1.8V ± 0.15V	2.9	17.2	ns
			V_{CC} = 2.5V ± 0.2V	1.4	6.2	
			V_{CC} = 3.3V ± 0.3V	1.3	4.9	
			V_{CC} = 5V ± 0.5V	1	3.5	

5.8 スイッチング特性、C_L = 30pF または 50pF

自由気流で推奨動作温度範囲内、C_L = 30pF または 50pF、T_A = -40℃～+125℃ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
t_{pd}	A、B、C	Y	V_{CC} = 1.8V ± 0.15V	2.9	20	ns
			V_{CC} = 2.5V ± 0.2V	1.4	7.8	
			V_{CC} = 3.3V ± 0.3V	1.3	6.2	
			V_{CC} = 5V ± 0.5V	1	4.6	

5.9 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd}	電力散逸容量	f = 10MHz	V_{CC} = 1.8 V	18	pF
			V_{CC} = 2.5 V	19	
			V_{CC} = 3.3 V	20	
			V_{CC} = 5 V	23	

Copyright © 2024 Texas Instruments Incorporated

5.10 代表的特性

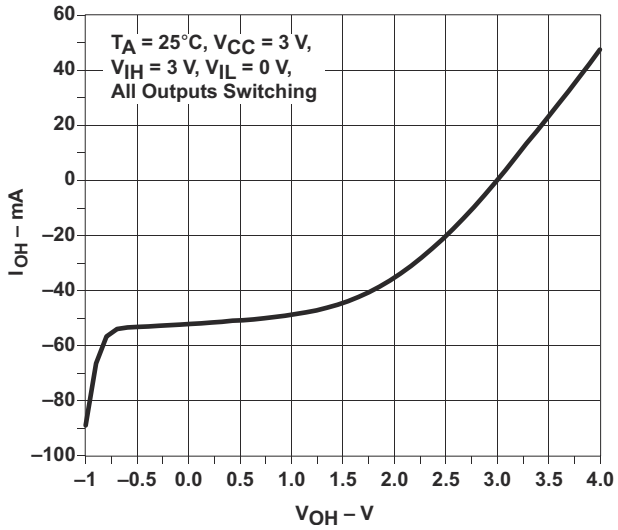
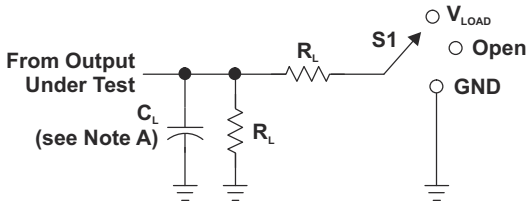


図 5-1. 出力電流駆動と High レベル出力電圧との関係

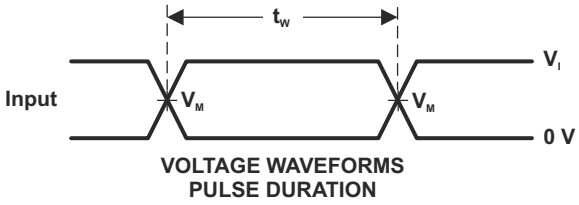
6 パラメータ測定情報



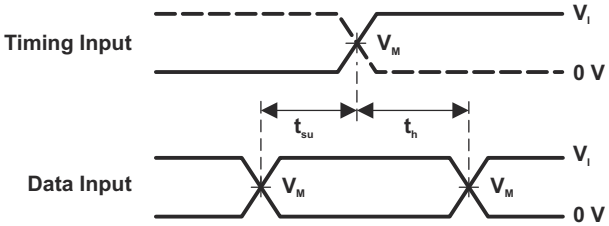
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

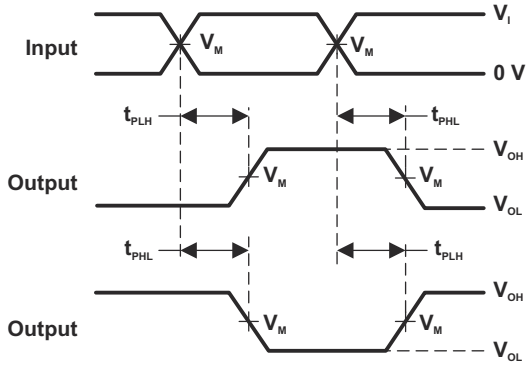
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	15 pF	1 MΩ	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.3 V



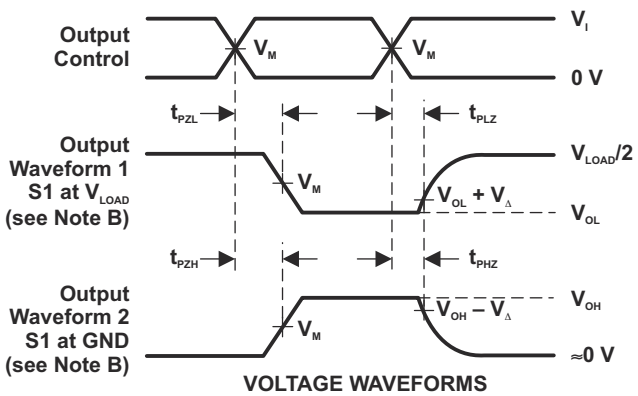
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

この 3 入力 AND ゲートは、1.65V～5.5V の V_{CC} で動作するように設計されています。

SN74LVC1G11 デバイスには、3 入力の AND ゲートが搭載されています。出力の状態は、3 ビット入力の 8 つのパターンによって決定されます。すべての入力は V_{CC} または GND に接続できます。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーションでの動作が完全に規定されています。I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

7.2 機能ブロック図

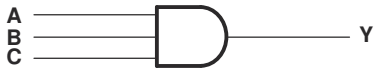


図 7-1. 論理図 (正論理)

7.3 機能説明

SN74LVC1G11 デバイスは、1.65V～5.5V の広い V_{CC} 範囲で動作するため、広範なシステムに使用できます。5.5V I/O は降圧変換が可能で、V_{CC} = 0V のときも入力電圧を許容します。

7.4 デバイスの機能モード

表 7-1 に、SN74LVC1G11 の機能モードを示します。

表 7-1. 機能表

入力			出力
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC1G11 デバイスは、多くのアプリケーションの設計に合わせた論理 AND 構成が用意されています。この例では、AND ゲート構成を使用する基本的な電源シーケンスについて説明します。電源シーケンスは、プロセッサなどの繊細なデバイスを必要とし、これらのデバイスを誤動作から保護するため特定の電圧タイミング要件を持つアプリケーションで多く使用されます。以下のアプリケーションでは、電源からのパワー グッド信号が、MCU に動作を継続するよう通知します。

8.2 代表的なアプリケーション

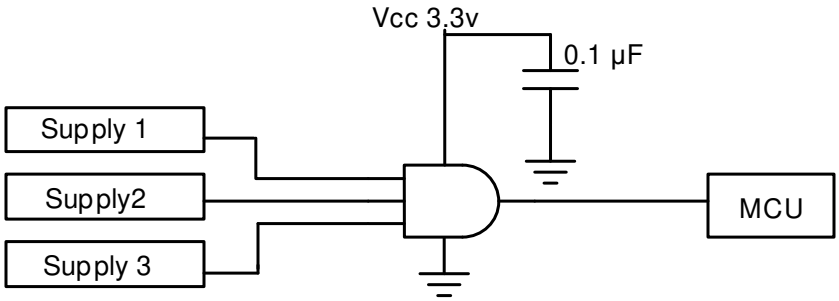


図 8-1. 代表的なアプリケーションの図

8.2.1 設計要件

- 推奨入力条件:
  - 立ち上がり時間と立ち下がり時間の仕様については、「推奨動作条件」表の Δt/ΔV を参照してください。
  - 規定された High および Low レベルについては、「推奨動作条件」表の V_{IH} および V_{IL} を参照してください。
  - 入力および出力は過電圧許容で、任意の有効な V_{CC} において最高 5.5V に対応できます。
- 推奨出力条件:
  - 負荷電流が ±50mA を超えてはいけません。
- 周波数選択の基準:
  - 周波数が出力電流に及ぼす影響を、図 8-2 に示します。
  - トレース抵抗と容量が増えると、最大周波数能力が低下する可能性があります。「レイアウト」セクションに記載されているレイアウト手法に従ってください。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 詳細な設計手順

SN74LVC1G11 デバイスは CMOS 技術を使用し、平衡型出力ドライブを採用使用しています。バスの競合が起きないようにしてください。これが起きた場合、上限値を超える電流がドライブされることがあります。

SN74LVC1G11 は、デジタル信号で論理 AND 機能を実行できます。最適な動作を行えるよう、入力信号は 0V または V_{CC} とできるだけ近い電位に維持してください。

8.2.3 アプリケーション曲線

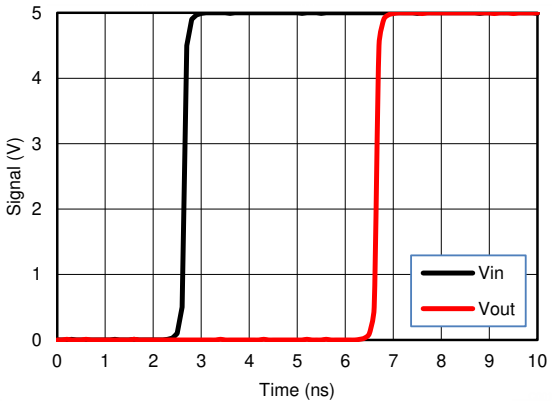


図 8-2. 伝搬遅延を示す入力から出力への電圧応答のシミュレーション

8.3 電源に関する推奨事項

電源には、「推奨動作条件」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の揺動を防止するため、各 V_{CC} 端子には適切なバイパス容量を確保してください。単一電源のデバイスには、0.1µF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01µF または 0.022µF のコンデンサを推奨します 。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1µF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。一般的に、0.1µF と 1µF のコンデンサを並列で使用します。バイパス コンデンサを電源端子のできるだけ近くに配置すると、最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能、または機能の一部は使用されません。たとえば、3 入力の AND ゲートで入力が 2 つしか使用されない、または 4 つのバッファ ゲートのうち 3 つしか使用されないなどです。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 8-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、そのピンがアサートされると部品の出力セクションがディセーブルされますが、I/O の入力セクションまではディセーブルされません。このため、ディセーブル時に I/O をフローティングにしてはいけません。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

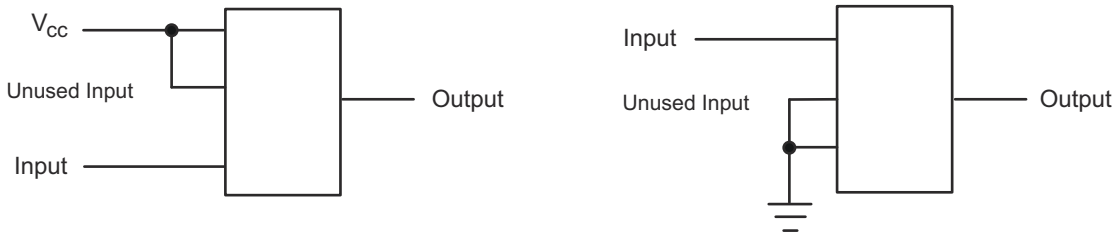


図 8-3. レイアウトの図

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート (アナログ)

9.1.1 関連資料

関連資料については、以下を参照してください。

- 『低速またはフローティング CMOS 入力の影響』、SCBA004
- 『テキサス・インスツルメンツ製信号スイッチの的確な選択』、SZZA030

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

NanoFree™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (November 2016) to Revision I (November 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• DCK パッケージのピン配置図を更新	3
• 重複した負荷回路および電圧波形の図を削除	8

Changes from Revision G (December 2015) to Revision H (November 2016)	Page
• 「特長」から「200V マシン モデル」を削除	1
• ピン名とピン番号を明確にするため、ピン配置の画像を変更	3
• 「ピン機能」の表に DSBGA のピン番号を追加	3

Copyright © 2024 Texas Instruments Incorporated

• BGA パッケージの自由気流での動作温度 T_A を追加..... 4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G11DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C115, C11F, C11K, C11R)
SN74LVC1G11DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C115, C11F, C11K, C11R)
SN74LVC1G11DBVRE4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DBVRG4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C35, C3F, C3J, C3K, C3R)
SN74LVC1G11DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C35, C3F, C3J, C3K, C3R)
SN74LVC1G11DCKRE4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DCKRG4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DCKRG4.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11YZPR	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C3N
SN74LVC1G11YZPR.B	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C3N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G11 :

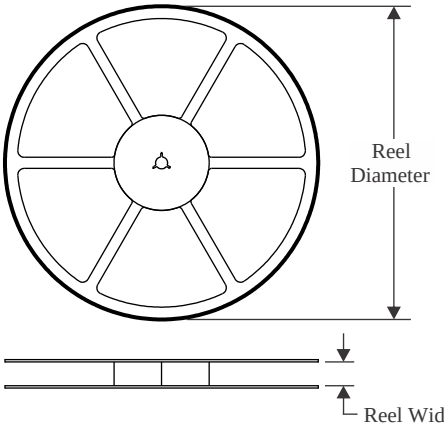
- Automotive : SN74LVC1G11-Q1
- Enhanced Product : SN74LVC1G11-EP

NOTE: Qualified Version Definitions:

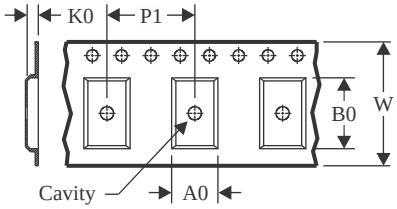
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

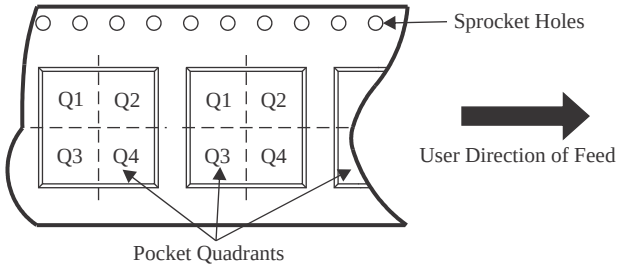


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

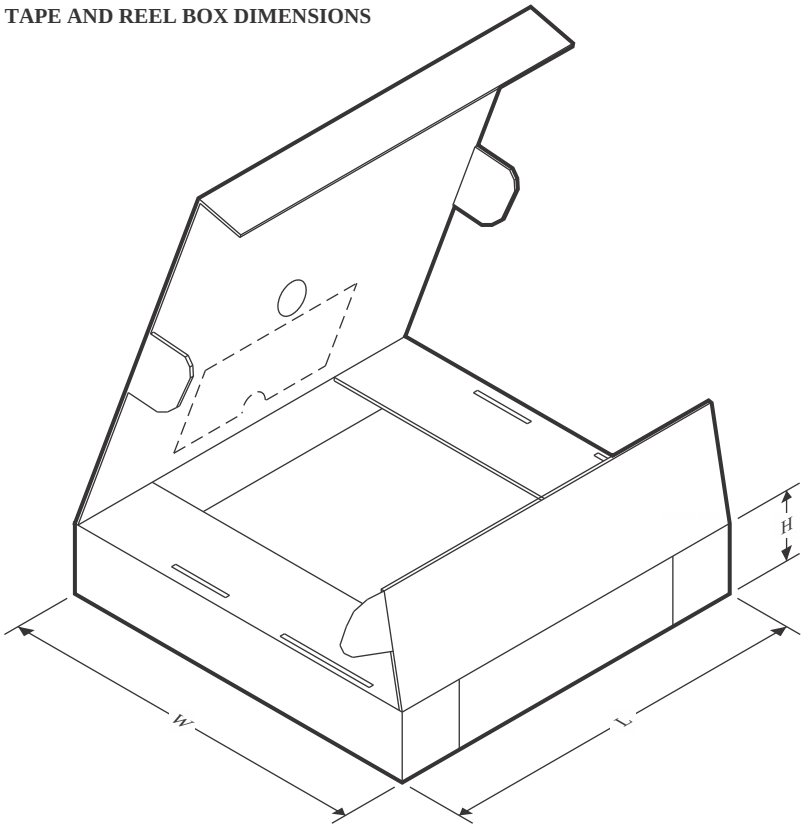


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G11DCKRG4	SC70	DCK	6	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G11DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G11DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G11DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G11DSFRG4	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G11YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	202.0	201.0	28.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	210.0	185.0	35.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	202.0	201.0	28.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	208.0	191.0	35.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKRG4	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G11DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G11DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G11DSFRG4	SON	DSF	6	5000	184.0	184.0	19.0

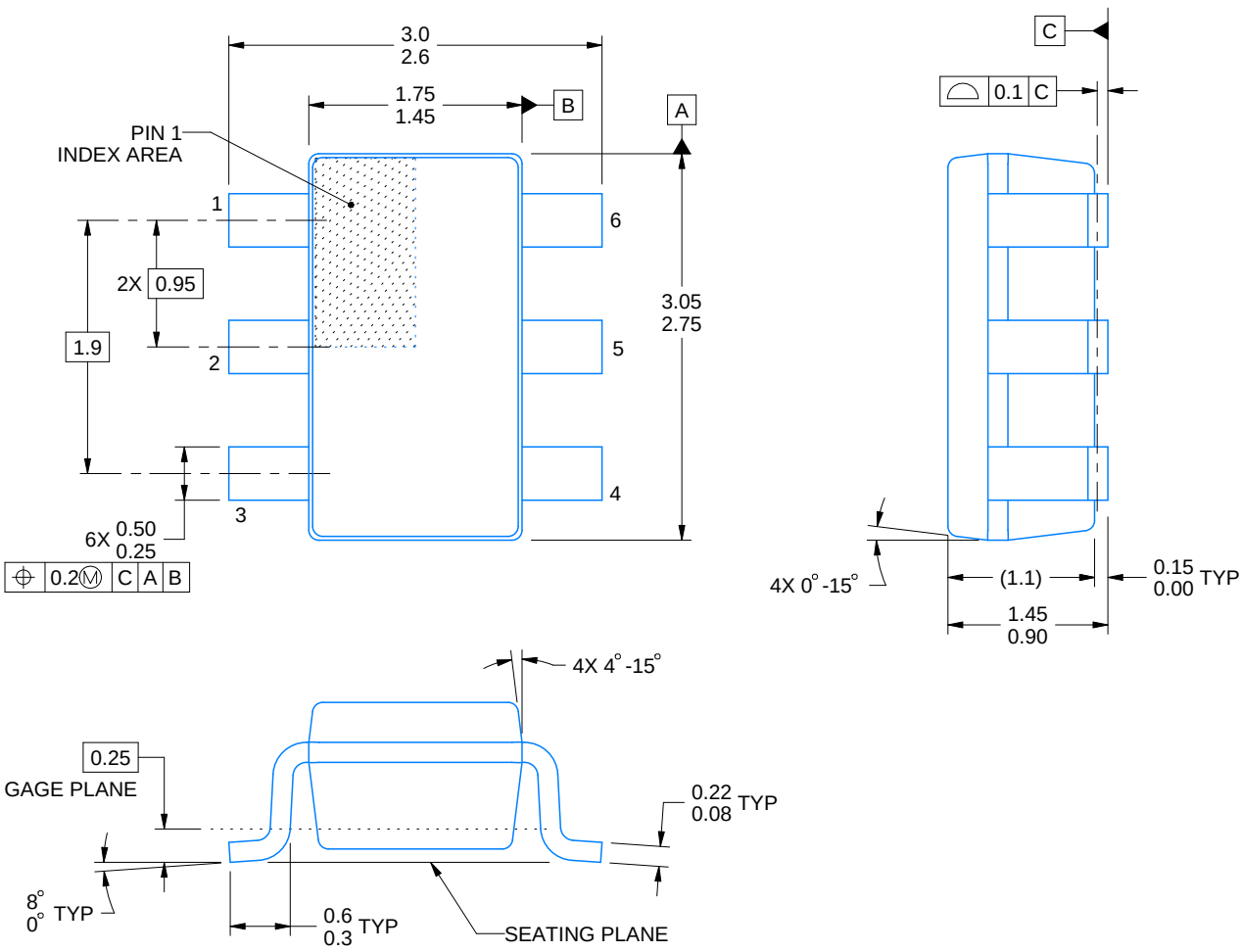
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G11YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

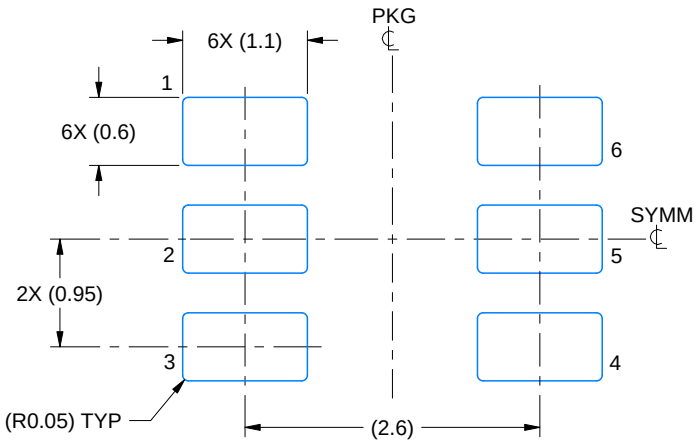
SMALL OUTLINE TRANSISTOR



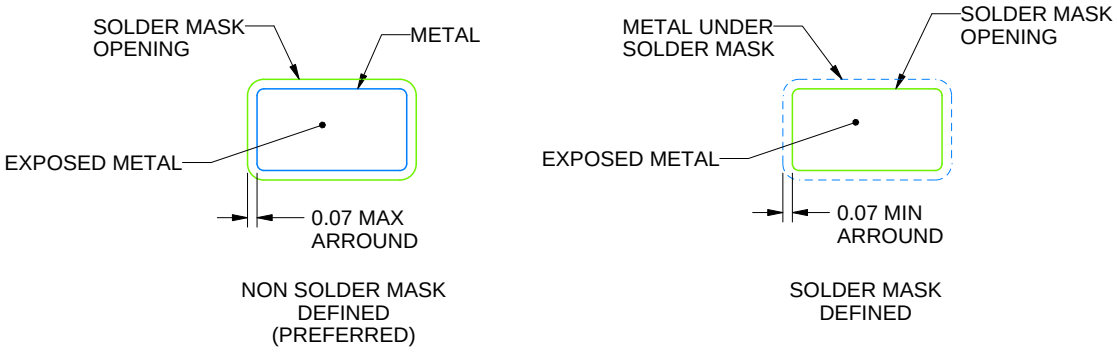
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

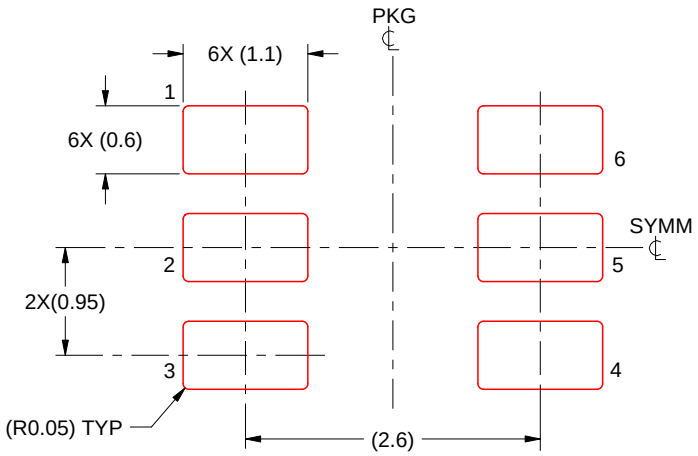


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

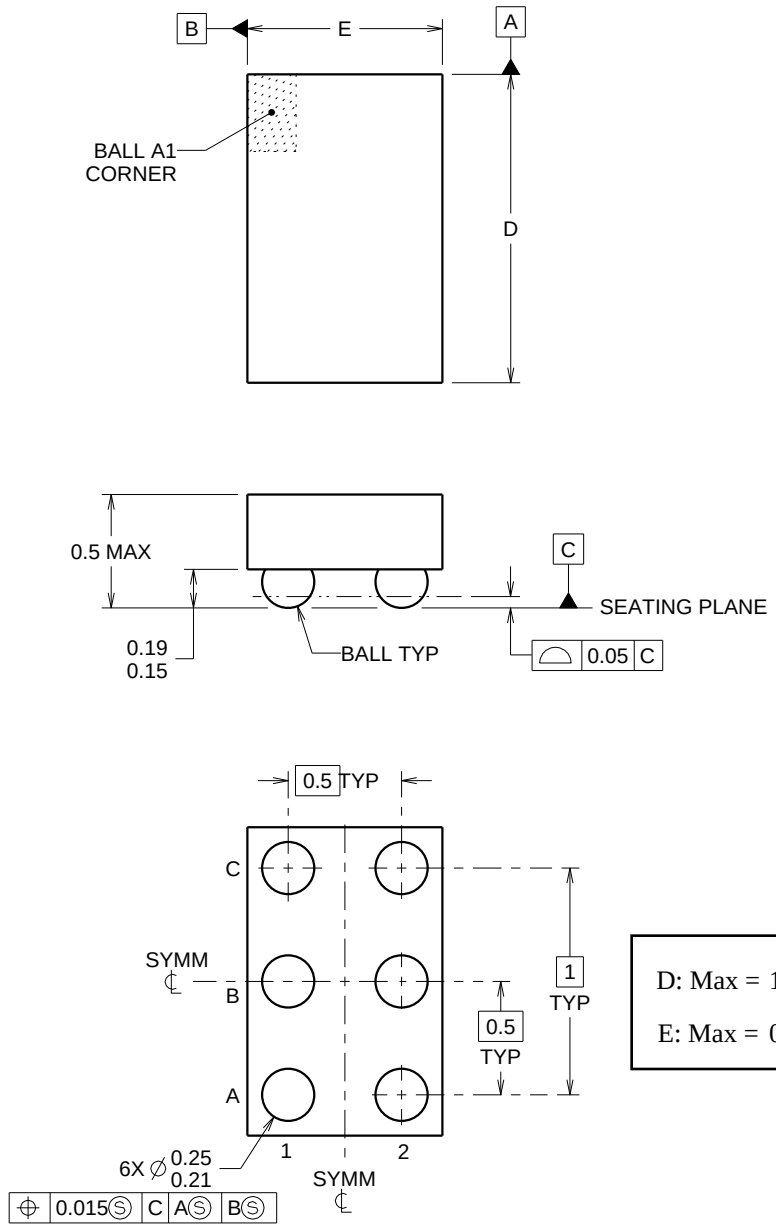
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 1.418 mm, Min =1.358 mm

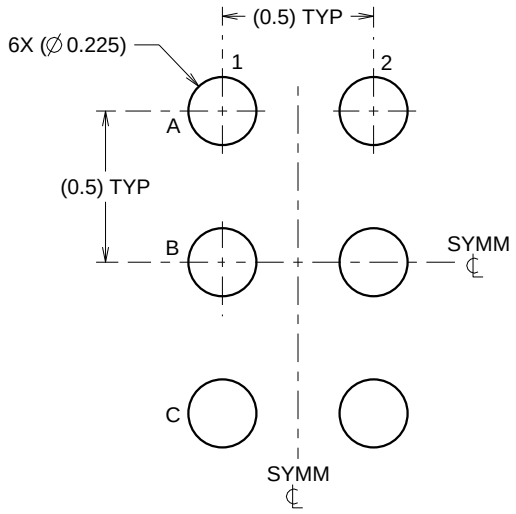
E: Max = 0.918 mm, Min =0.858 mm

4219524/A 06/2014

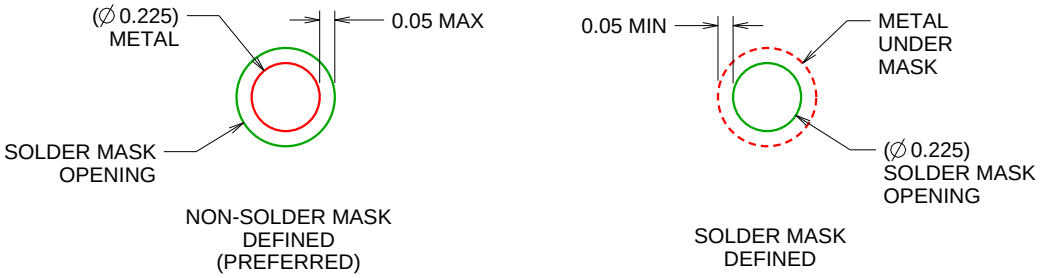
NOTES:

NanoFree Is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.



LAND PATTERN EXAMPLE
SCALE:40X

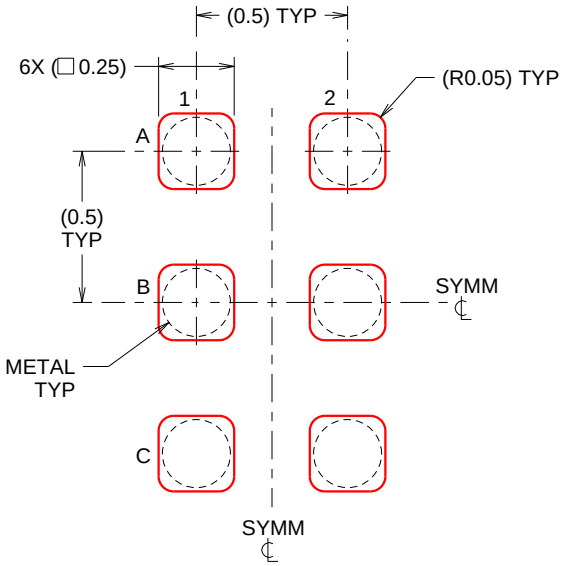


SOLDER MASK DETAILS
NOT TO SCALE

4219524/A 06/2014

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SBVA017 (www.ti.com/lit/sbva017).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219524/A 06/2014

NOTES: (continued)

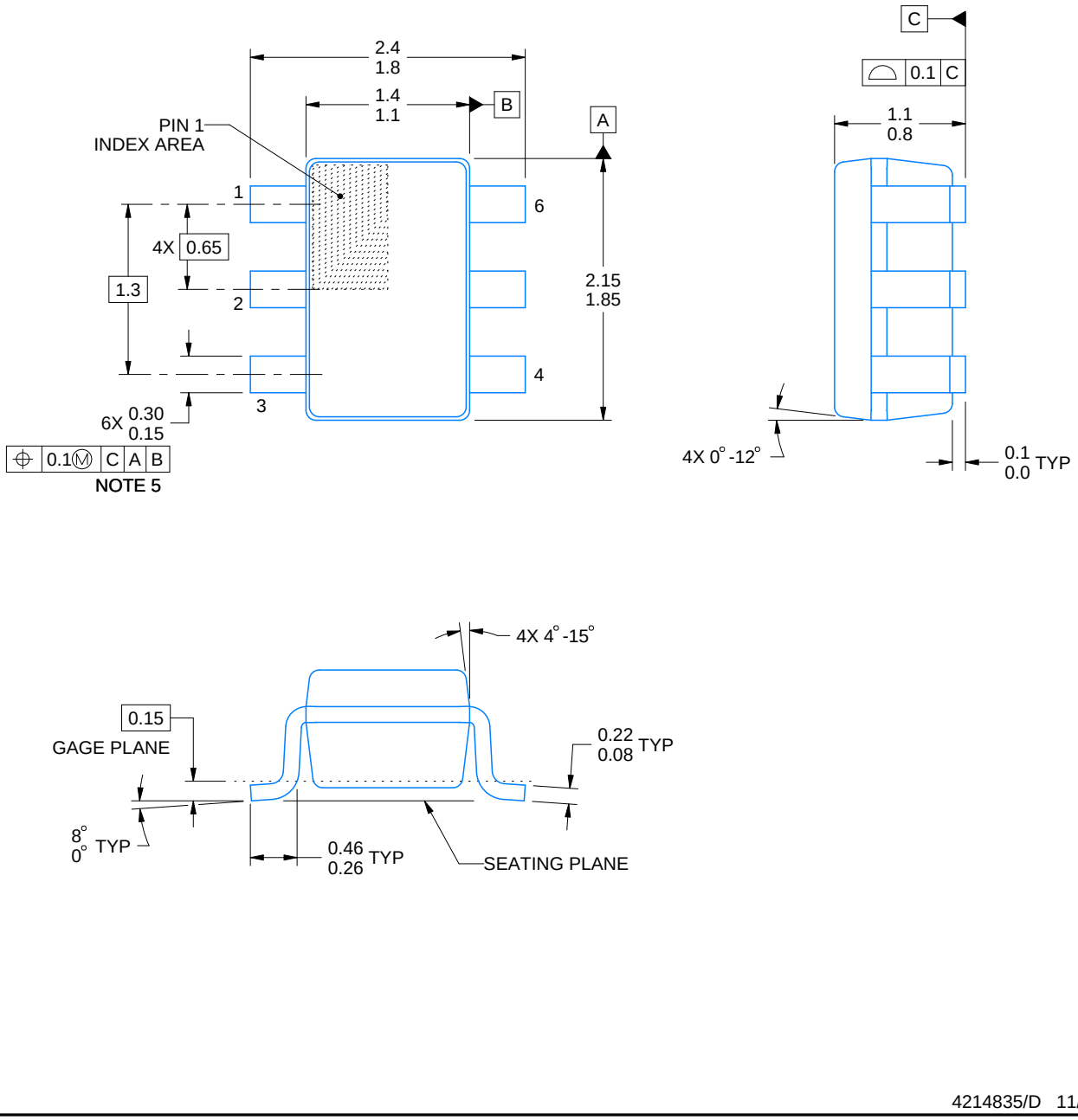
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

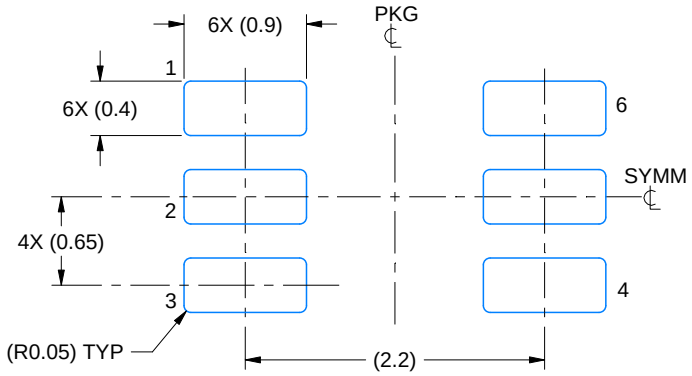
SMALL OUTLINE TRANSISTOR



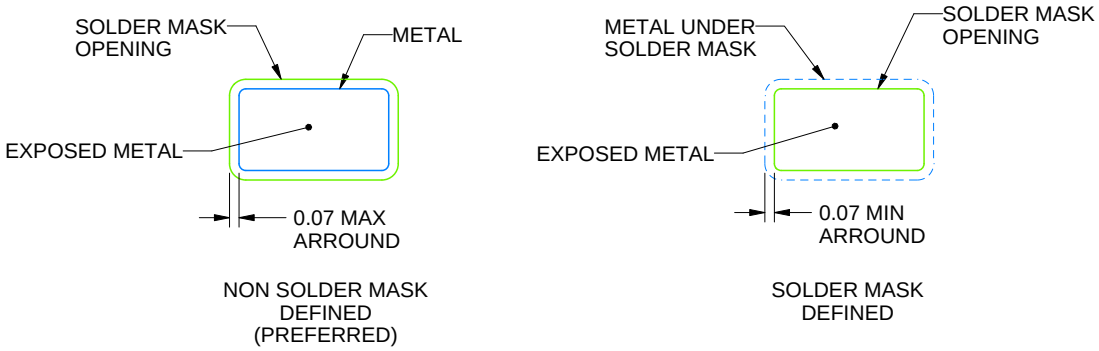
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

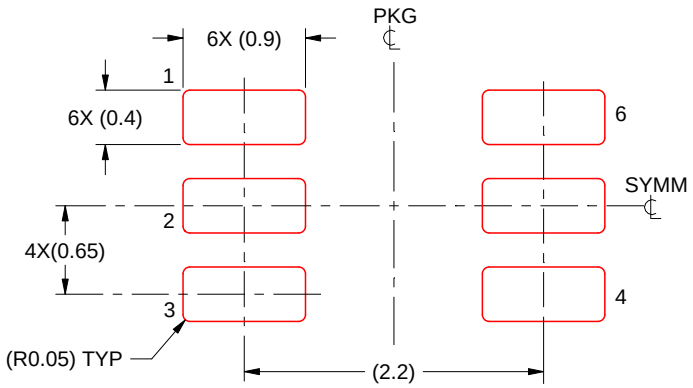


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

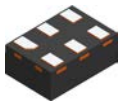
DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

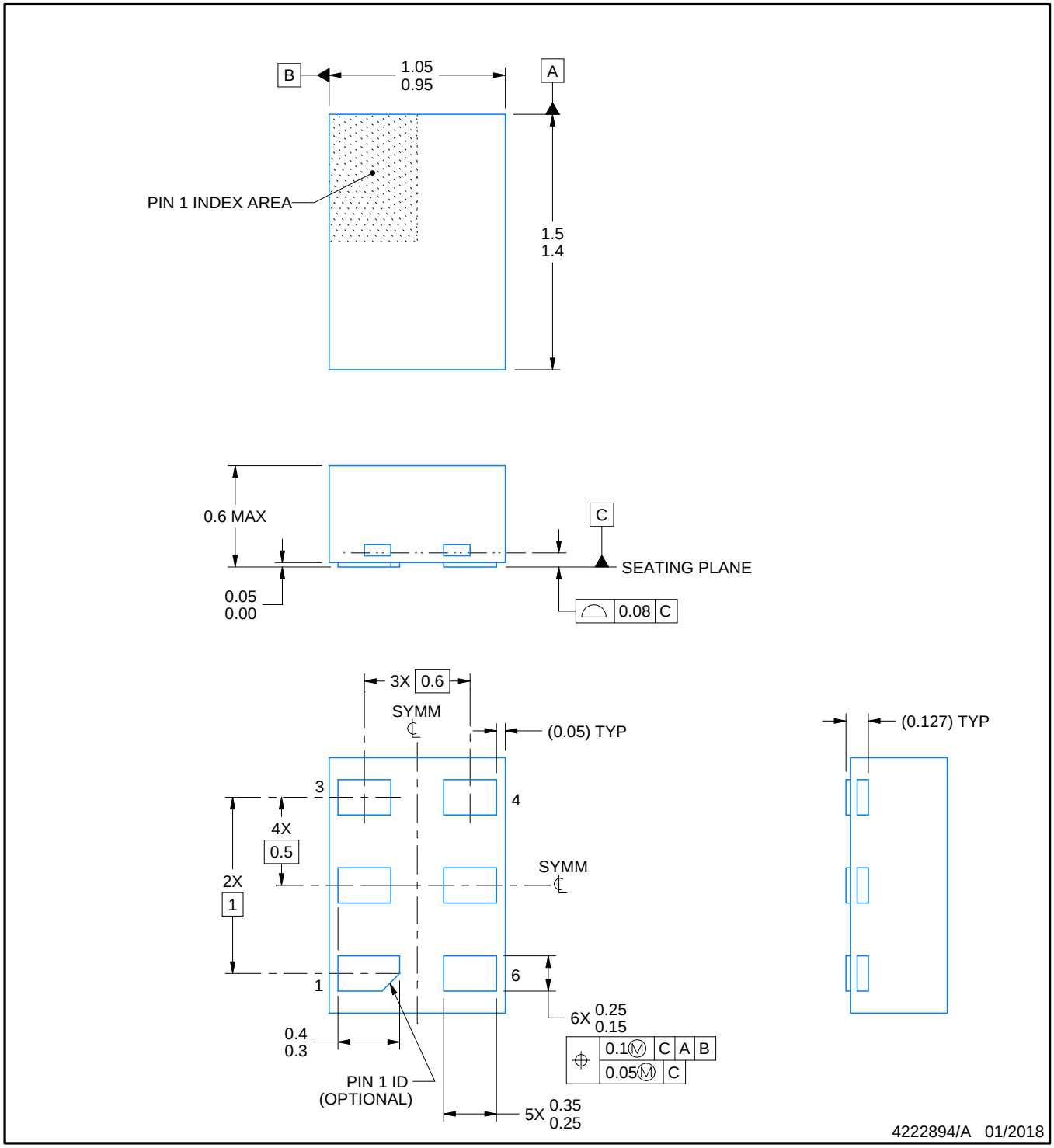
DRY0006A



PACKAGE OUTLINE

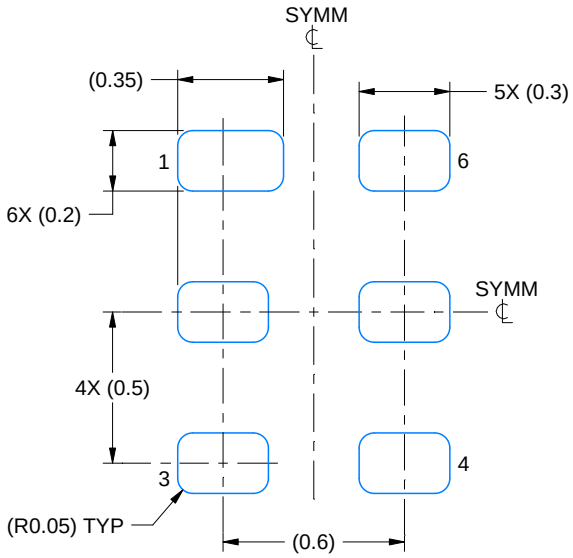
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

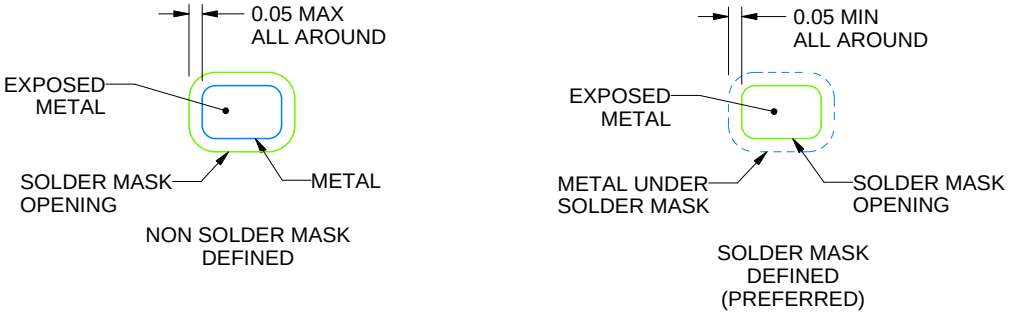


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

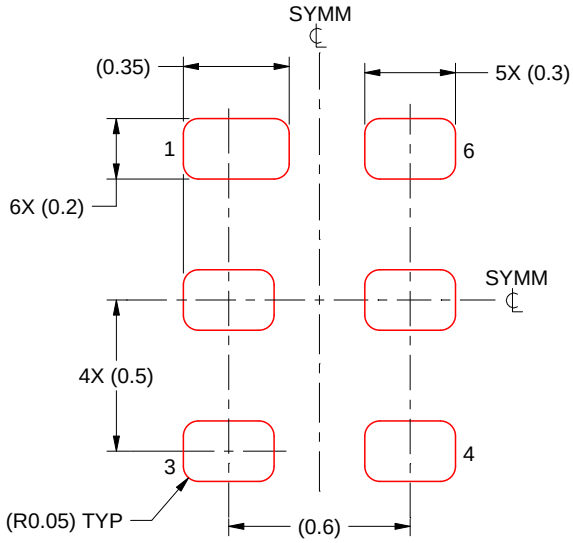
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

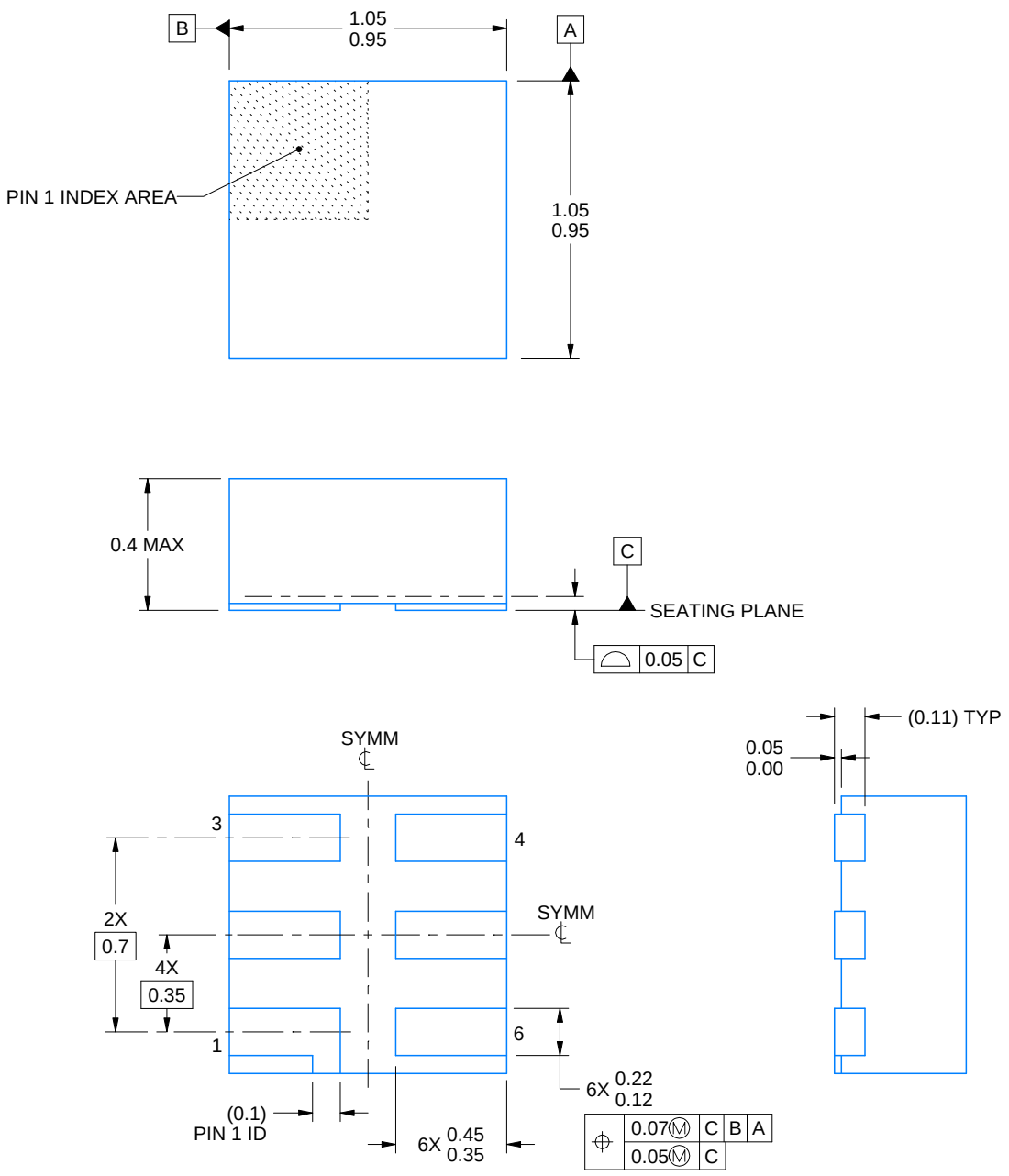
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

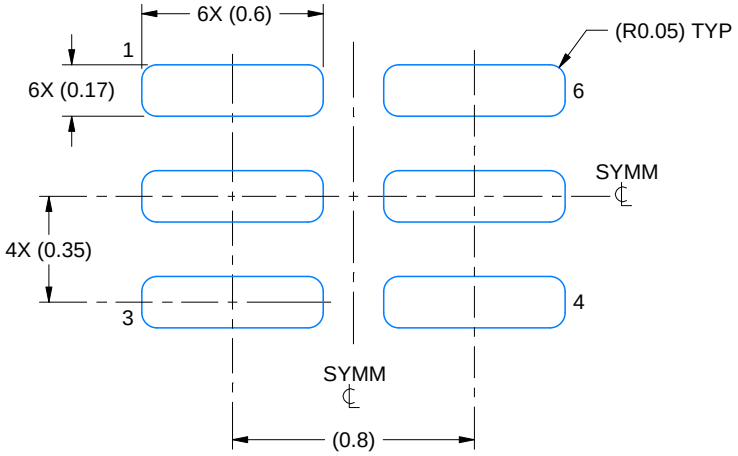
PLASTIC SMALL OUTLINE - NO LEAD



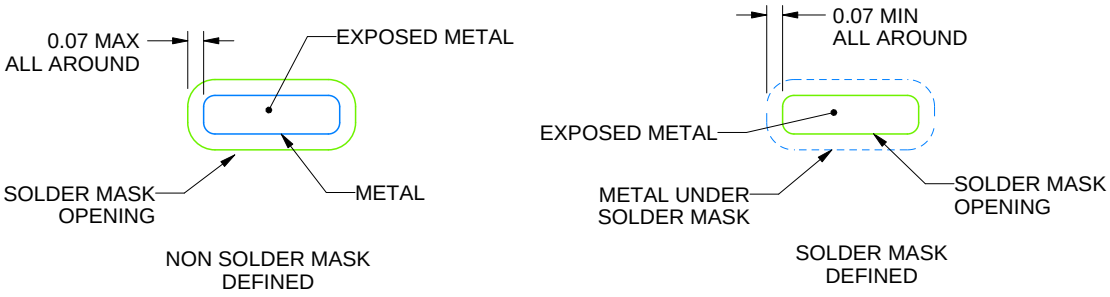
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

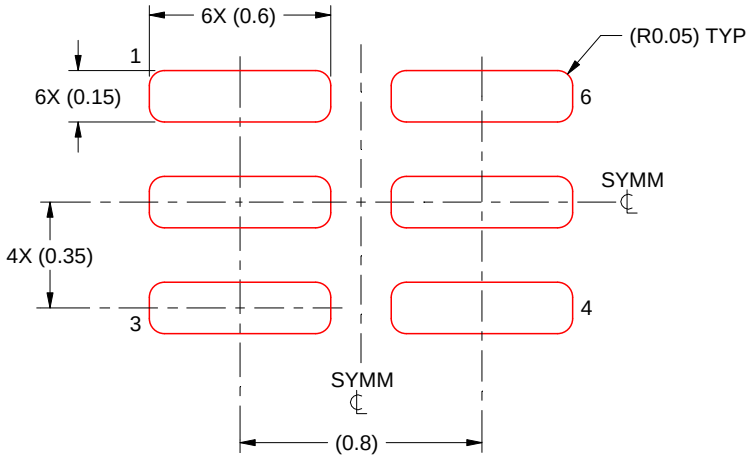
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月