SN74LVC1G125-Q1 3 ステート出力搭載シングル バス バッファ ゲート

1 特長

- 1.45mm^2、0.5mm ピッチの小型パッケージ (DRY) で供給
- 5V V_{CC} 動作をサポート
- 過電圧許容の入力により 5.5V までの電圧に対応
- V_{CC} への降圧変換をサポート
- 最大 t_{pd} 3.7ns (3.3V 時)
- 低い消費電力、最大 I_{CC}：10µA
- 3.3V で ±24mA の出力駆動能力
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- 車載アプリケーション認定済み
- デジタル信号駆動強度が向上
- 最大 100MHz の方形波信号を再駆動
- 高インピーダンス オフ状態によるデジタル信号のイネーブルまたはディセーブル

3 説明

このバス バッファ ゲートは、1.65V ～ 5.5V V_{CC} 動作用に設計されています。

SN74LVC1G125-Q1 は、3 ステート出力に対応したシングル ライン ドライバです。出力イネーブル ($\overline{OE}$) 入力が High になると、出力はディセーブルされます。

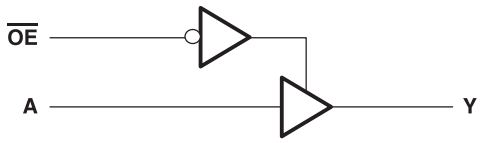
この CMOS デバイスは出力駆動能力が大きく、広い V_{CC} 動作範囲にわたって静止電力消費が低く保たれます。

SN74LVC1G125-Q1 デバイスは、ボディ サイズ 1.45mm × 1.00mm の小型 DRY パッケージなどの、各種パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
CLVC1G125QDBVRQ1	SOT-23 (5)	2.90mm × 1.60mm
1P1G125QDCKRQ1	SC70 (5)	2.00mm × 1.25mm
1P1G125QDRYRQ1	SON (6)	1.45mm × 1.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 6
5.6 スイッチング特性 ... 6
5.7 動作特性 ... 6
5.8 代表的特性 ... 7
6 パラメータ測定情報 ... 8
7 詳細説明 ... 10
7.1 概要 ... 10
7.2 機能ブロック図 ... 10
7.3 機能説明 ... 10
7.4 デバイスの機能モード ... 10
8 アプリケーションと実装 ... 11
8.1 使用上の注意 ... 11
8.2 代表的なアプリケーション ... 11
8.3 電源に関する推奨事項 ... 12
8.4 レイアウト ... 12
9 デバイスおよびドキュメントのサポート ... 13
9.1 ドキュメントの更新通知を受け取る方法 ... 13
9.2 サポート・リソース ... 13
9.3 商標 ... 13
9.4 静電気放電に関する注意事項 ... 13
9.5 用語集 ... 13
10 改訂履歴 ... 13
11 メカニカル、パッケージ、および注文情報 ... 14

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

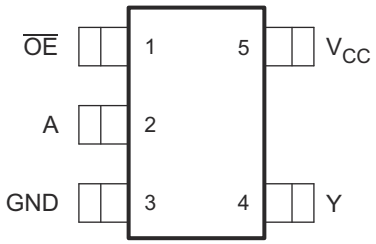


図 4-1. DBV パッケージ 5 ピン SOT-23 (上面図)

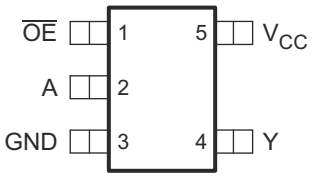
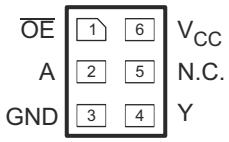


図 4-2. DCK パッケージ 5 ピン SC70 (上面図)



N.C.– 内部接続なし
寸法については、機械的な図を参照してください。

図 4-3. DRY パッケージ 6 ピン SON (透過上面図)

ピンの機能

ピン			タイプ	説明
名称	DBV、DCK	DRY		
A	2	2	入力	入力 A
GND	3	3	—	グランド
NC	–	5	—	内部接続なし
$\overline{OE}$	1	1	入力	アクティブ Low 出力イネーブル入力
V_{CC}	5	6	—	正電源
Y	4	4	出力	出力 Y

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	6.5	V
V_O	High または Low 状態にある任意の出力に印加される電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力と出力の負の電圧定格を超えることがあります。
(3) V_{CC} の値は、「推奨動作」表に記載されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠(1) HBM ESD 分類レベル	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

(1)			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3V～3.6V	2		
		V_{CC} = 4.5V～5.5V	0.7 × V_{CC}		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3V～3.6V		0.8	
		V_{CC} = 4.5V～5.5V		0.3 × V_{CC}	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V ± 0.15V、2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		5	
T_A	自由空気での動作温度		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

5.4 熱に関する情報

熱評価基準(1)		SN74LVC1G125-Q1			単位
		DBV	DCK	DRY	
		5 ピン	5 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	357.1	371	439	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	263.7	297.5	277	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	264.4	258.6	271	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	195.6	195.6	84	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	262.2	256.2	271	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	–	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	–40°C ～ 125°C			単位
				最小値	標準値 (1)	最大値	
V_{OH}		I_{OH} = –100µA	1.65V ～ 5.5V	V_{CC} - 0.1			V
		I_{OH} = -4mA	1.65V	1.2			
		I_{OH} = -8mA	2.3V	1.9			
		I_{OH} = -16mA	3V	2.4			
		I_{OH} = -24mA	3V	2.3			
			4.5V	3.8			
V_{OL}		I_{OL} = 100µA	1.65V ～ 5.5V			0.1	V
		I_{OL} = 4mA	1.65V			0.45	
		I_{OL} = 8mA	2.3V			0.3	
		I_{OL} = 16mA	3V			0.4	
		I_{OL} = 24mA	3V			0.55	
			4.5V			0.55	
I_I	A または $\overline{OE}$ 入力	V_I = 5.5V または GND	0～5.5V			±5	µA
I_{off}		V_I または V_O = 5.5V	0			±10	µA
I_{OZ}		V_O = 0～5.5V	3.6V			10	µA
I_{CC}		V_I = 5.5V または GND、 I_O = 0	1.65V ～ 5.5V			10	µA
ΔI_{CC}		1 つの入力は V_{CC} – 0.6V、 その他の入力は $V_{C\,C}$ または GND	3V ～ 5.5V			500	µA
C_I		V_I = V_{CC} または GND	3.3V		4		pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25℃における値です。

5.6 スイッチング特性

自由気流での推奨動作温度範囲内 (–40°C ～ 125°C)、C_L = 50pF (特に記述のない限り)
(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		単位
			最小値	最大値	最小値	最大値	
t_{pd}	A	Y	1	5.1	1	4.1	ns
t_{en}	$\overline{OE}$	Y	1	6	1	5	ns
t_{dis}	$\overline{OE}$	Y	1	5	1	4.2	ns

5.7 動作特性

T_A = 25℃

パラメータ			テスト条件	V_{CC} = 3.3V	V_{CC} = 5V	単位
				標準値	標準値	
C_{pd}	電力散逸容量	出力イネーブル	f = 10MHz	19	21	pF
		出力ディセーブル		2	4	

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

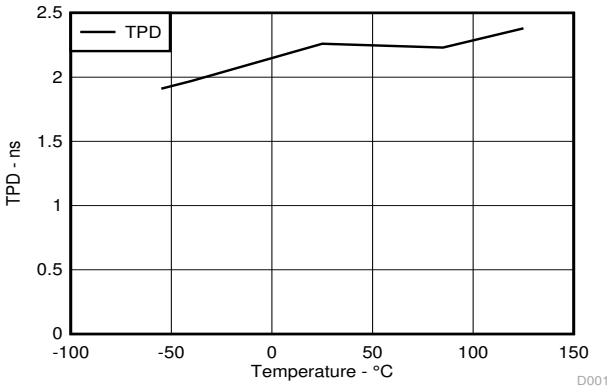


図 5-1. 3.3V V_{CC} での温度範囲における昇温脱離法

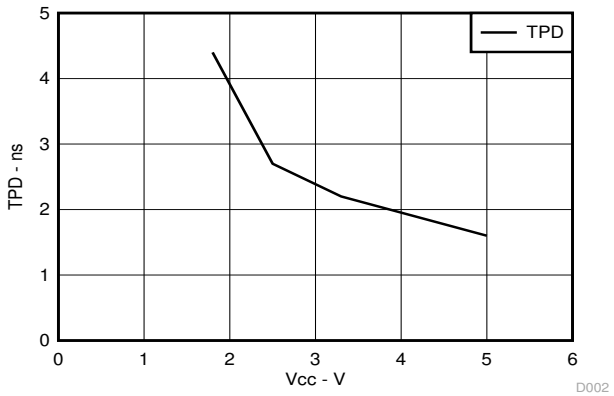
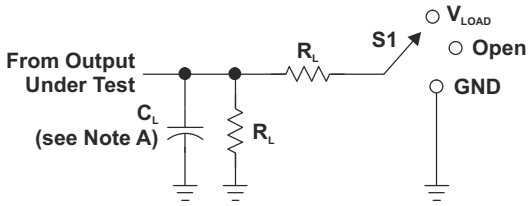


図 5-2. 25℃での V_{CC} における昇温脱離

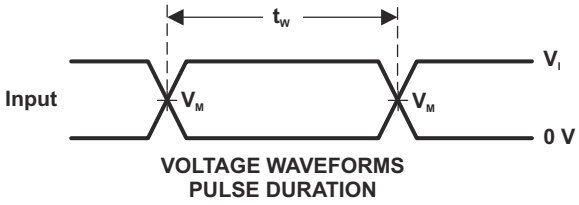
6 パラメータ測定情報



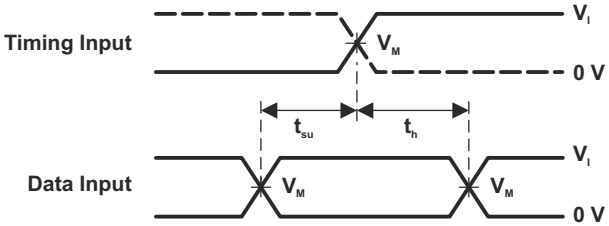
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

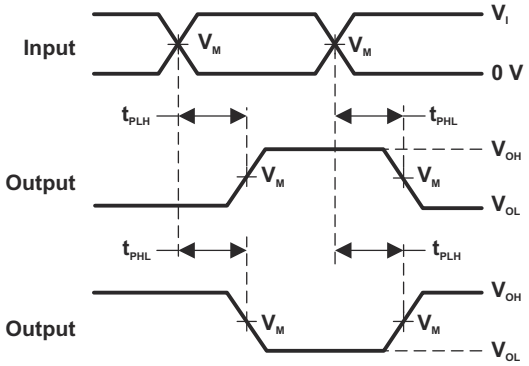
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	15 pF	1 MΩ	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.3 V



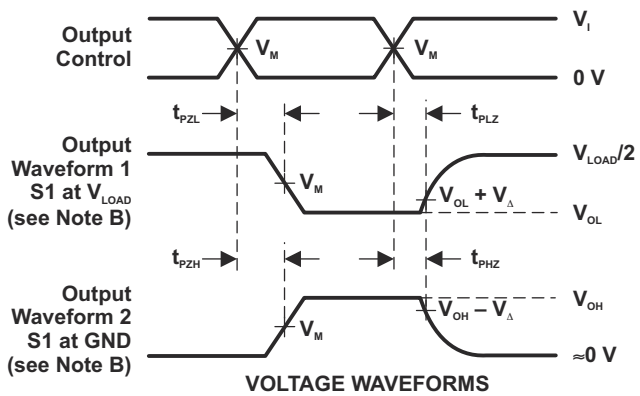
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

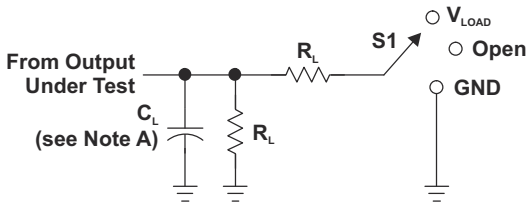


VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

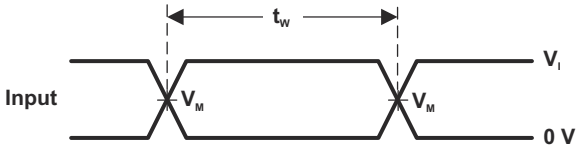
Copyright © 2026 Texas Instruments Incorporated



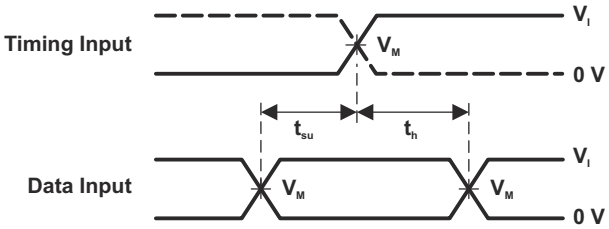
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

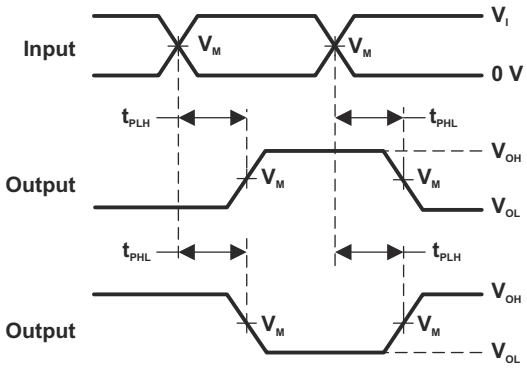
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



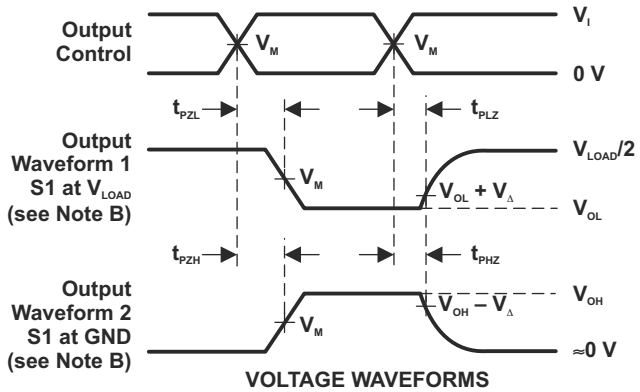
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-2. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

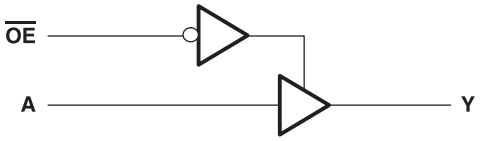
7 詳細説明

7.1 概要

SN74LVC1G125-Q1 デバイスには出力イネーブル制御機能を搭載したバッファ ゲート デバイスが 1 つ内蔵されており、ブール関数 Y = A を実行します。このデバイスは I_{off} を使用することで、部分的パワーダウン アプリケーションに完全対応しています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

電源投入または電源切断時に高インピーダンス状態を維持するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図



7.3 機能説明

- 広い動作電圧範囲
  - 1.65 V～5.5 V で動作
- 降圧変換に対応
- 5.5V までの入力電圧に対応
- I_{off} 機能により、V_{CC} が 0V のときに入力と出力に電圧をかけることが可能

7.4 デバイスの機能モード

表 7-1. 機能表

入力		出力
$\overline{OE}$	A	Y
L	H	H
L	L	L
H	X	Z

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74LVC1G125-Q1 デバイスは、LED アプリケーションなどの高出力駆動による出力イネーブル バッファに使用できる、高駆動 CMOS デバイスです。3.3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 100MHz の高速アプリケーションにも適しています。入力は 5.5V 耐圧であり、V_{CC} に降圧変換できます。

8.2 代表的なアプリケーション

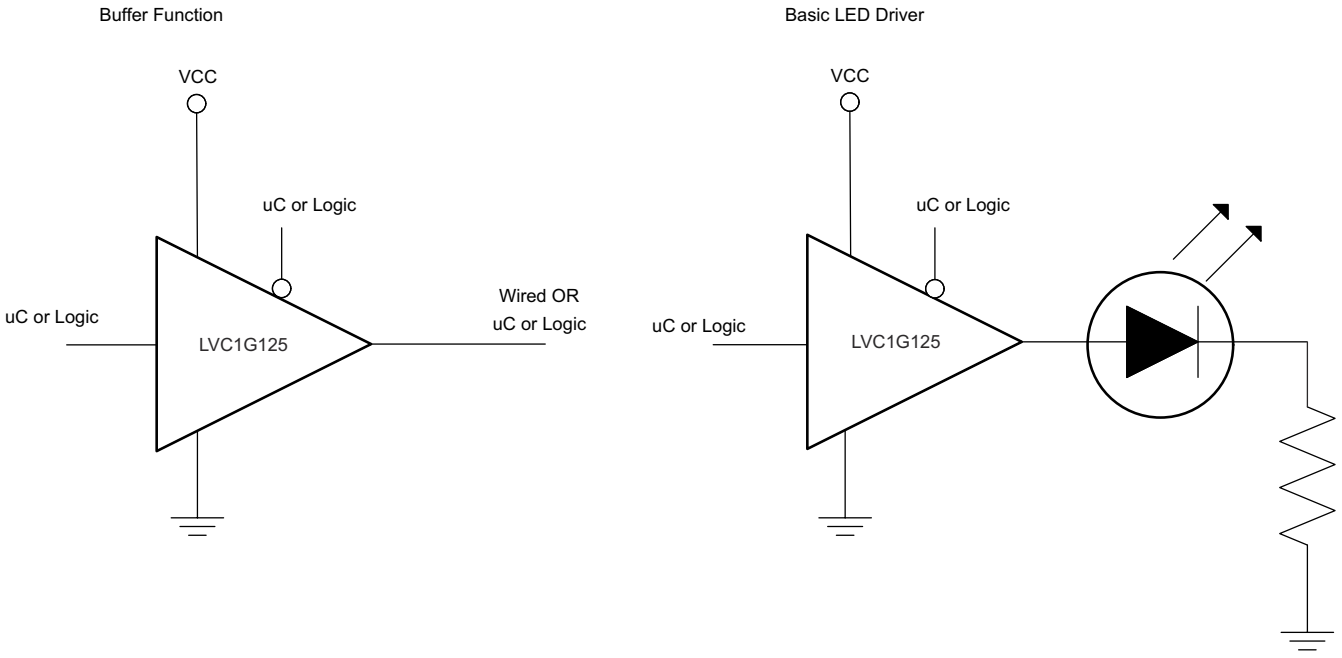


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れることがあるため、バスが競合しないようにしてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止する必要があります。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様。「推奨動作条件」表の (Δt/ΔV) を参照してください。
   - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 推奨出力条件

- 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、*「絶対最大定格」*表に記載されています。
- 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

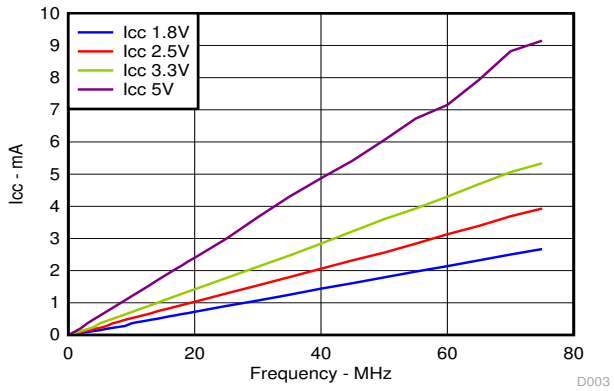


図 8-2. I_{CC} と周波数、方形波入力信号との関係

8.3 電源に関する推奨事項

電源には、*「推奨動作条件」*表に記載されている最大最小の電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスでは 0.1µF のコンデンサが推奨されます。複数の VCC ピンがある場合は、各電源ピンごとに 0.01µF または 0.022µF のコンデンサを使用することが推奨されます。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 8-3 は、あらゆる状況で遵守する必要がある規則を示しています。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または VCC のうち、より適切であるかより利便性の高い方にレベルが接続されます。

8.4.2 レイアウト例

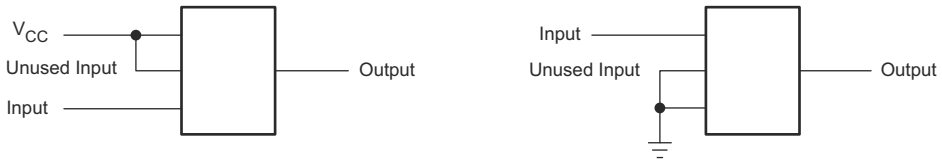


図 8-3. パッケージ レイアウト

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from AUGUST 1, 2020 to AUGUST 14, 2026 (from Revision E (August 2020) to Revision F (August 2026)) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- DBV パッケージの接合部と周囲の間の熱抵抗値を次のように変更：229℃/W >>357.1℃/W 5
- DBV パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：164℃/W >>263.7℃/W 5
- DBV パッケージの接合部と基板の間の特性値を次のように変更：62℃/W >>264.4℃/W 5
- DBV パッケージの接合部と上面の間の特性値を次のように変更：44℃/W >>195.6℃/W 5
- DBV パッケージの接合部と基板の間の特性値を次のように変更：62℃/W >>262.2℃/W 5
- DCK パッケージの接合部と周囲の間の熱抵抗値を次のように変更：278℃/W >>371℃/W 5
- DCK パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：93℃/W >>297.5℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：65℃/W >>258.6℃/W 5
- DCK パッケージの接合部と上面の間の特性値を次のように変更：2℃/W >>195.6℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：64℃/W >>256.2℃/W 5

Changes from Revision D (August 2019) to Revision E (August 2020) **Page**

- *「製品情報」* 表の SC70 および SOT-23 パッケージのデバイス名を更新 1

Copyright © 2026 Texas Instruments Incorporated

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
1P1G125QDCKRG4Q1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CMR
1P1G125QDCKRG4Q1.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CMR
1P1G125QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CMJ, CML, CMR)
1P1G125QDCKRQ1.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CMJ, CML, CMR)
1P1G125QDRYRQ1	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	FX
1P1G125QDRYRQ1.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	FX
CLVC1G125QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(34S5, C25O)
CLVC1G125QDBVRQ1.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(34S5, C25O)
CLVC1G125QDBVRQ1G4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(34S5, C25O)
CLVC1G125QDBVRQ1G4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(34S5, C25O)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G125-Q1 :

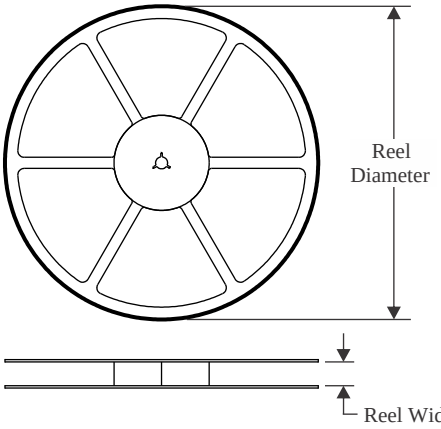
- Catalog : SN74LVC1G125
- Enhanced Product : SN74LVC1G125-EP

NOTE: Qualified Version Definitions:

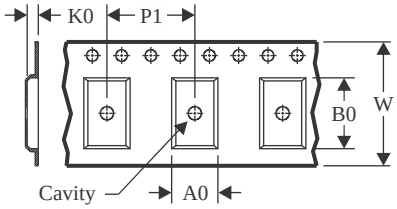
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

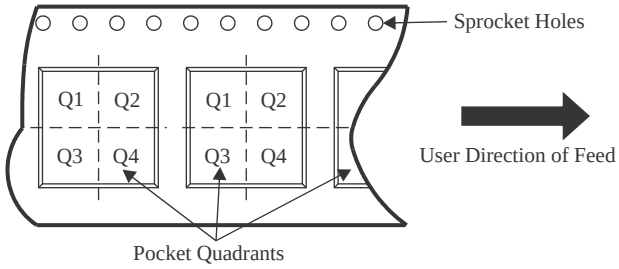


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

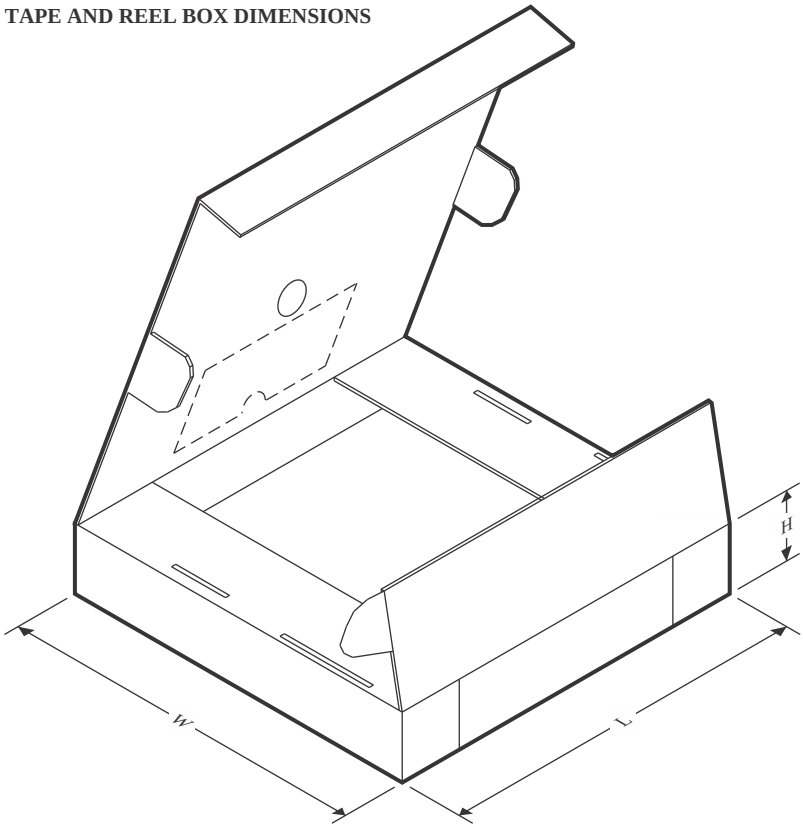
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
1P1G125QDCKRG4Q1	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
1P1G125QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
1P1G125QDRYRQ1	SON	DRY	6	5000	180.0	9.5	1.2	1.65	0.7	4.0	8.0	Q1
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CLVC1G125QDBVRQ1G4	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CLVC1G125QDBVRQ1G4	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

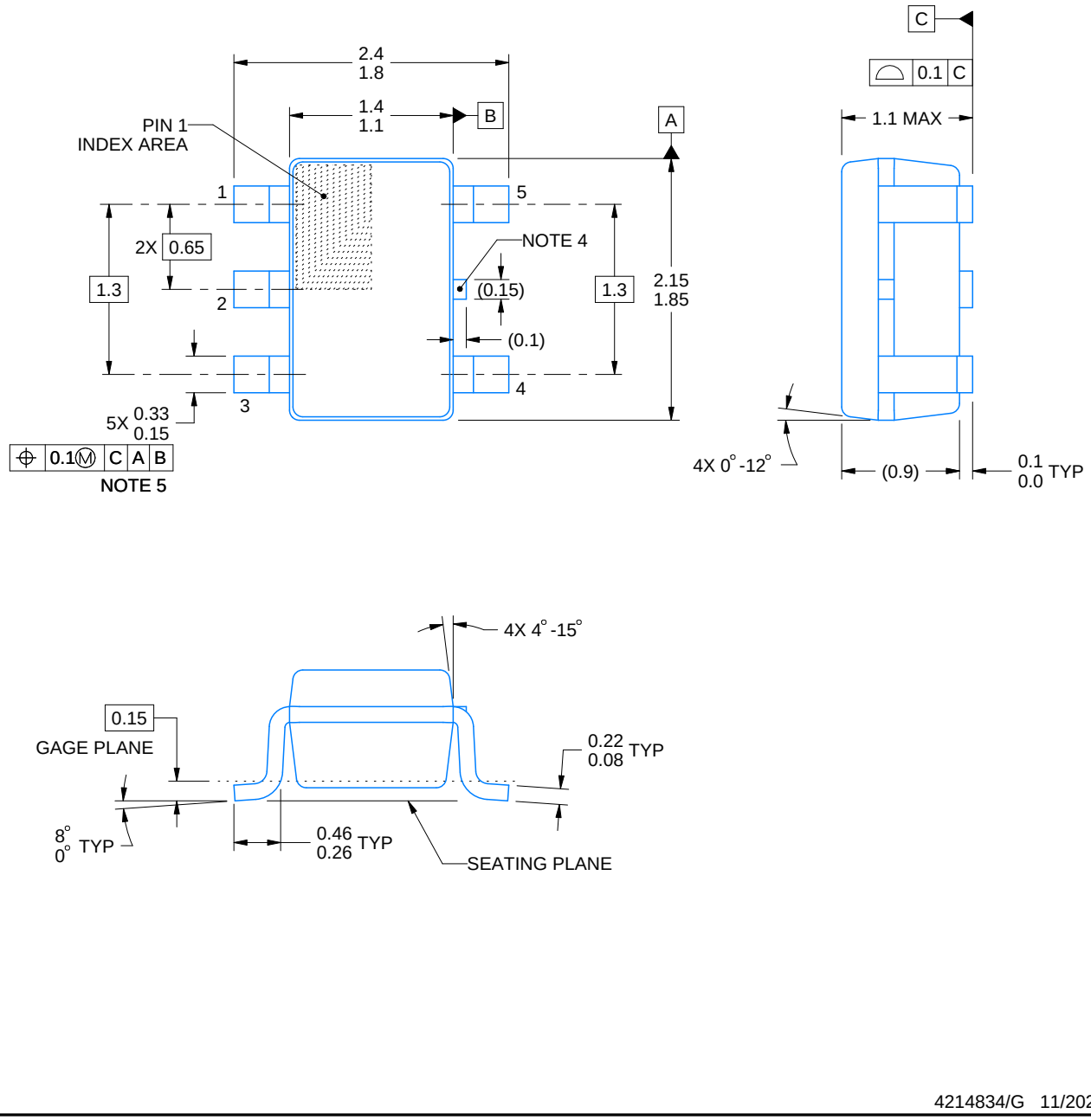
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
1P1G125QDCKRG4Q1	SC70	DCK	5	3000	202.0	201.0	28.0
1P1G125QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
1P1G125QDRYRQ1	SON	DRY	6	5000	189.0	185.0	36.0
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
CLVC1G125QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CLVC1G125QDBVRQ1G4	SOT-23	DBV	5	3000	200.0	183.0	25.0
CLVC1G125QDBVRQ1G4	SOT-23	DBV	5	3000	180.0	180.0	18.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

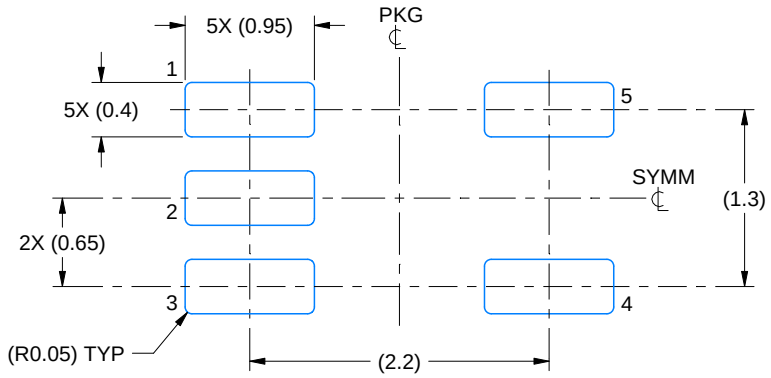
SMALL OUTLINE TRANSISTOR



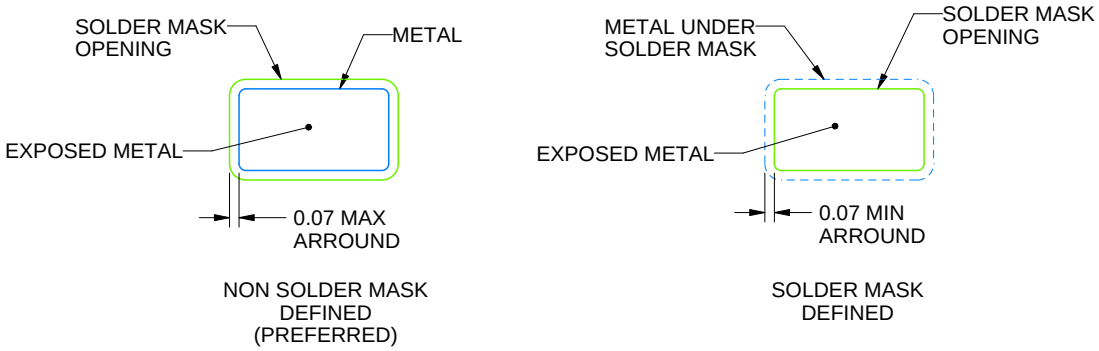
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

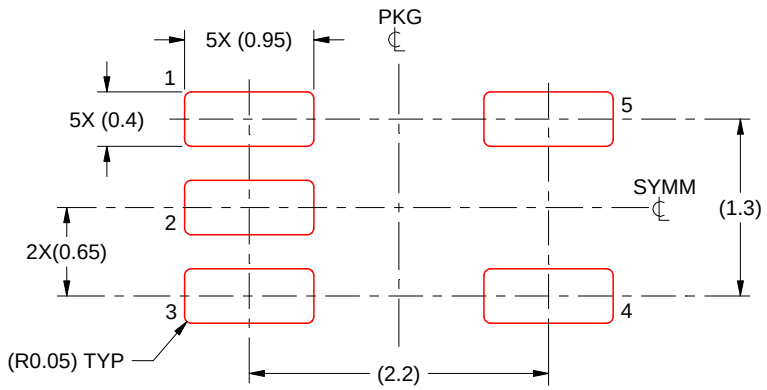


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

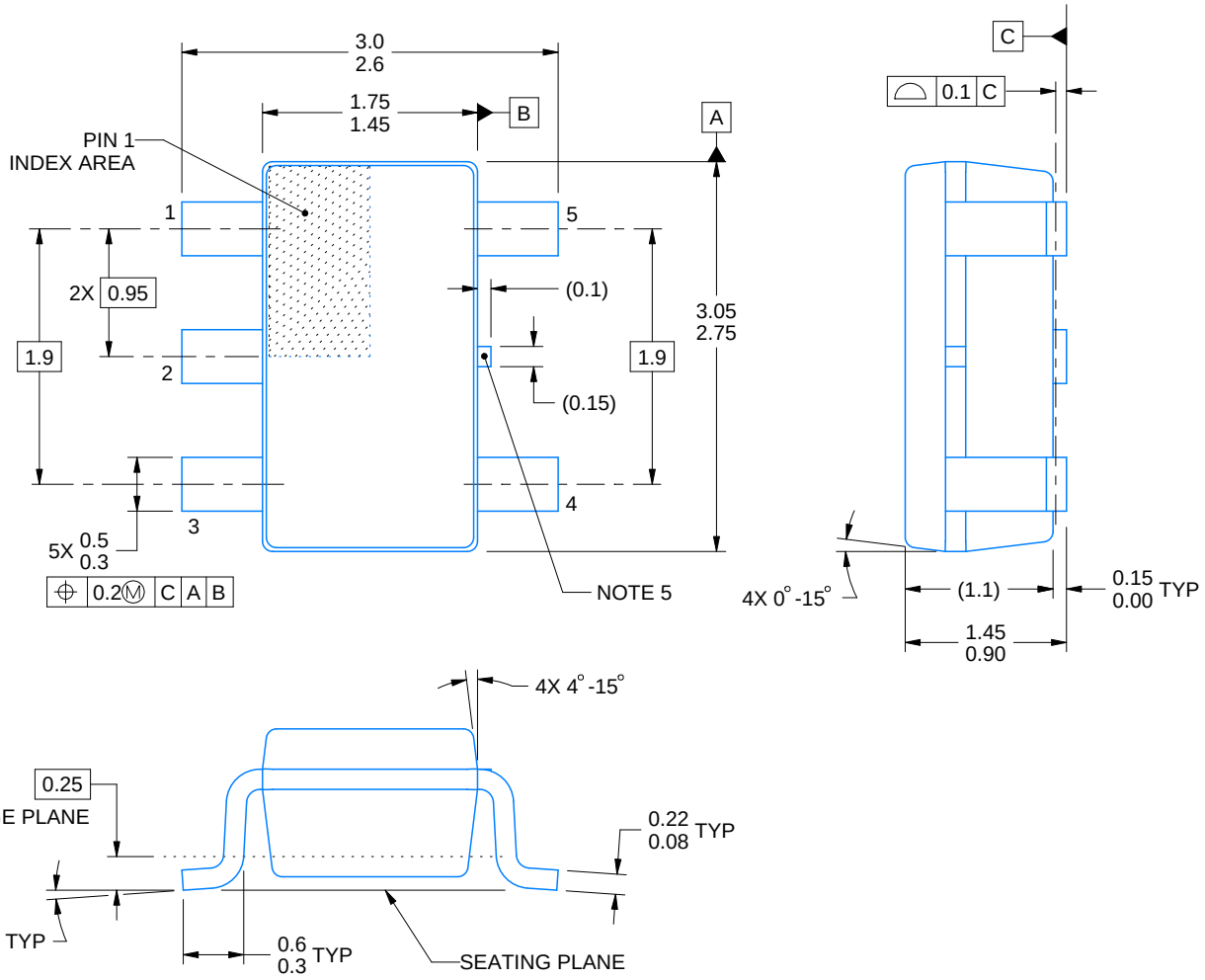
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

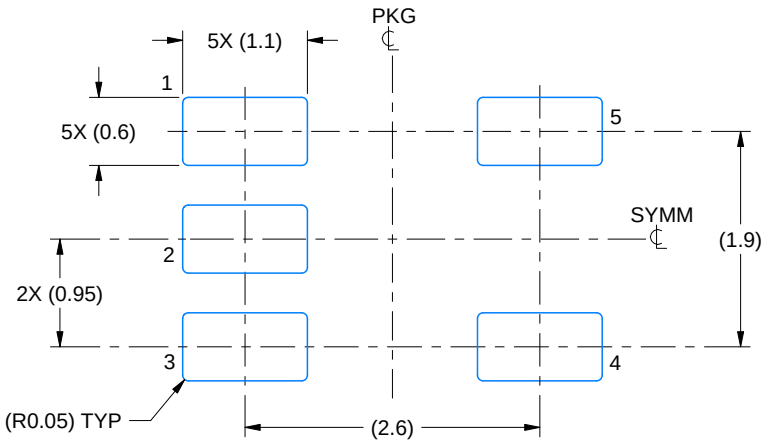
SMALL OUTLINE TRANSISTOR



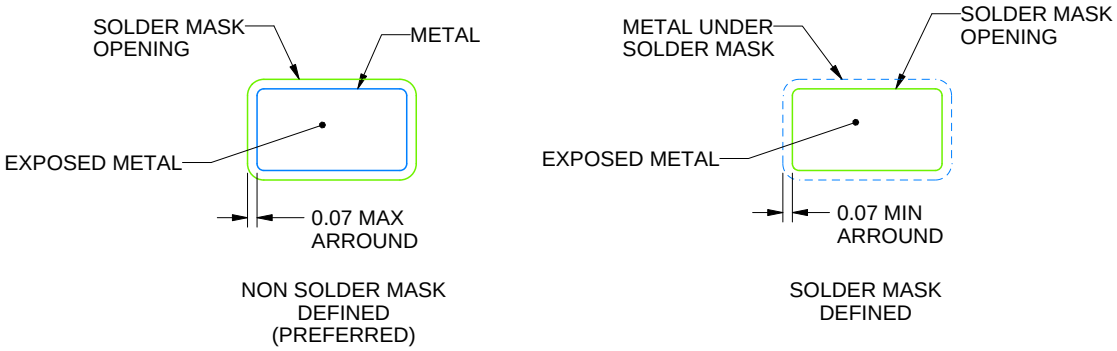
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

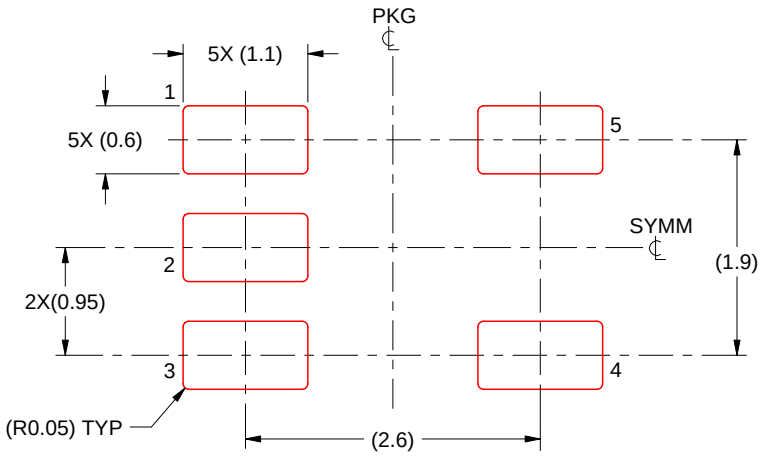


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



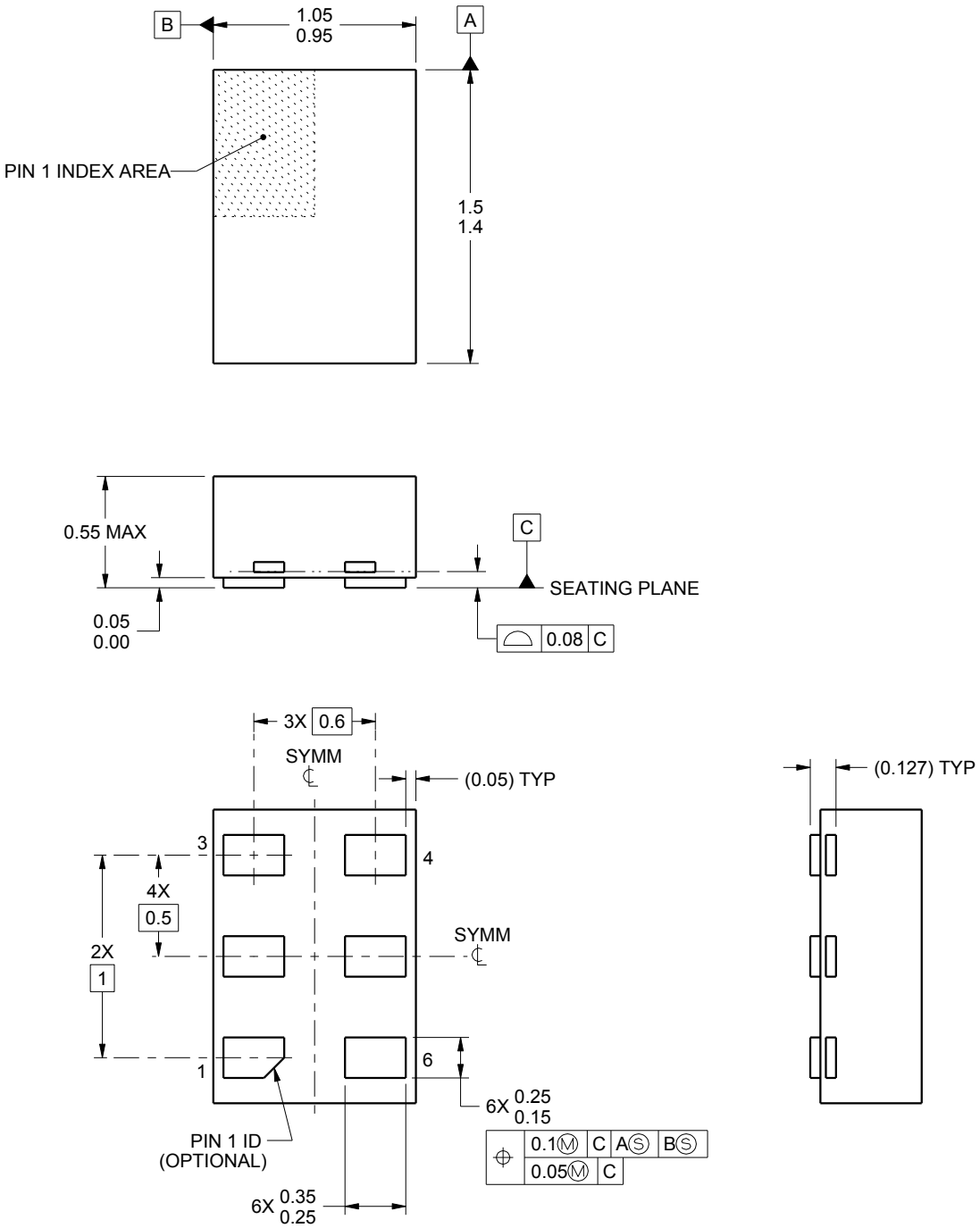
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DRY0006B

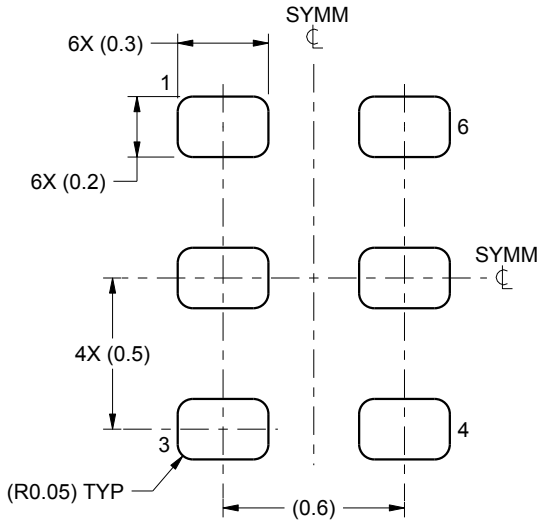
USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

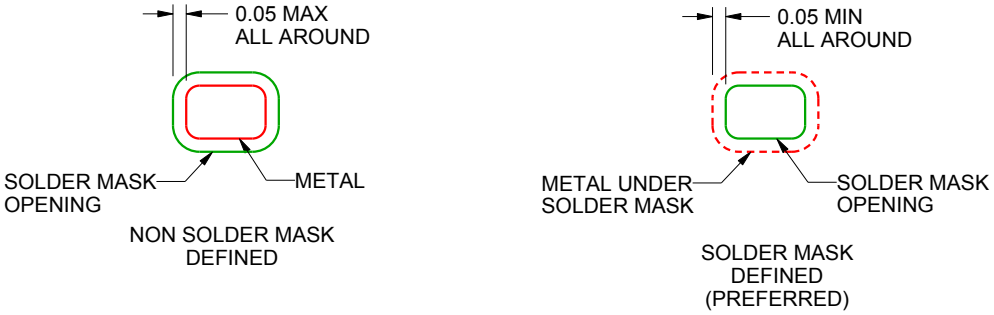


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
SCALE:40X



SOLDER MASK DETAILS

4222207/B 02/2016

NOTES: (continued)

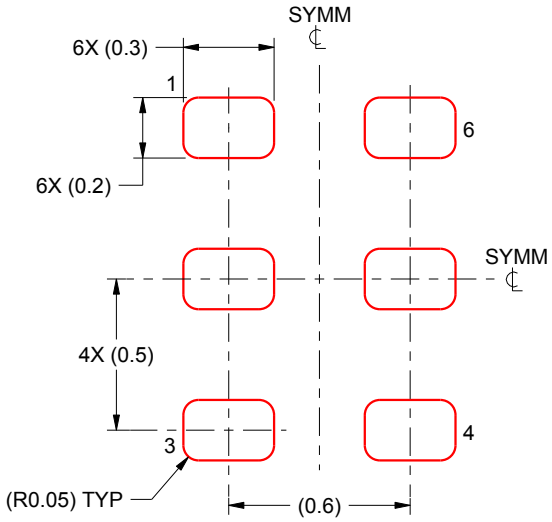
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222207/B 02/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月