

SN74LVC1G132 シングル 2 入力 NAND ゲート、シュミット トリガ入力

1 特長

- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- テキサス インストルメンツの NanoStar™ および NanoFree™ パッケージで提供
- 5V V_{CC} 動作をサポート
- 5.5V までの入力電圧に対応
- 5.3ns の最大 t_{pd} (3.3V 時)
- 低消費電力、 I_{CC} の最大値 10 μ A
- 3.3V で ± 24 mA の出力駆動能力
- I_{off} により部分的パワーダウン モードでの動作をサポート

2 アプリケーション

- AV レシーバ
- オーディオ ドック:ポータブル
- ブルーレイ プレーヤおよびホーム シアター
- 内蔵 PC
- MP3 プレーヤ / レコーダ (ポータブル オーディオ)
- パーソナル デジタル アシスタント (PDA)
- 電源:テレコム / サーバーの AC/DC 電源:シングル コントローラ:アナログおよびデジタル
- ソリッド ステートドライブ (SSD):クライアントおよびエンタープライズ
- テレビ:LCD / デジタル、高品位(HFTV)
- タブレット:エンタープライズ
- ビデオ アナリティクス:サーバー
- ワイヤレス ヘッドセット、キーボード、マウス

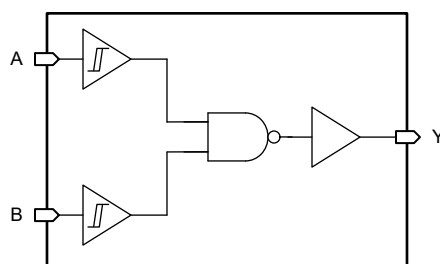
3 説明

SN74LVC1G132 は、シュミットトリガ入力採用シングル 2 入力正論理 NAND ゲートです。デバイスは、ブール関数 $Y = \overline{A \cdot B}$ つまり、 $Y = \overline{A} + \overline{B}$ を正論理で実行します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74LVC1G132	DBV (SOT-23、5)	2.9mm × 2.8mm	2.9mm × 1.6mm
	DCK (SC70、 5)	2mm × 2.1mm	2mm × 1.25mm

- (1) 詳細については、[メカニカル、パッケージ、および注文情報](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



ロジック図



目次

1 特長	1	7.2 機能ブロック図	10
2 アプリケーション	1	7.3 機能説明	10
3 説明	1	7.4 デバイスの機能モード	11
4 ピン構成および機能	3	8 アプリケーションと実装	12
5 仕様	4	8.1 使用上の注意	12
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション	12
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項	14
5.3 推奨動作条件.....	5	8.4 レイアウト	14
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート	16
5.5 電気的特性.....	6	9.1 ドキュメントのサポート.....	16
5.6 スイッチング特性: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $C_L = 15\text{pF}$	7	9.2 ドキュメントの更新通知を受け取る方法.....	16
5.7 スイッチング特性: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	7	9.3 サポート・リソース.....	16
5.8 スイッチング特性: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$	7	9.4 商標.....	16
5.9 動作特性.....	7	9.5 静電気放電に関する注意事項.....	16
6 パラメータ測定情報	8	9.6 用語集.....	16
7 詳細説明	10	10 改訂履歴	16
7.1 概要.....	10	11 メカニカル、パッケージ、および注文情報	18

4 ピン構成および機能

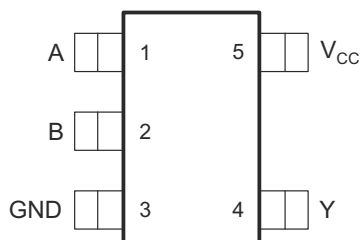
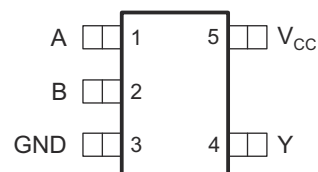


図 4-1. DBV パッケージ 5 ピン SOT-23 上面図



寸法については、機械的な図を参照してください。

図 4-2. DCK パッケージ 5 ピン SC70 上面図

ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	DBV、DCK		
A	1	I	A ロジック入力
B	2	I	B ロジック入力
GND	3	—	グラウンド
V _{CC}	5	—	正電源
Y	4	O	Y NAND ロジック出力

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	-0.5	6.5	V
V _I	入力電圧 ⁽²⁾	-0.5	6.5	V
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾	-0.5	6.5	V
V _O	High または Low 状態にある任意の出力に印加される電圧範囲 ⁽²⁾ ⁽³⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0		mA
I _{OK}	出力クランプ電流	V _O < 0		mA
I _O	連続出力電流	±50		mA
	V _{CC} または GND を通過する連続電流	±100		mA
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。推奨動作条件の範囲外でも、絶対最大定格の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流の定格を順守しても、入力と出力の負の電圧定格を超えることがあります。
- (3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{CC} ⁽¹⁾ 電源電圧	動作	1.65	5.5	V
	データ保持のみ	1.5		
V_I 入力電圧		0	5.5	V
V_O 出力電圧		0	V_{CC}	V
I_{OH} High レベル出力電流	$V_{CC} = 1.65V$		-4	mA
	$V_{CC} = 2.3V$		-8	
	$V_{CC} = 3V$		-16	
			-24	
I_{OL} Low レベル出力電流	$V_{CC} = 1.65V$		4	mA
	$V_{CC} = 2.3V$		8	
	$V_{CC} = 3V$		16	
			24	
T_A 自由空気での動作温度		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『低速またはフローティング CMOS 入力の影響』を参照してください。SCBA004

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23)	5	357.1	263.7	264.4	195.6	262.2	-	°C/W
DCK (SOT-SC70)	5	371	297.5	258.6	195.6	256.2	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V _{CC}	-40°C ~ +85°C		-40°C ~ +125°C		単位		
				最小値	標準値 ⁽¹⁾	最大値	最小値		標準値 ⁽¹⁾	最大値
V _{T+} 順方向 入力のしきい値 電圧			1.65V	0.79		1.16	0.79		1.16	V
			2.3V	1.11		1.56	1.11		1.56	
			3V	1.5		1.87	1.5		1.87	
			4.5V	2.16		2.74	2.16		2.74	
			5.5V	2.61		3.33	2.61		3.33	
V _{T-} 逆方向 入力のしきい値 電圧			1.65V	0.39		0.62	0.39		0.62	V
			2.3V	0.58		0.87	0.58		0.87	
			3V	0.84		1.14	0.84		1.16	
			4.5V	1.41		1.79	1.41		1.84	
			5.5V	1.87		2.29	1.87		2.33	
ΔV _T ヒステリシス (V _{T+} - V _{T-})			1.65V	0.37		0.62	0.37		0.62	V
			2.3V	0.48		0.77	0.48		0.77	
			3V	0.56		0.87	0.54		0.87	
			4.5V	0.71		1.04	0.66		1.04	
			5.5V	0.71		1.11	0.67		1.11	
V _{OH}	I _{OH} = -100μA		1.65V ~ 5.5V	V _{CC} - 0.1		V _{CC} - 0.1				V
	I _{OH} = -4mA		1.65V	1.2		1.2				
	I _{OH} = -8mA		2.3V	1.9		1.9				
	I _{OH} = -16mA		3V	2.4		2.4				
	I _{OH} = -24mA			2.3		2.3				
	I _{OH} = -32mA		4.5V	3.8		3.8				
V _{OL}	I _{OL} = 100μA		1.65V ~ 5.5V	0.1		0.1				V
	I _{OL} = 4mA		1.65V	0.45		0.45				
	I _{OL} = 8mA		2.3V	0.3		0.3				
	I _{OL} = 16mA		3V	0.4		0.4				
	I _{OL} = 24mA			0.55		0.55				
	I _{OL} = 32mA		4.5V	0.55		0.55				
I _I	A または B 入力	V _I = 5.5V または GND	1.65V ~ 5.5V	±1		±1			μA	
I _{off}		V _I または V _O = 5.5V	0	±10		±10			μA	
I _{CC}		V _I = V _{CC} または GND、I _O = 0	1.65V ~ 5.5V	10		10			μA	
ΔI _{CC}		1 つの入力は V _{CC} - 0.6V、 その他の入力は V _{CC} または GND	3V ~ 5.5V	500		500			μA	
C _i		V _I = V _{CC} または GND	3.3V	3.5					pF	

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

5.6 スイッチング特性 : $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $C_L = 15\text{pF}$

自由気流での推奨動作温度範囲内、 $C_L = 15\text{pF}$ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	-40°C ~ +85°C								単位
			V _{CC} = 1.8V ±0.15V		V _{CC} = 2.5V ±0.2V		V _{CC} = 3.3V ±0.3V		V _{CC} = 5V ±0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A または B	Y	4	16	2.5	7	2	5.3	1.5	4.4	ns

5.7 スイッチング特性 : $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

自由気流での推奨動作温度範囲内、 $C_L = 30\text{pF}$ または 50pF (特に記述のない限り) (図 6-2 を参照)

パラメータ	始点 (入力)	終点 (出力)	-40°C ~ +85°C								単位
			V _{CC} = 1.8V ±0.15V		V _{CC} = 2.5V ±0.2V		V _{CC} = 3.3V ±0.3V		V _{CC} = 5V ±0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A または B	Y	4	16	3	7.5	2	6	2	5	ns

5.8 スイッチング特性 : $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

自由気流での推奨動作温度範囲内、 $C_L = 30\text{pF}$ または 50pF (特に記述のない限り) (図 6-2 を参照)

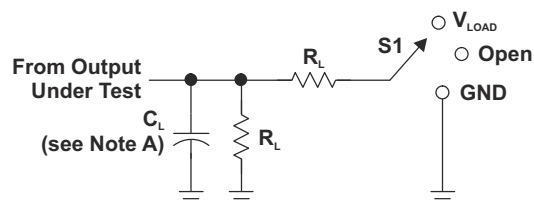
パラメータ	始点 (入力)	終点 (出力)	-40°C ~ +125°C								単位
			V _{CC} = 1.8V ±0.15V		V _{CC} = 2.5V ±0.2V		V _{CC} = 3.3V ±0.3V		V _{CC} = 5V ±0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A または B	Y	4	16.5	3	8	2	6.5	2	5.5	ns

5.9 動作特性

$T_A = 25^{\circ}\text{C}$

パラメータ		テスト 条件	$V_{CC} = 1.8\text{V}$	$V_{CC} = 2.5\text{V}$	$V_{CC} = 3.3\text{V}$	$V_{CC} = 5\text{V}$	単位
			標準値	標準値	標準値	標準値	
C_{pd}	電力散逸容量	$f = 10\text{MHz}$	17	18	18	20	pF

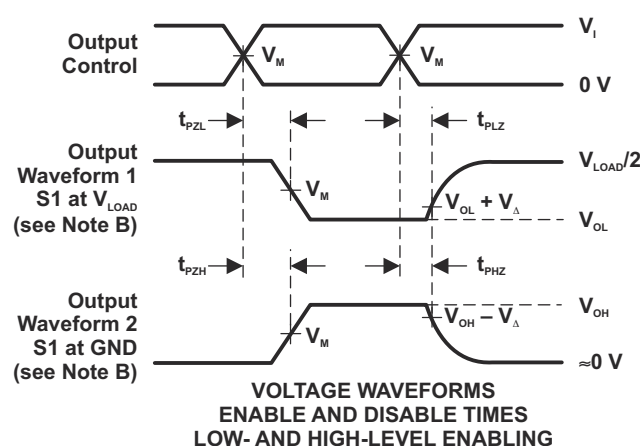
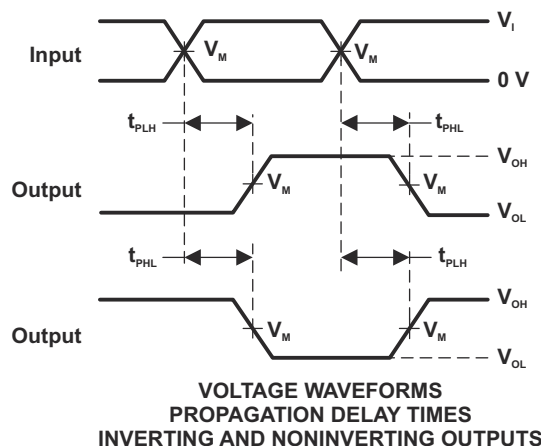
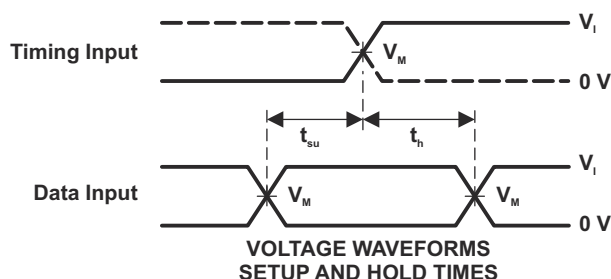
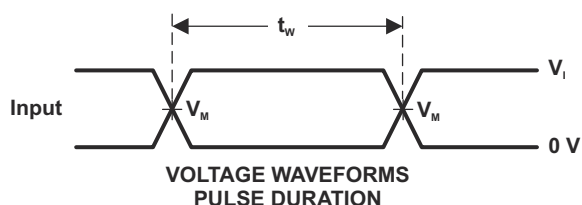
6 パラメータ測定情報



LOAD CIRCUIT

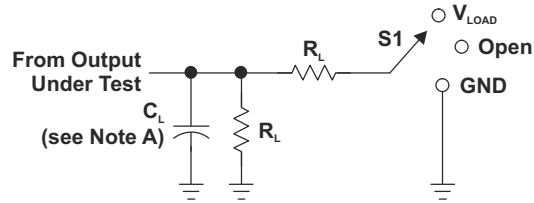
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_i/t_r					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	15 pF	1 M Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.3 V



- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: $PRR \leq 10\text{ MHz}$, $Z_o = 50\text{ }\Omega$.
 - The outputs are measured one at a time, with one transition per measurement.
 - t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - t_{PZL} and t_{PZH} are the same as t_{en} .
 - t_{PLH} and t_{PHL} are the same as t_{pd} .
 - All parameters and waveforms are not applicable to all devices.

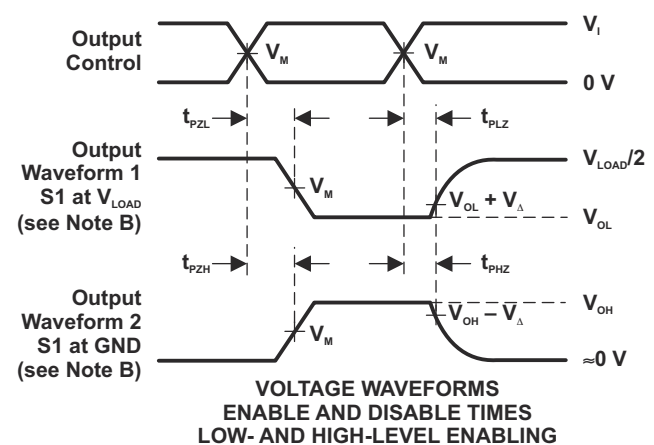
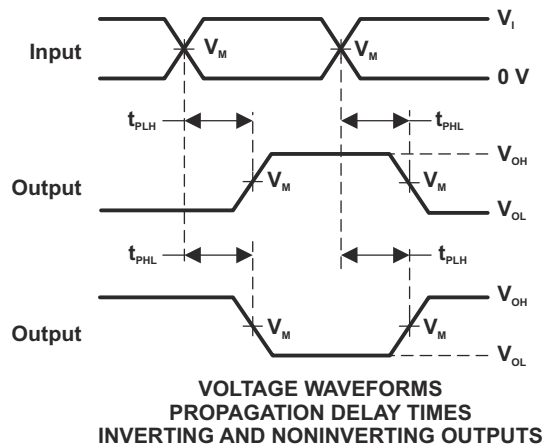
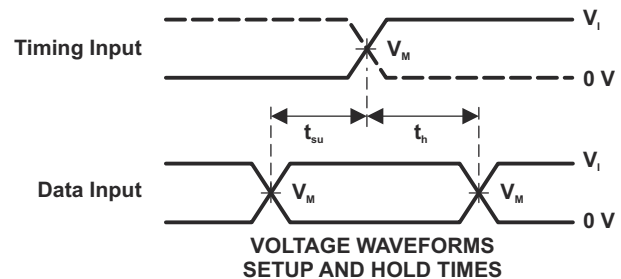
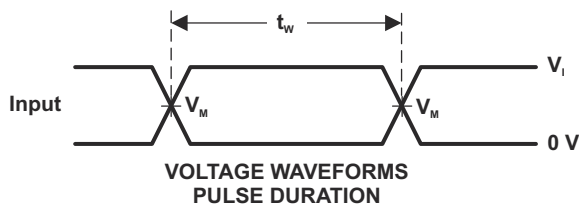
図 6-1. 負荷回路および電圧波形



LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR $\leq 10\text{ MHz}$, $Z_o = 50\text{ }\Omega$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 F. t_{PZL} and t_{PZH} are the same as t_{en} .
 G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 H. All parameters and waveforms are not applicable to all devices.

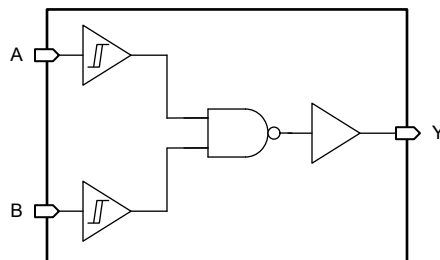
図 6-2. 負荷回路および電圧波形

7 詳細説明

7.1 概要

このデバイスは、シュミットトリガ入力採用 2 入力 NAND ゲートであり、ブール関数 $Y = \overline{A \bullet B}$ を正論理で実行します。

7.2 機能ブロック図



論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 CMOS シュミット トリガ入力

このデバイスには、シュミットトリガアーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグラウンドまでの抵抗として、通常はモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

シュミットトリガ入力アーキテクチャでは、「電気的特性」表の ΔV_T で定義されているヒステリシスが発生するため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力は適切に終端することをお勧めします。入力を低速の遷移信号で駆動すると、デバイスの動的な電流消費が増加します。シュミットトリガ入力の詳細については、『シュミットトリガについて』を参照してください。

7.3.3 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディセーブルになっているときは、入力電圧に関係なく、出力は電流のソースとシンクのどちらも行きません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.4 クランプ ダイオード構造

図 7-1 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

注意

絶対最大定格表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

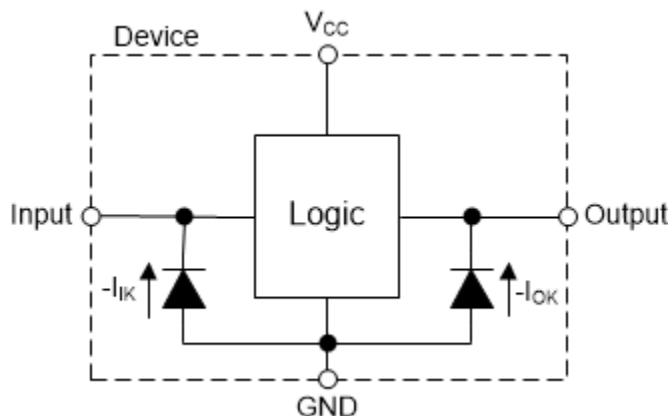


図 7-1. 各入力と出力に対するクランプ ダイオードの電氣的配置

7.3.5 過電圧許容入力

SN74LVC1G132 は、過電圧許容入力を備えています。入力ピンは、標準の正のクランプ ダイオードを備えていない入力保護回路を利用して、電源電圧よりも高い状態の入力電圧をサポートします。推奨入力電圧については、「推奨動作条件」を参照してください。

注意

「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。最大入力電圧範囲定格を超えると、デバイスで即座に永続的な損傷が発生する可能性があります。

7.4 デバイスの機能モード

表 7-1. 機能表

入力		出力
A	B	Y
H	H	L
L	X	H
X	L	H

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このアプリケーションでは、[図 8-1](#) に示すように、2 つの 2 入力 NAND ゲートを使用してアクティブ Low の SR ラッチを作成します。2 つの追加ゲートは、2 番目の SR ラッチに使用することも、入力を接地して両方のチャンネルを未使用のままにすることもできます。

SN74LVC1G132 は、改ざんインジケータ LED を駆動し、1 ビットのデータをシステムコントローラに提供するために使用されます。タンパスイッチが Low を出力すると、出力 Q は High になります。この出力は、システムコントローラがこのイベントに対処するまで HIGH に維持され、コントローラが R 入力に LOW 信号を送信すると、Q 出力が LOW に戻ります。

8.2 代表的なアプリケーション

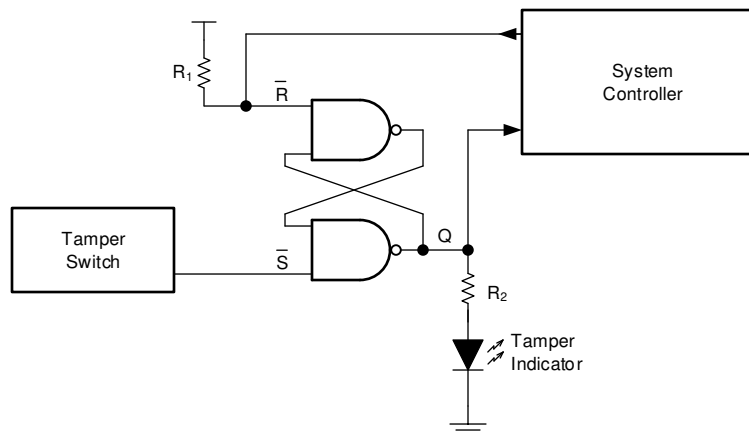


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LVC1G132 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給する必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グラウンドは、SN74LVC1G132 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクする必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LVC1G132 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、過剰な電流を防止するため、出力とコンデンサの間に直列抵抗を設置することを推奨します。

SN74LVC1G132 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、[CMOS の消費電力と Cpd の計算アプリケーション ノート](#) に記載された情報を使って計算できます。

温度の上昇は、[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性 アプリケーション ノート](#) に記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度、 $T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{t(min)}$ を超えるとロジック LOW と見なされ、 $V_{t+(max)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVC1G132 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74LVC1G132 にはシュミットトリガ入力があるため、入力信号遷移レートの要件はありません。

シュミットトリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値がピーク ツー ピーク制限となります。

標準的な CMOS 入力とは異なり、シュミットトリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。 V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流（代表値地）を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、SN74LVC1G132 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、M Ω 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

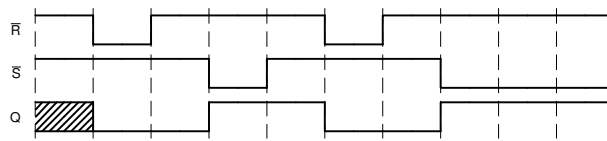


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置することを確認します。SN74LVC1G132 には、0.1 μ F バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1 μ F と 1 μ F の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグラウンド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil～12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグラウンド プレーンを使用
 - 信号トレース周辺の領域をグラウンドでフラッド フィル
 - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

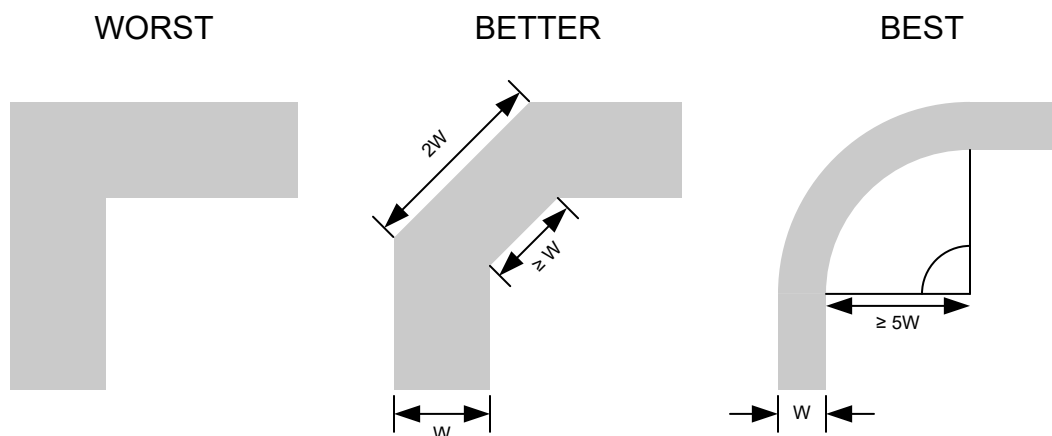


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

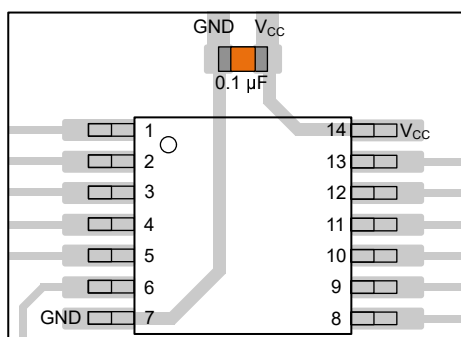


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

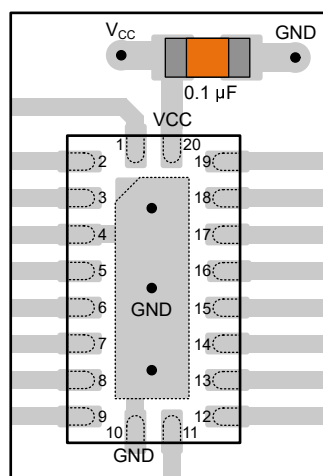


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

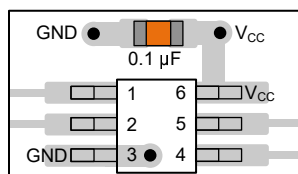


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

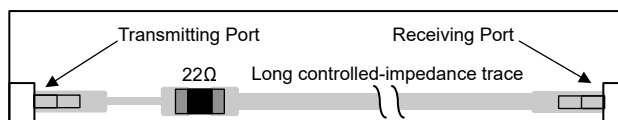


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と \$C_{pd}\$ の計算](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[ロジック設計](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

NanoStar™, NanoFree™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from APRIL 1, 2014 to AUGUST 12, 2026 (from Revision D (June 2017) to Revision E (August 2026))

	Page
• 本文とパッケージ寸法を含めるよう「製品情報」表を更新	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「熱に関する情報」表の形式を更新	5
• $R_{\theta JC(top)}$ 、 $R_{\theta JB}$ 、 Ψ_{JT} 、 Ψ_{JB} 、 $R_{\theta JC(bot)}$ を含めるように「熱に関する情報」表を拡張	5
• DBV パッケージの接合部と周囲の間の熱抵抗値を次のように変更: $206^{\circ}\text{C/W} \rightarrow 357.1^{\circ}\text{C/W}$	5

- DCK パッケージの接合部と周囲の間の熱抵抗値を次のように変更: 252°C/W >> 371°C/W 5
- 「概要」、「アプリケーションと実装」、「デバイスおよびドキュメントのサポート」の各セクションを更新し、機能の詳細な説明と詳細な情報を拡張。 9
- レイアウトのガイドラインに並列トレース間隔の推奨事項を追加。「分岐を回避します。別々に分岐する必要のある信号をバッファする」の表現を「分岐を回避します。個別に分岐する必要がある各信号をバッファする」に変更 14

Changes from Revision C (December 2013) to Revision D (June 2017)
Page

- 「アプリケーション」、「製品情報」表、「ピン構成および機能」セクション、「ESD 定格」表、「熱に関する情報」表、「機能説明」セクション、「デバイスの機能モード」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- データシート全体にわたって YEP、YZP パッケージを削除 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74LVC1G132DBVRG4.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3BR
74LVC1G132DCKRG4	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D5R
74LVC1G132DCKRG4.B	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D5R
74LVC1G132DCKTG4	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D5R
74LVC1G132DCKTG4.B	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D5R
SN74LVC1G132DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(C3BJ, C3BR)
SN74LVC1G132DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C3BJ, C3BR)
SN74LVC1G132DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C3BJ, C3BR)
SN74LVC1G132DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(C3BJ, C3BR)
SN74LVC1G132DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C3BJ, C3BR)
SN74LVC1G132DBVTG4.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3BR
SN74LVC1G132DCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(D55, D5J, D5R)
SN74LVC1G132DCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(D55, D5J, D5R)
SN74LVC1G132DCKR.B	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(D55, D5J, D5R)
SN74LVC1G132DCKRG4.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
SN74LVC1G132DCKRG4.B	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
SN74LVC1G132DCKT	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(D55, D5J, D5R)
SN74LVC1G132DCKT.B	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(D55, D5J, D5R)

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

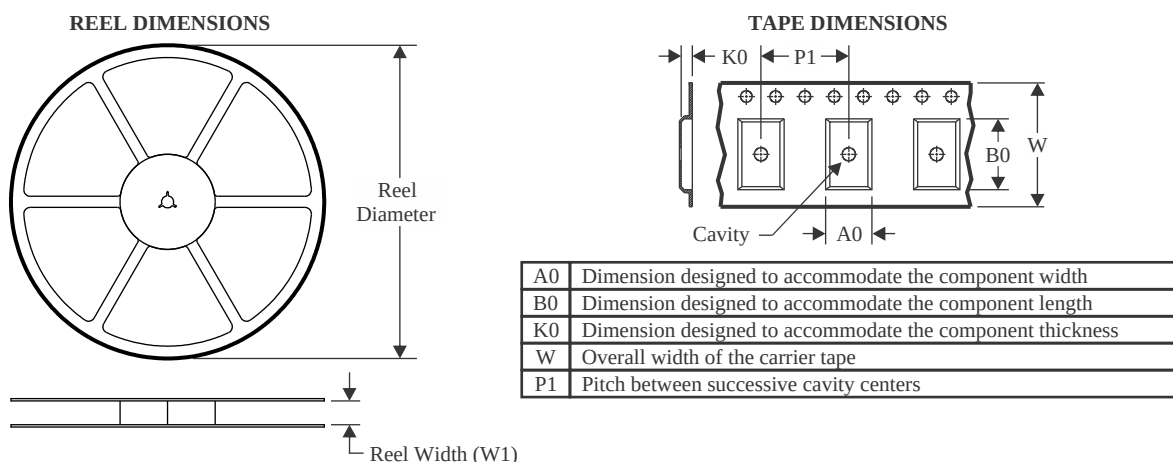
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

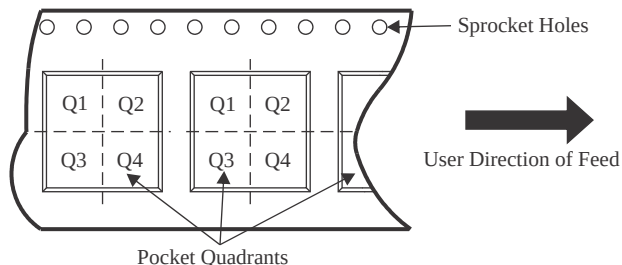
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74LVC1G132DCKRG4	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
74LVC1G132DCKTG4	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G132DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G132DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
SN74LVC1G132DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G132DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G132DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G132DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G132DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G132DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74LVC1G132DCKRG4	SC70	DCK	5	3000	183.0	183.0	20.0
74LVC1G132DCKTG4	SC70	DCK	5	250	183.0	183.0	20.0
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G132DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G132DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
SN74LVC1G132DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G132DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G132DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G132DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
SN74LVC1G132DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G132DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LVC1G132DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G132DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G132DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G132DCKT	SC70	DCK	5	250	180.0	180.0	18.0



SOT - 1.1 max height

Front View:

- Overall width: 2.4 / 1.8
- Distance from left edge to centerline: 1.4 / 1.1
- Feature A: Position tolerance zone.
- Feature B: Circular runout tolerance zone.
- Feature C: Concentricity tolerance zone.
- Pin 1 Index Area: Indicated by a dashed line.
- Dimensions: 1.3, 2.15, 1.85, 1.3, 0.65 (2X), 0.33, 0.15 (5X).
- Note 4: Points to features (0.15) and (0.1).
- Datum Reference Frame: $\oplus | \text{0.1} \overline{\text{M}} | \text{C} | \text{A} | \text{B}$
- Note 5: Associated with the datum reference frame.

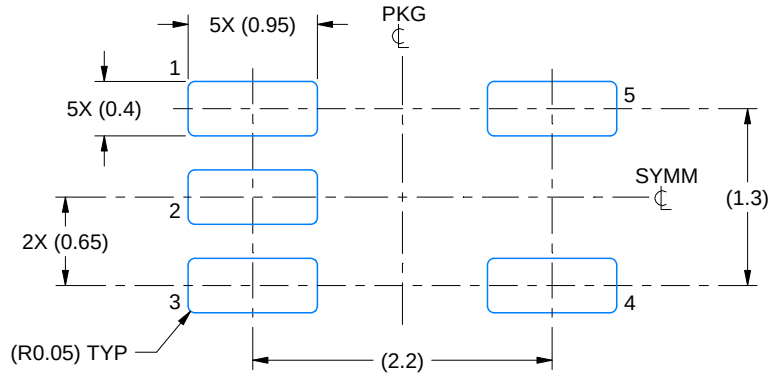
Side View:

- Width: 1.1 MAX
- Taper: 4X 0° - 12°
- Dimension: (0.9)
- Surface Finish: 0.1 / 0.0 TYP

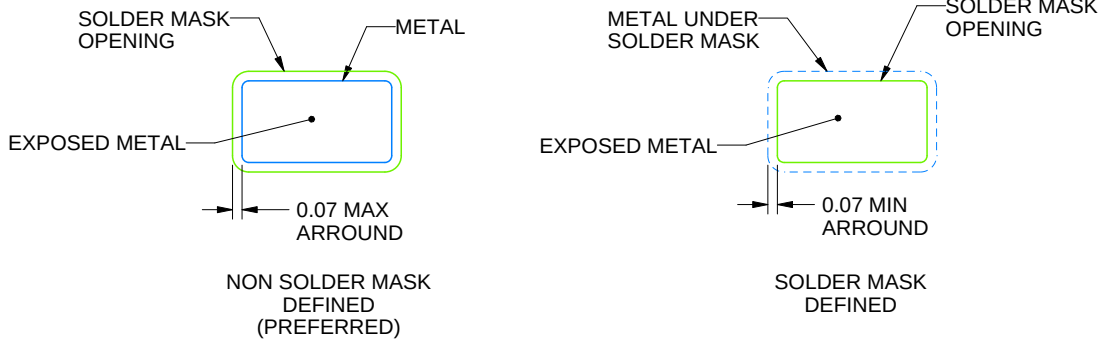
Top View:

- GAGE PLANE: Dimensioned at 0.15
- SEATING PLANE: Indicated by a dashed line
- Angles: 8° 0° TYP, 4X 4° - 15°
- Dimensions: 0.46 / 0.26 TYP, 0.22 / 0.08 TYP

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

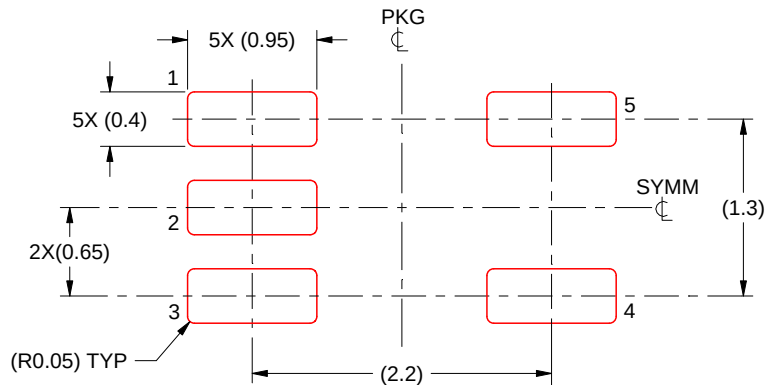


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 THICK STENCIL
 SCALE:18X

4214834/G 11/2024

NOTES: (continued)

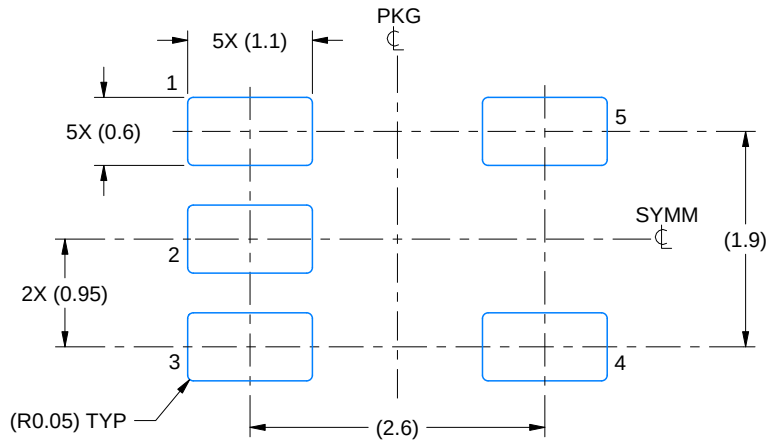
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

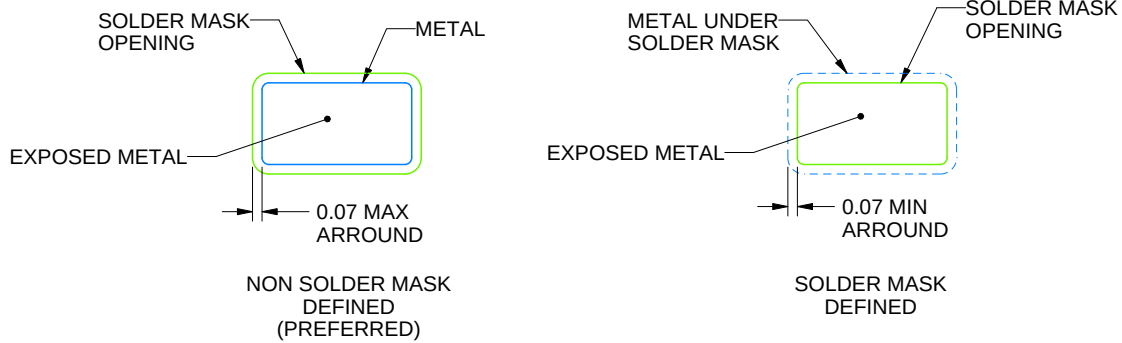
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

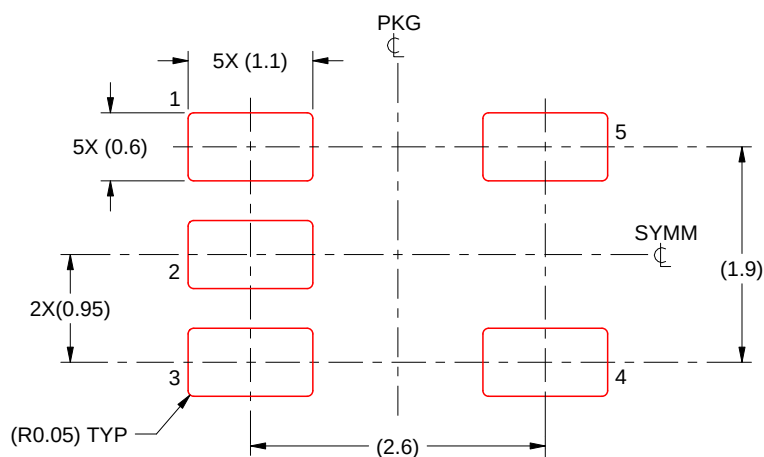
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月