SN74LVC1G3157 単極双投アナログ・スイッチ

1 特長

- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 1000V、デバイス帯電モデル (C101)
- 1.65V～5.5V の V_{CC} で動作
- 125℃動作向けに認定済み
- ブレイク ビフォー メイクのスイッチングを規定
- レール ツー レールの信号処理
- 動作周波数:340MHz (標準値、室温)
- 高速、標準値 0.5ns (V_{CC} = 3V、C_L = 50pF)
- 低オン状態抵抗、標準値 6Ω (V_{CC} = 4.5V)
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- ウェアラブルおよびモバイル デバイス
- ポータブル コンピュータ
- モノのインターネット (IoT)
- オーディオ信号の経路設定
- リモート無線ユニット
- 携帯医療機器
- 監視機器
- ホーム オートメーション
- I2C/SPI/UART バスの多重化
- ワイヤレス充電

3 説明

このシングル チャネル単極双投 (SPDT) アナログ スイッチは、1.65V～5.5V の V_{CC} で動作するように設計されています。

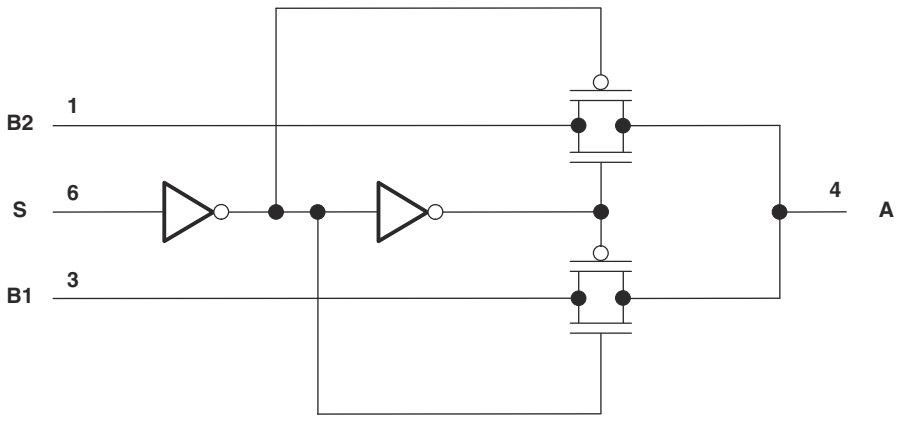
SN74LVC1G3157 は、アナログとデジタルの両方の信号を扱います。SN74LVC1G3157 デバイスは、最高で V_{CC} (ピーク) までの振幅の信号を双方向に伝送することが可能です。

信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ / デジタルやデジタル / アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74LVC1G3157	SOT-23 (DBV) (6)	2.90mm × 1.60mm
	SC70 (DCK) (6)	2.00mm × 1.25mm
	SOT (DRL) (6)	1.60mm × 1.20mm
	SON (DRY) (6)	1.45mm × 1.00mm
	DSBGA (YZP) (6)	1.41mm × 0.91mm
	SON (DSF) (6)	1.00mm × 1.00mm
	X2SON (DTB) (6)	0.80mm × 1.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 熱に関する情報.....6
5.3 ESD 定格.....6
5.4 推奨動作条件.....6
5.5 電気的特性.....7
5.6 スイッチング特性 85C (DBV、DCK).....9
5.7 スイッチング特性 125C (DBV、DCK).....10
5.8 スイッチング特性 85C (YZP、DSF。DTB。DRY、DRL).....10
5.9 スイッチング特性 125C (YZP、DSF。DTB。DRY、DRL).....11
5.10 アナログ チャネルの仕様.....11
6 パラメータ測定情報.....13
7 詳細説明.....18
7.1 概要.....18
7.2 機能ブロック図.....18
7.3 機能説明.....18
7.4 デバイスの機能モード.....18
8 アプリケーションと実装.....19
8.1 アプリケーション情報.....19
8.2 代表的なアプリケーション.....19
9 電源に関する推奨事項.....21
10 レイアウト.....21
10.1 レイアウトのガイドライン.....21
10.2 レイアウト例.....21
11 デバイスおよびドキュメントのサポート.....22
11.1 ドキュメントのサポート.....22
11.2 ドキュメントの更新通知を受け取る方法.....22
11.3 サポート・リソース.....22
11.4 商標.....22
11.5 静電気放電に関する注意事項.....22
11.6 用語集.....22
12 改訂履歴.....22
13 メカニカル、パッケージ、および注文情報.....23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

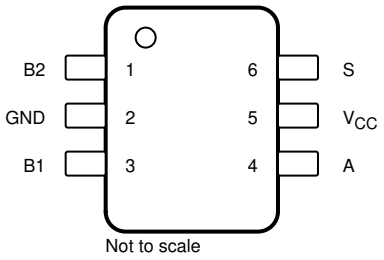


図 4-1. DBV パッケージ、 6 ピン SOT-23 (上面図)

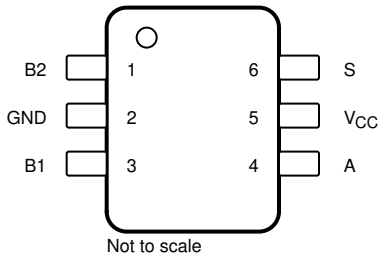


図 4-2. DCK パッケージ、 6 ピン SC70 (上面図)

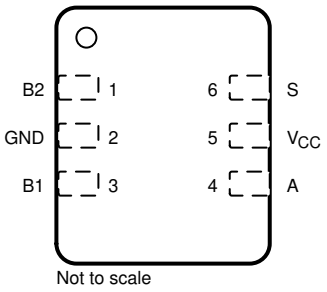


図 4-3. DRY パッケージ、 6 ピン SON (上面図)

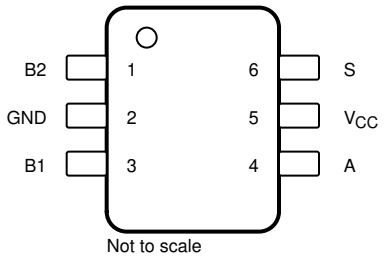


図 4-4. DRL パッケージ、 6 ピン SOT (上面図)

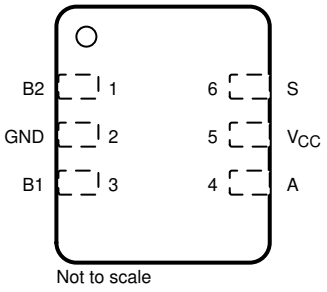


図 4-5. DSF パッケージ、 6 ピン SON (上面図)

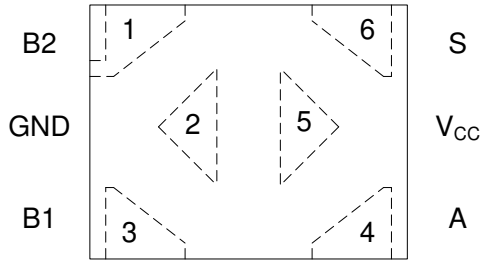


図 4-6. DTB パッケージ、 6 ピン X2SON (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	SOT-23、SC70、SON、X2SON、または SOT		
B2	1	I/O	スイッチ I/O。イネーブルにするには S を high にします。
GND	2	P	グランド
B1	3	I/O	スイッチ I/O。イネーブルにするには S を low にします。
A	4	I/O	共通端子
V_{CC}	5	P	電源
S	6	I	選択

(1) I = 入力、O = 出力、P = 電源

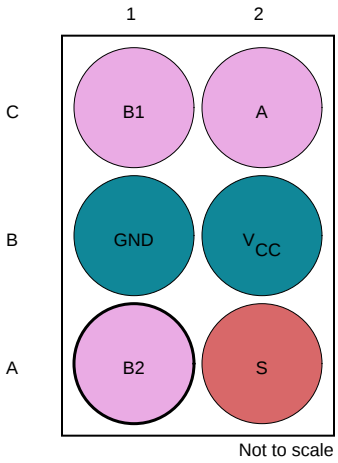


図 4-7. YZP パッケージ、 6 ピン DSBGA (底面図)

凡例	
入力	入力または出力
電源	

表 4-2. ピンの機能

ピン		種類(1)	説明
番号	名称		
A1	B2	I/O	スイッチ I/O。イネーブルにするには S を high にします。
A2	S	I	選択
B1	GND	P	グランド
B2	V_{CC}	P	電源
C1	B1	I/O	スイッチ I/O。イネーブルにするには S を low にします。
C2	A	I/O	共通端子

(1) I = 入力、O = 出力、P = 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	(YZP、DSF。DTB。DRY、DRL) 電源電圧(2)	-0.5	6.5	V
V_{CC}	(DBV、DCK) 電源電圧(2)	-0.5	6	V
V_{IN}	(YZP、DSF。DTB。DRY、DRL) 制御入力電圧(2) (3)	-0.5	6.5	V
V_{IN}	(DBV、DCK) 制御入力電圧(2) (3)	-0.5	6	V
$V_{I/O}$	スイッチ I/O 電圧(2) (3) (4) (5)	-0.5	V_{CC} + 0.5V	V
I_{IK}	制御入力クランプ電流 V_{IN} < 0	-50		mA
$I_{I/OK}$	I/O ポート ダイオード電流 $V_{I/O}$ < 0 または $V_{I/O}$ > V_{CC}	-50	50	mA
$I_{I/O}$	オン状態スイッチ電流(6) $V_{I/O}$ = 0 to V_{CC}	-128	128	mA
	V_{CC} または GND を通過する連続電流	-100	100	mA
T_J	接合部温度		150	C
T_{stg}	保存温度	-65	150	C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。
(3) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(4) この値は最大 5.5V に制限されています。
(5) V_I、V_O、V_A、および V_{Bn} は、$V_{I/O}$ の特定の条件を示すために使用されます。
(6) I_I、I_O、I_A、および I_{Bn} は、$I_{I/O}$ の特定の条件を示すために使用されます。

Copyright © 2025 Texas Instruments Incorporated

5.2 熱に関する情報

熱評価基準		SN74LVC1G3157						単位
		DBV (SOT-23)	DCK (SC70)	DRL (SOT)	DRY (SON)	DTB (X2SON)	YZP (DSBGA)	
		6 ピン	6 ピン	6 ピン	6 ピン	6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	258.2	286.4	244.1	284.2	324.5	129.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	182.8	224.6	112.5	138.6	150.5	1.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	142.8	143.7	109.9	170.9	239.0	40.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	118.4	124.5	9.3	13.7	17.2	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	142.2	142.8	109.3	167.9	238.3	40.2	°C/W

5.3 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		1.65		5.5	V
$V_{I/O}$	スイッチ入力または出力電圧 (最大 V_{CC})		0		V_{CC}	V
V_{IN}	制御入力電圧		0		5.5	V
V_{IH}	制御入力の高レベル入力電圧	V_{CC} = 1.65V～1.95V	V_{CC} × 0.75			V
		V_{CC} = 2.3V～5.5V	V_{CC} × 0.7			V
V_{IL}	制御入力の低レベル入力電圧	V_{CC} = 1.65V～1.95V			V_{CC} × 0.25	V
		V_{CC} = 2.3V～5.5V			V_{CC} × 0.3	V
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8 ± 0.15V			20	ns/V
		V_{CC} = 2.5 ± 0.2V			20	
		V_{CC} = 3.3V ± 0.3V			10	
		V_{CC} = 5V ± 0.5V			10	
T_A	自由空気での動作温度	BGA パッケージ (YZP)	-40		85	°C
		その他全パッケージ (DBV、DCK、DRL、DRY、DSF)	-40		125	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、VCC または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件				最小値	標準値	最大値	単位
SN74LVC1G3157									
		V_{CC} V	**$V_{I/O}$ V**	**I_O mA**	**T_A**				
r_{ON}	オン状態スイッチ抵抗(2)	1.65	V_I = 0V	I_O = 4mA	25°C		11		Ω
					–40°C ～ +85°C			20	
					-40°C ～ +125°C			20	
			V_I = 1.65	I_O = -4mA	25°C		15		
					–40°C ～ +85°C			50	
					-40°C ～ +125°C			50	
		2.3	V_I = 0V	I_O = 8mA	25°C		8		
					–40°C ～ +85°C			12	
					-40°C ～ +125°C			12	
			V_I = 2.3V	I_O = -8mA	25°C		11		
					–40°C ～ +85°C			30	
					-40°C ～ +125°C			30	
		3	V_I = 0V	I_O = 24mA	25°C		7		
					–40°C ～ +85°C			9	
					-40°C ～ +125°C			9	
			V_I = 3V	I_O = -24mA	25°C		9		
					–40°C ～ +85°C			20	
					-40°C ～ +125°C			20	
		4.5	V_I = 0V	I_O = 30mA	25°C		6		
					–40°C ～ +85°C			7	
					-40°C ～ +125°C			7	
			V_I = 2.4V	I_O = 30mA	25°C		7		
					–40°C ～ +85°C			12	
					-40°C ～ +125°C			12	
			V_I = 4.5V	I_O = -30mA	25°C		7		
					–40°C ～ +85°C			15	
					-40°C ～ +125°C			15	
r_{range}	(YZP、DSF。DTB。DRY、DRL) 信号範囲にわたるオン状態スイッチ抵抗(2) (3)	1.65	0 ≤ V_{Bn} ≤ V_{CC}	I_A = -4mA	25°C		140		Ω
					–40°C ～ +85°C			140	
					-40°C ～ +125°C			140	
		2.3		I_A = -8mA	25°C		45		
					–40°C ～ +85°C			45	
					-40°C ～ +125°C			45	
		3		I_A = -24mA	25°C		18		
					–40°C ～ +85°C			18	
					-40°C ～ +125°C			18	
		4.5		I_A = -30mA	25°C		10		
					–40°C ～ +85°C			10	
					-40°C ～ +125°C			10	

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件				最小値	標準値	最大値	単位
r_{range}	(DBV、DCK) 信号範囲にわたるオン状態スイッチ抵抗(2) (3)	1.65	0 ≤ V_{Bn} ≤ V_{CC}	I_A = -4mA	25°C			200	Ω
					–40°C ～ +85°C			200	
					-40°C ～ +125°C			200	
		2.3		I_A = -8mA	25°C			65	
					–40°C ～ +85°C			65	
					-40°C ～ +125°C			65	
		3		I_A = -24mA	25°C			25	
					–40°C ～ +85°C			25	
					-40°C ～ +125°C			25	
		4.5		I_A = -30mA	25°C			15	
					–40°C ～ +85°C			15	
					-40°C ～ +125°C			15	
Δr_{ON}	任意の 2 チャネル間の最大オン抵抗 (2) (4) (5)	1.65	V_{Bn} = 1.15V	I_A = -4mA	25°C		0.5		Ω
					–40°C ～ +85°C		0.5		
					-40°C ～ +125°C		0.5		
		2.3	V_{Bn} = 1.6V	I_A = -8mA	25°C		0.1		
					–40°C ～ +85°C		0.1		
					-40°C ～ +125°C		0.3		
		3	V_{Bn} = 2.1V	I_A = -24mA	25°C		0.1		
					–40°C ～ +85°C		0.1		
					-40°C ～ +125°C		0.3		
		4.5	V_{Bn} = 3.15V	I_A = -30mA	25°C		0.1		
					–40°C ～ +85°C		0.1		
					-40°C ～ +125°C		0.2		
$r_{on(flat)}$	オン抵抗の平坦性(2) (4) (6)	1.65	0 ≤ V_{Bn} ≤ V_{CC}	I_A = -4mA	25°C		110		Ω
					–40°C ～ +85°C		110		
					-40°C ～ +125°C		110		
		2.3		I_A = -8mA	25°C		26		
					–40°C ～ +85°C		26		
					-40°C ～ +125°C		40		
		3		I_A = -24mA	25°C		9		
					–40°C ～ +85°C		9		
					-40°C ～ +125°C		10		
		4.5		I_A = -30mA	25°C		4		
					–40°C ～ +85°C		4		
					-40°C ～ +125°C		5		
I_{off} (7)	スイッチオフ時のリーク電流	1.65～5.5	0 ≤ V_I 、V_O ≤ V_{CC}		25°C		±0.05	±0.1	μA
					–40°C ～ +85°C			±1	
					-40°C ～ +125°C			±1	
$I_{S(on)}$	オン状態スイッチ リーク電流	5.5	V_I = V_{CC} または GND, V_O = 開		25°C			±0.1	μA
					–40°C ～ +85°C			±1	
					-40°C ～ +125°C			±1	

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件			最小値	標準値	最大値	単位
I_{IN}	制御入力電流	0～5.5	0 ≤ V_{IN} ≤ V_{CC}	25°C		±0.05	±0.1	μA
				–40°C ～ +85°C			±1	
				-40°C ～ +125°C			±1	
I_{CC}	電源電流	5.5	S = V_{CC} または GND	25°C			1	μA
				–40°C ～ +85°C			10	
				-40°C ～ +125°C			35	
ΔI_{CC}	静止デバイス電流、I_{DD} (最大値)	5.5	S = V_{CC} - 0.6V	25°C			500	μA
				–40°C ～ +85°C			500	
				-40°C ～ +125°C			500	
C_I	制御入力容量	5	S (VDD/2)	25°C		2.7		pF
				–40°C ～ +85°C		2.7		
				-40°C ～ +125°C		2.7		
$C_{io(off)}$	スイッチ入力/出力容量	5	Bn (VDD/2)	25°C		5.2		pF
				–40°C ～ +85°C		5.2		
				-40°C ～ +125°C		5.2		
$C_{io(on)}$	スイッチ入力/出力容量	5	Bn (VDD/2)	25°C		17.3		pF
				–40°C ～ +85°C		17.3		
				-40°C ～ +125°C		17.3		
			A (VDD/2)	25°C		17.3		
				–40°C ～ +85°C		17.3		
				-40°C ～ +125°C		17.3		

(1) T_A = 25C
(2) スイッチを流れる電流における I/O ピンの間の電圧降下によって測定されます。オン状態抵抗は、A ポートまたは B ポートのうち電圧が低い方によって決まります。
(3) 設計により規定されています
(4) $\Delta r_{on} = r_{on(max)} - r_{on(min)}$ 同一の V_{CC}、温度、および電圧レベルで測定
(5) このパラメータは特性評価のみであり、生産試験は行われていません。
(6) フラットネスは、指定された条件範囲におけるオン状態抵抗の最大値と最小値の差として定義されます。
(7) I_{off} は $I_{S(off)}$ (オフ状態スイッチ リーク電流) と同じ意味です。

5.6 スイッチング特性 85C (DBV、DCK)

T_A = -40～+85°C

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	A または Bn	Bn または A	1.8V ± 0.15V			2	ns
				2.5V ± 0.2V			1.2	
				3.3V ± 0.3V			0.8	
				5V ± 0.5V			0.3	
t_{en}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	S	Bn	1.8V ± 0.15V	5		24	ns
				2.5V ± 0.2V	3.5		14	
				3.3V ± 0.3V	2.5		7.6	
				5V ± 0.5V	1.7		5.7	
t_{dis}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}、$V_▲$ = 0.3V			1.8V ± 0.15V	3		13	
				2.5V ± 0.2V	2		7.5	
				3.3V ± 0.3V	1.5		6	
				5V ± 0.5V	0.8		5	

Copyright © 2025 Texas Instruments Incorporated

T_A = -40～+85℃

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
T_{B-M}	ブレイク ビフォー メイク時間			1.8V ± 0.15V	0.5			ns
				2.5V ± 0.2V	0.5			
				3.3V ± 0.3V	0.5			
				5V ± 0.5V	0.5			

5.7 スイッチング特性 125C (DBV、DCK)

T_A = -40～+125℃

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	A または Bn	Bn または A	1.8V ± 0.15V			2	ns
				2.5V ± 0.2V			1.2	
				3.3V ± 0.3V			0.8	
				5V ± 0.5V			0.5	
t_{en}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	S	Bn	1.8V ± 0.15V	1		24.5	ns
				2.5V ± 0.2V	1		14.5	
				3.3V ± 0.3V	2.5		8	
				5V ± 0.5V	1.7		7	
t_{dis}	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}、$V_▲$ = 0.3V			1.8V ± 0.15V	2.5		13.5	
				2.5V ± 0.2V	2		8	
				3.3V ± 0.3V	1.5		6.5	
				5V ± 0.5V	0.8		5	
T_{B-M}	ブレイク ビフォー メイク時間			1.8V ± 0.15V	0.5			ns
				2.5V ± 0.2V	0.5			
				3.3V ± 0.3V	0.5			
				5V ± 0.5V	0.5			

5.8 スイッチング特性 85C (YZP、DSF。DTB。DRY、DRL)

T_A = -40～+85℃

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}	A または Bn	Bn または A	1.8V ± 0.15V			2	ns
				2.5V ± 0.2V			1.2	
				3.3V ± 0.3V			0.8	
				5V ± 0.5V			0.3	
t_{en}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}	S	Bn	1.8V ± 0.15V	7		24	ns
				2.5V ± 0.2V	3.5		14	
				3.3V ± 0.3V	2.5		7.6	
				5V ± 0.5V	1.7		5.7	
t_{dis}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}、$V_Δ$ = 0.3V			1.8V ± 0.15V	3		13	
				2.5V ± 0.2V	2		7.5	
				3.3V ± 0.3V	1.5		5.3	
				5V ± 0.5V	0.8		3.8	

Copyright © 2025 Texas Instruments Incorporated

T_A = -40～+85℃

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
T_{B-M}	ブレイク ビフォー メイク時間			1.8V ± 0.15V	0.5			ns
				2.5V ± 0.2V	0.5			
				3.3V ± 0.3V	0.5			
				5V ± 0.5V	0.5			

5.9 スイッチング特性 125C (YZP、DSF。DTB。DRY、DRL)

T_A = -40～+125℃

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}	A または Bn	Bn または A	1.8V ± 0.15V			2	ns
				2.5V ± 0.2V			1.2	
				3.3V ± 0.3V			0.8	
				5V ± 0.5V			0.5	
t_{en}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}	S	Bn	1.8V ± 0.15V	1		24.5	ns
				2.5V ± 0.2V	1		14.5	
				3.3V ± 0.3V	2.5		8	
				5V ± 0.5V	1.7		6	
t_{dis}	R_L = 500Ω、C_L = 50pF、V_{load} = V_{CC}、V_Δ = 0.3V			1.8V ± 0.15V	2.5		13.5	
				2.5V ± 0.2V	2		8	
				3.3V ± 0.3V	1.5		5.5	
				5V ± 0.5V	0.8		4	
T_{B-M}	ブレイク ビフォー メイク時間			1.8V ± 0.15V	0.5			ns
				2.5V ± 0.2V	0.5			
				3.3V ± 0.3V	0.5			
				5V ± 0.5V	0.5			

5.10 アナログ チャネルの仕様

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	v_{cc}	最小値	公称値	最大値	単位
周波数応答 (スイッチオン時)(1)	A または Bn	Bn または A	R_L = 50Ω、f_{in} = サイン波	1.65V		340		MHz
				2.3V		340		
				3V		340		
				4.5V		340		
クロストーク (スイッチ間)(2)	B1 または B2	B2 または B1	R_L = 50Ω、f_{in} = 10MHz (サイン波)	1.65V		-54		dB
				2.3V		-54		
				3V		-54		
				4.5V		-54		
フィードスルー減衰量 (スイッチ オフ)(2)	A または Bn	Bn または A	C_L = 5pF、R_L = 50Ω、f_{in} = 10MHz (サイン波)	1.65V		-57		dB
				2.3V		-57		
				3V		-57		
				4.5V		-57		
電荷注入	S (Vs = VDD/2)	A	C_L = 0.1nF、R_L = 1MΩ	3.3V		3		pC
				5V		7		

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	v_{cc}	最小値	公称値	最大値	単位
全高調波歪み (YZP、DSF。DTB。DRY、DRL)	A または Bn	Bn または A	V_I = 1.4V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	1.65V		0.1		%
全高調波歪み (DBV、DCK)	A または Bn	Bn または A	V_I = 1.4V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	1.65V		0.5		%
全高調波歪	A または Bn	Bn または A	V_I = 2.0V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	2.3V		0.025		%
				3V		0.015		
				4.5V		0.01		

(1) fin を 0dBm に設定し、0.4V のバイアスを加えます。挿入損失よりも 3dB 小さくなるまで fin の周波数を上げてください。
(2) fin を 0dBm に設定し、0.4V のバイアスを加えてください。

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

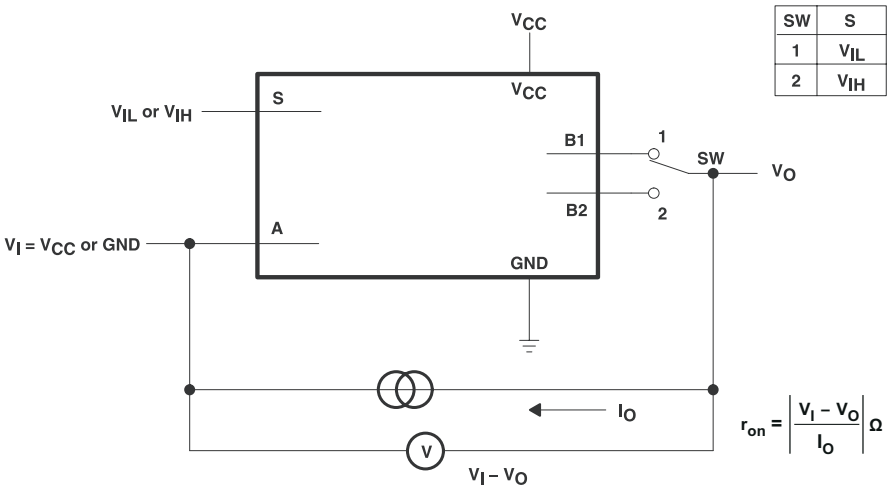
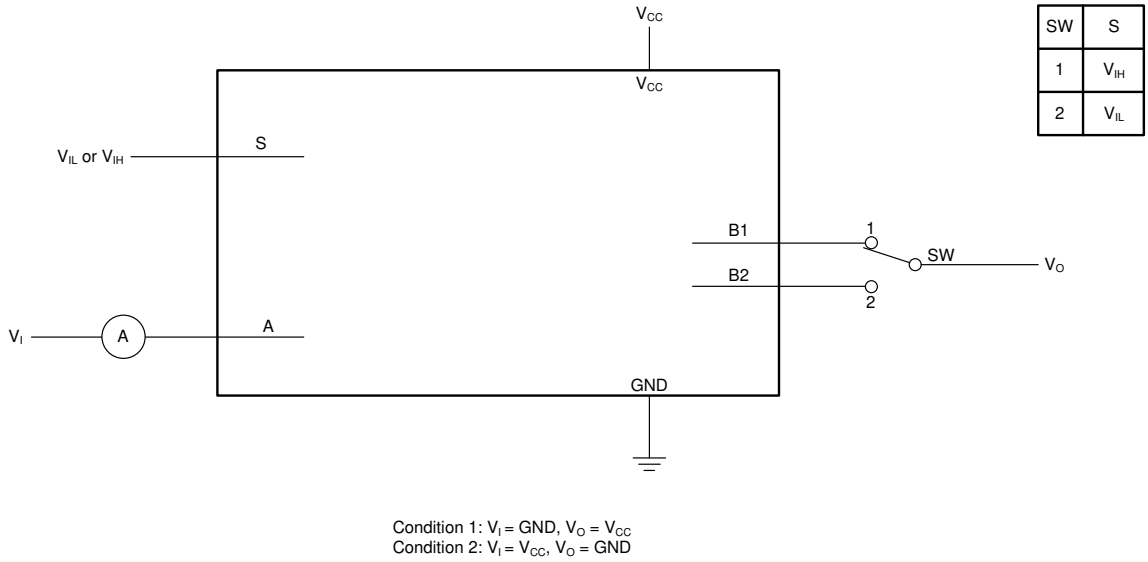


図 6-1. オン状態抵抗試験回路



Condition 1: V_I = GND, V_O = V_{CC}
Condition 2: V_I = V_{CC}, V_O = GND

図 6-2. オフ状態スイッチ漏れ電流試験回路

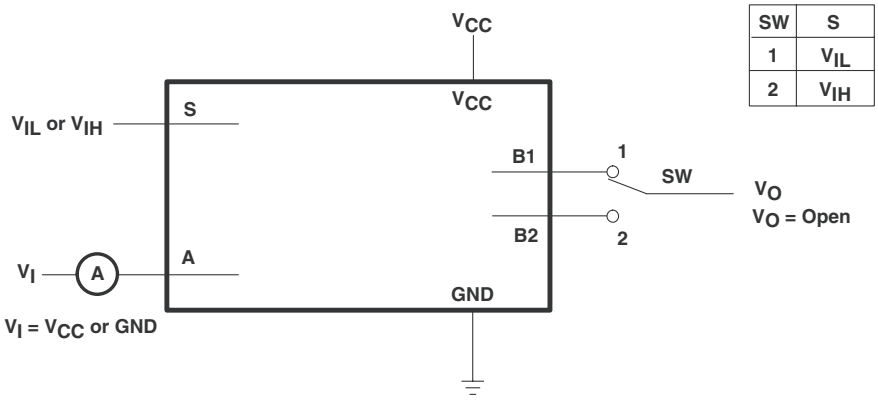
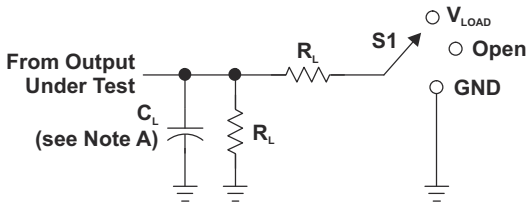


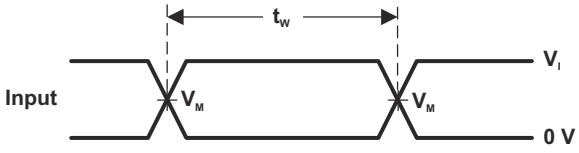
図 6-3. オン状態スイッチ漏れ電流試験回路



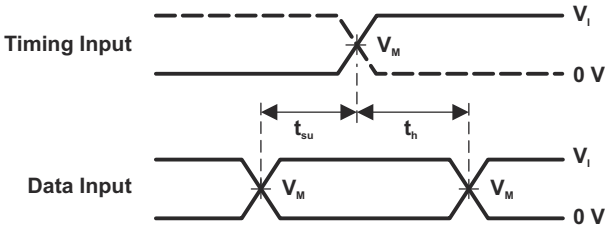
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

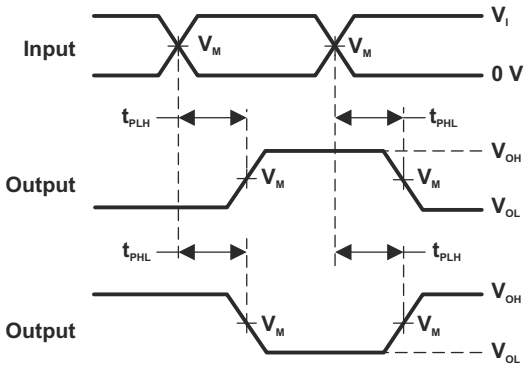
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



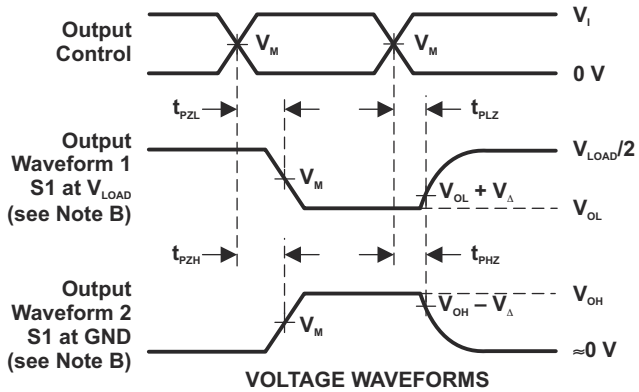
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-4. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

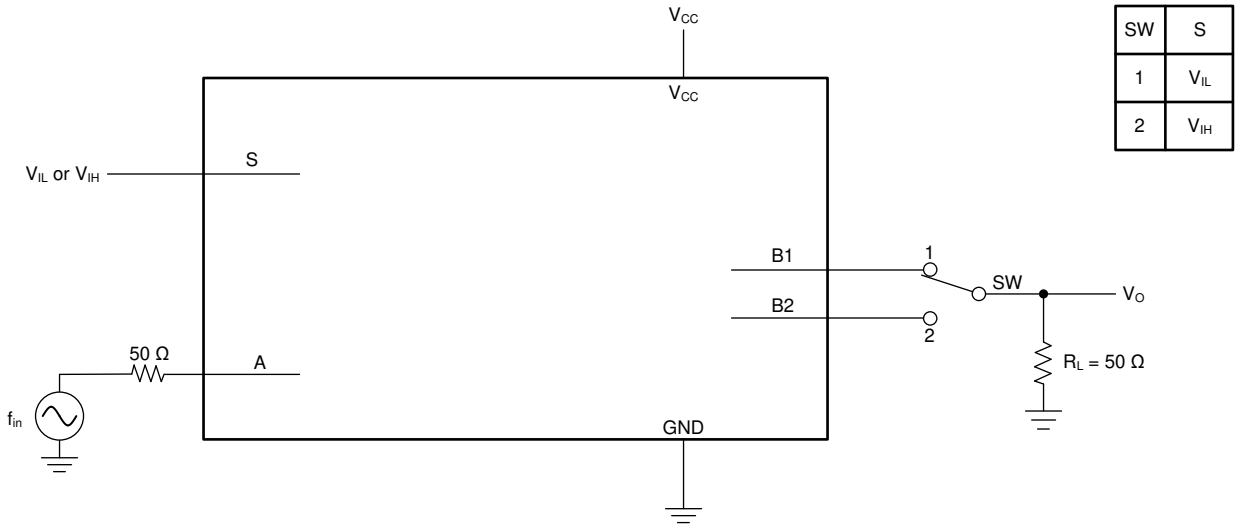


図 6-5. 周波数応答 (スイッチオン時)

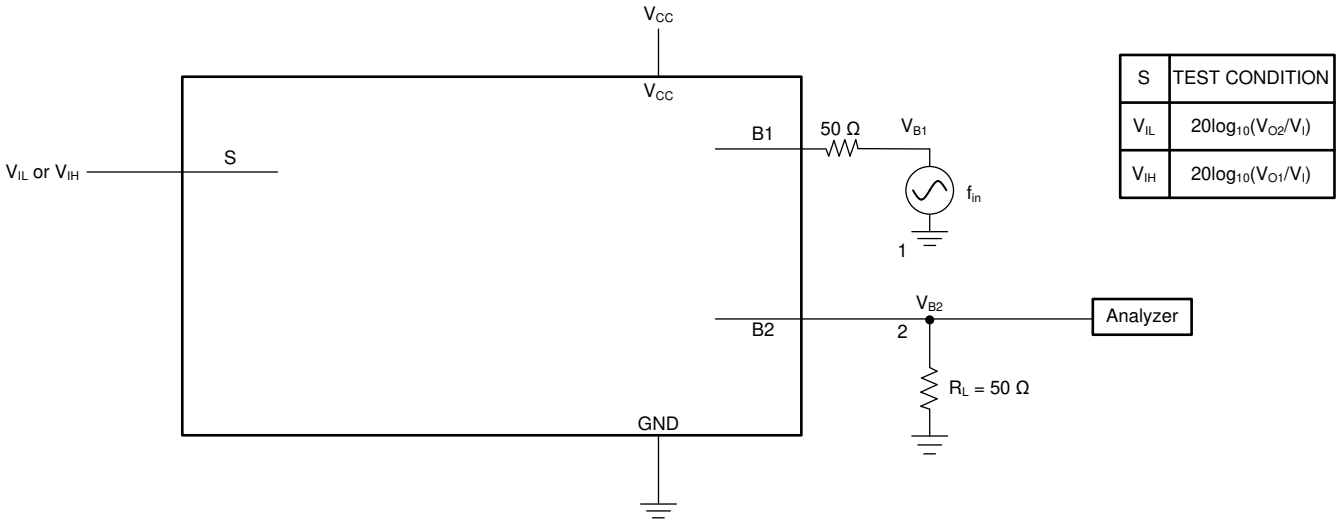


図 6-6. クロストーク (スイッチ間)

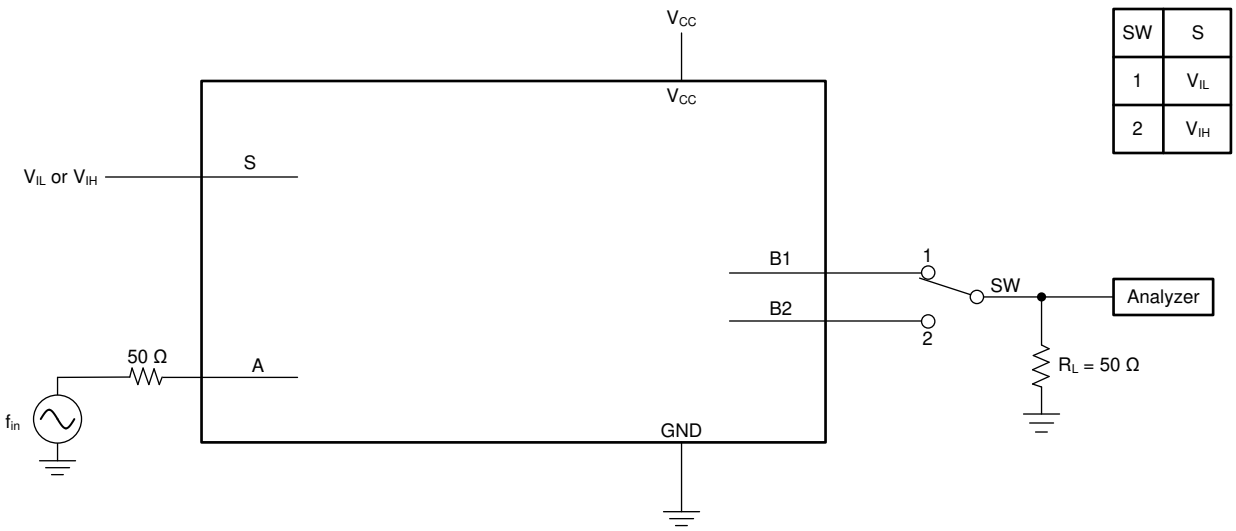


図 6-7. フィード スルー

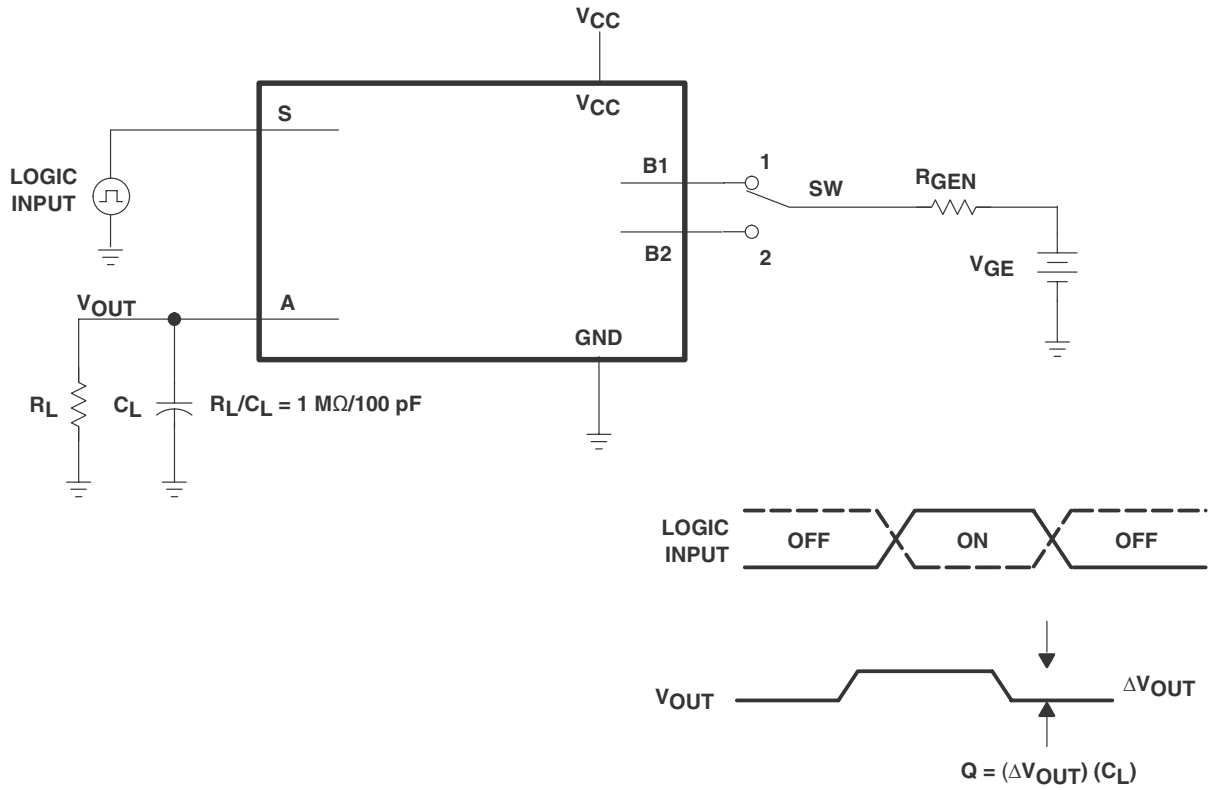


図 6-8. チャージインジェクション試験

Copyright © 2025 Texas Instruments Incorporated

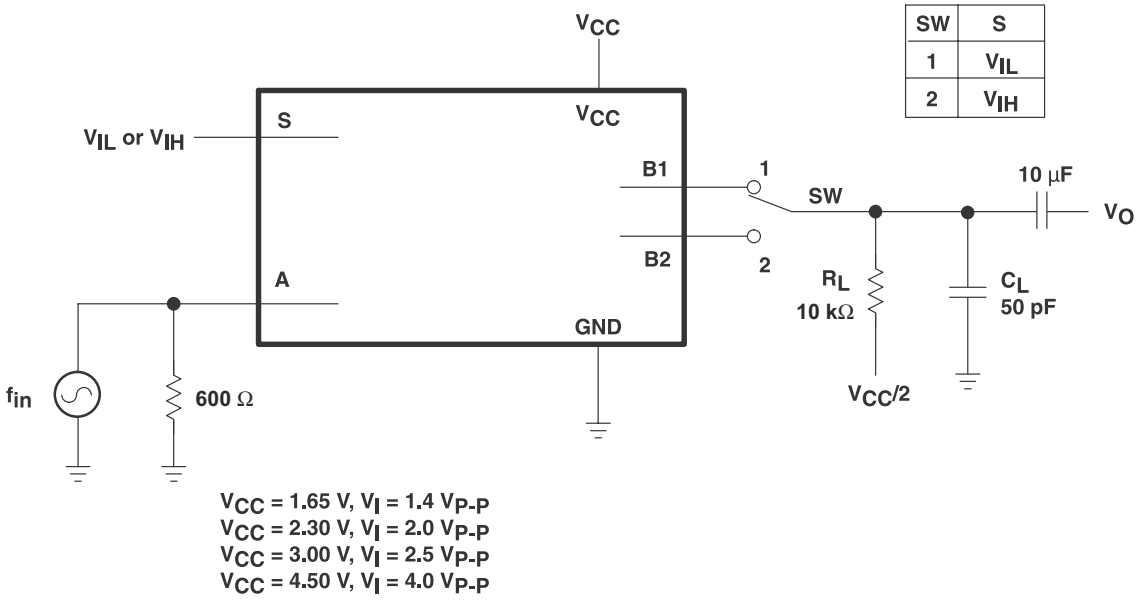


図 6-9. 全高調波歪

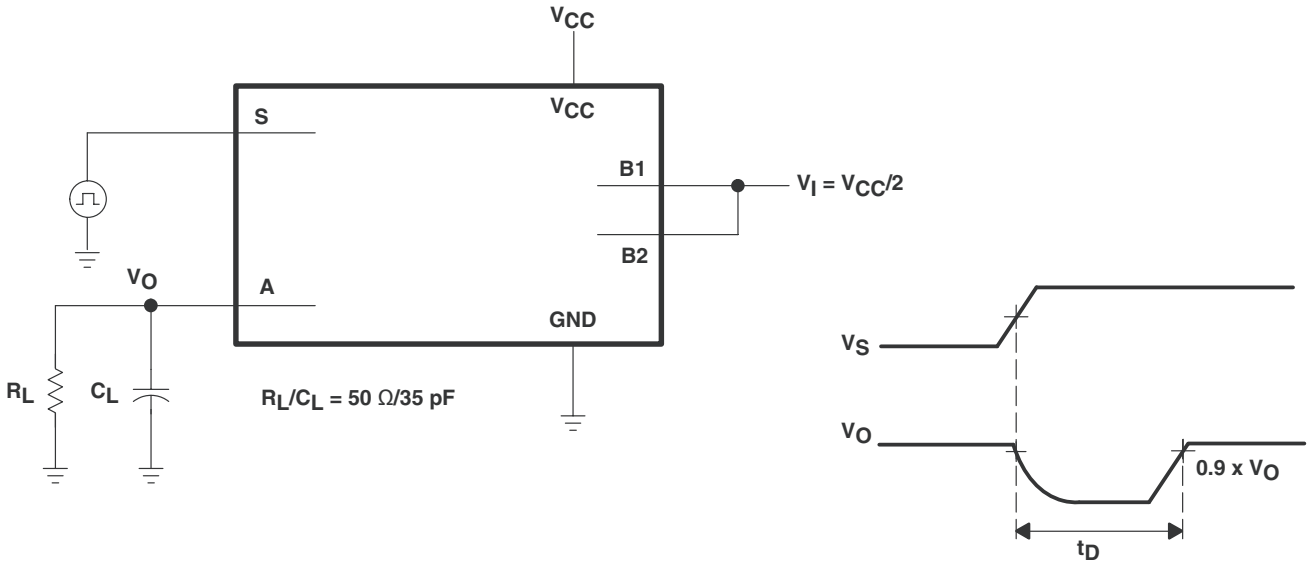


図 6-10. ブレイクビフォーメイク内部タイミング

7 詳細説明

7.1 概要

SN74LVC1G3157 デバイスは単極双投 (SPDT) アナログ スイッチで、1.65V～5.5V の V_{CC} で動作するよう設計されています。SN74LVC1G3157 デバイスは、アナログ信号およびデジタル信号の両方に対応しています。デバイスは、最高で V_{CC} (ピーク) までの振幅の信号を、どちらの方向にも転送できます。

7.2 機能ブロック図

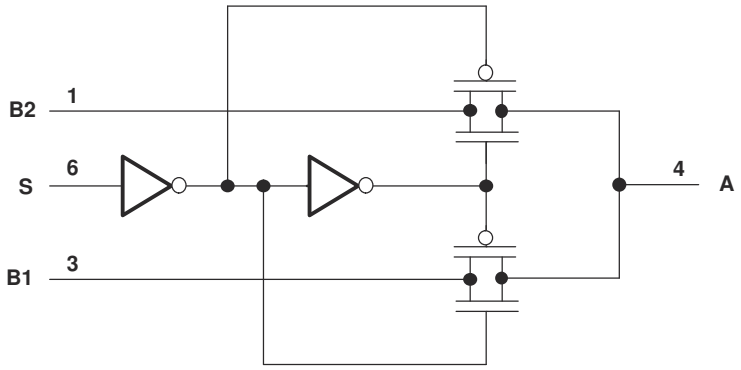


図 7-1. 論理図 (正論理)

7.3 機能説明

1.65V～5.5V の電源動作により、異なるロジック レベルで構成されたさまざまなシステムで本デバイスを使用でき、レール・ツー・レールの信号スイッチングが可能です。制御入力に応じて、B1 チャンネルまたは B2 チャンネルのいずれかがアクティブになります。制御入力が Low の場合は B1 チャンネルが選択されます。制御入力が High の場合は B2 チャンネルが選択されます。

7.4 デバイスの機能モード

表 7-1 は、いずれかの制御入力が選択された際のオン チャンネルを示しています。

表 7-1. 機能表

制御 入力	オン チャネル
L	B1
H	B2

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC1G3157 SPDT アナログ スイッチは、アナログ音声の切り替え、電源立ち上がりモニタ、メモリ共有など、さまざまな回路で柔軟に使用できます。アプリケーションの詳細については、SN74LVC1G3157 および SN74LVC2G53 SPDT アナログ スイッチを参照してください。

8.2 代表的なアプリケーション

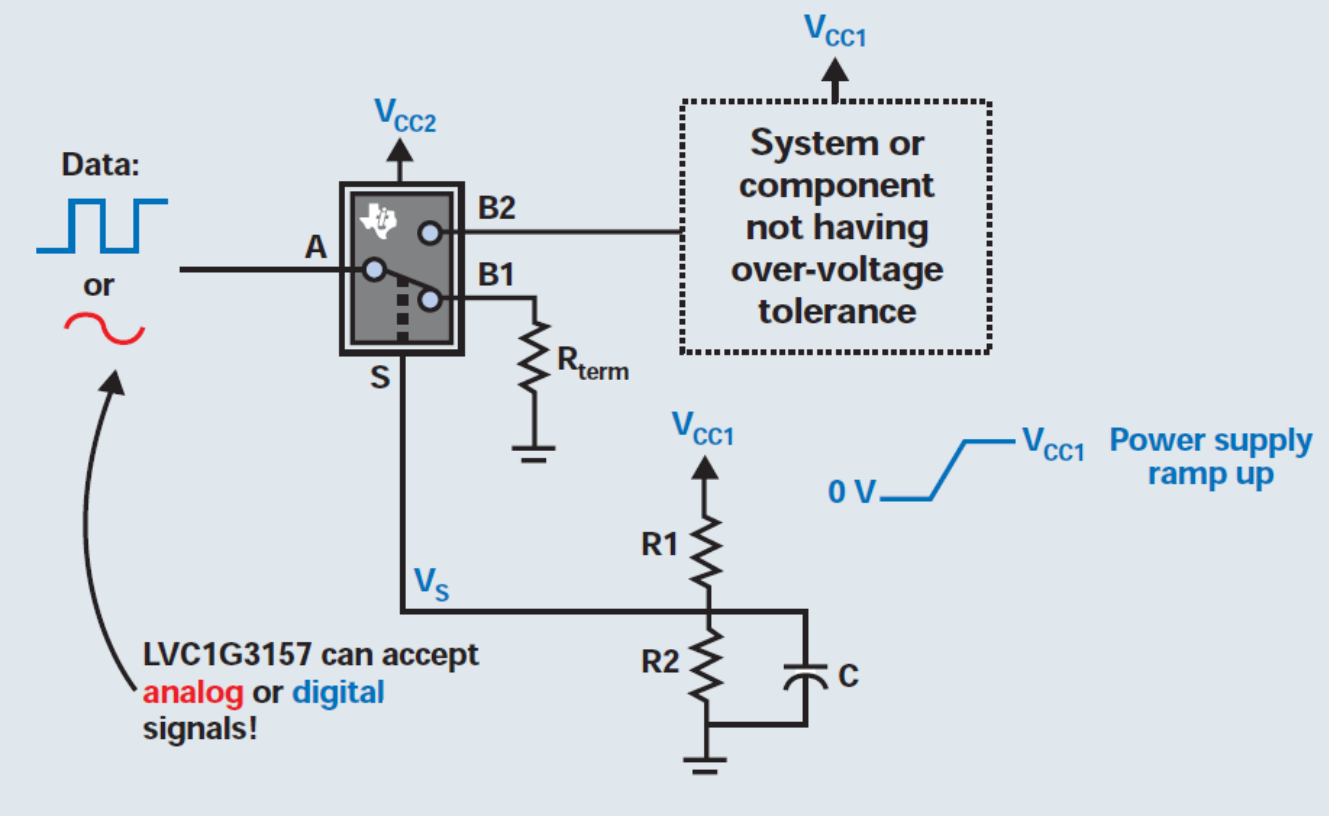


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

入力はアナログでもデジタルでも使用可能ですが、TI は、セクション 5.4 において V_{CC} が所定のレベルまで立ち上がるのを待ってから信号を加えることを推奨しています。信号の種類や仕様に応じて、適切な終端抵抗を使用する必要があります。セレクト ピンはフローティング状態にせず、GPIO で駆動可能な抵抗を用いてプル アップまたはプル ダウンしてください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

この回路の考え方を用いることで、システム設計者は、信号を入力に加える前にコンポーネントまたはサブシステムの電源が立ち上がっていることを確認できます。これは、過電圧耐性のない入力を持つ集積回路に対して有用です。この基本的な考え方では、立ち上がり中の VCC1 電源レールに抵抗分圧回路を使用します。抵抗分圧回路の RC 時定数により、SPDT バス スイッチのセレクト ピンにおける電圧の立ち上がりがさらに遅延します。R1、R2、および C の値を慎重に選定することで、VCC1 が定格電圧に達する前に A から B2 へのパスが確立されるのを防ぎ、デバイスやシステムが電源投入される前に I/O に信号が加わることを防止できます。最小限の所望の遅延を確保するために、設計者は 式 1 を使用して、グランド (0V) から電源電圧の半分 (VCC1/2) への遷移に要する時間を計算する必要があります。

$$\text{Set}\left(\frac{R2}{R1 + R2} \times V_{CC1} > V_{IH}\right) \text{of the select pin} \tag{1}$$

所望の遅延を得るために、Rs および C の値を選定してください。V_S が High になると、信号が通過します。

8.2.3 アプリケーション曲線

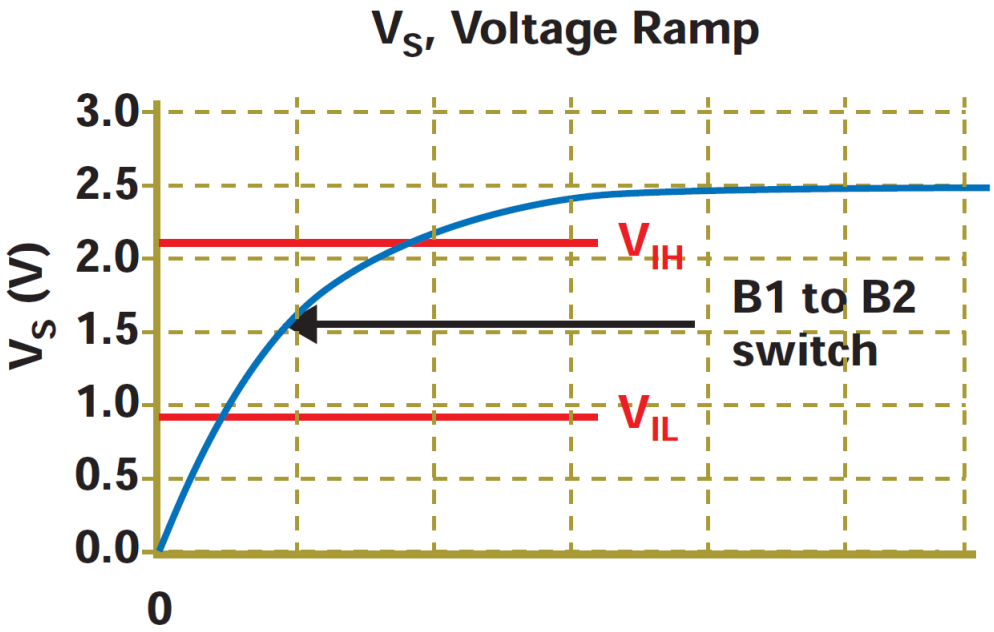


図 8-2. V_S 電圧ランプ

Copyright © 2025 Texas Instruments Incorporated

9 電源に関する推奨事項

多くのシステムでは、V_{CC} ピンに供給可能な共通の 3.3V または 5V レールを備えています。これが利用できない場合は、他の電圧レールから本デバイスに電源を供給するために、スイッチング電源 (SMPS) またはリニア ドロップアウト レギュレータ (LDO) を使用することができます。

10 レイアウト

10.1 レイアウトのガイドライン

TI は、信号ラインを可能な限り短く保つことを推奨しています。また、TI は信号ラインの長さが 1 インチを超える場合には、マイクロストリップまたはストリップライン技術の採用を推奨しています。これらの配線は、アプリケーション要件に応じて 50Ω または 75Ω の特性インピーダンスで設計する必要があります。このデバイスは、高電圧のスイッチング部品の近くに配置しないでください。干渉を引き起こす可能性があります。

10.2 レイアウト例

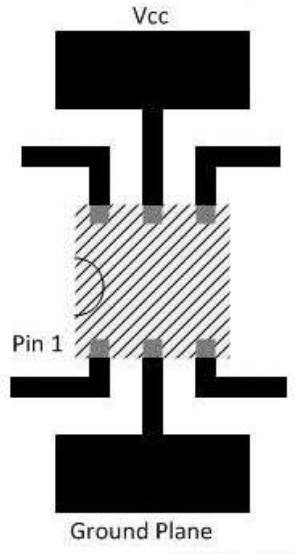


図 10-1. 推奨レイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス・インスツルメンツ *SN74LVC1G3157 および SN74LVC2G53 SPDT アナログ スイッチ*

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (May 2025) to Revision O (June 2025)	Page
• 関連する DBV および DCK の仕様を他のパッケージから分離	5

Changes from Revision M (August 2022) to Revision N (May 2025)	Page
• 絶対最大電源電圧を変更	5
• DBV および DCK の最新サーマル パラメータ	6
• r_{range} が更新	7
• 85℃ 1.8V および 125℃ 5V 条件におけるイネーブル タイミングの更新	9
• 85℃ 5V および 125℃ 3.3V、5V 条件におけるディスエーブル タイミングの更新	9
• THD 試験条件および 1.65V に関する仕様を更新	11

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision L (May 2017) to Revision M (August 2022) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *「ピン構成および機能」*セクションを更新 3
- *詳細設計手順*セクションの式を更新 20

Changes from Revision K (January 2017) to Revision L (May 2017) **Page**

- 「特長」の「アナログとデジタルの両方のアプリケーションに便利」を削除 1
- 「特長」の「優れた直線性」を削除 1
- *「説明」*の最初の文を「この単極双投 (SPDT) ...」から「このシングル チャネル単極双投 (SPDT) ...」に変更 1
- *「製品情報」*に X2SON (DTB) パッケージを追加 1
- *「ピン構成および機能」*に X2SON (DTB) パッケージを追加 3
- 図 6-2 を以下のように変更：SW1 = V_{IL} から SW1 = V_{IH}、以下のように変更：SW2 = V_{IH} から： SW2 = V_{IL} 13
- 図 6-5 を変更。 13
- 図 6-6 内の B1 に直列で 50Ω 抵抗を追加 13
- 図 6-7 を変更。 13

Changes from Revision J (June 2016) to Revision K (January 2017) **Page**

- 「アプリケーション」セクションに新しいアプリケーションを追加 1

Changes from Revision I (June 2015) to Revision J (June 2016) **Page**

- *「特長」*から 200V マシン モデル (A115-A) を削除 1
- 以下から*特長*を変更しました：「動作周波数：300MHz (標準値、室温)」を「動作周波数：340MHz (標準値、室温)」に変更 1
- *「製品情報」*表を更新 1
- すべてのパッケージに対してピン配置図を更新 3
- 「ドキュメントの更新通知を受け取る方法」セクションを追加 22

Changes from Revision H (May 2012) to Revision I (June 2015) **Page**

- *「製品情報」*表、*「ピン構成および機能」*セクション、*「ESD 定格」*表、*「機能説明」*セクション、*「デバイスの機能モード」*、*「アプリケーションと実装」*セクション、*「電源に関する推奨事項」*セクション、*「レイアウト」*セクション、*「デバイスおよびドキュメントのサポート」*セクション、*「メカニカル、パッケージ、および注文情報」*セクションを追加。 1
- *「特長」*を更新 1

Changes from Revision G (September 2011) to Revision H (May 2012) **Page**

- YZP パッケージのピン ラベルを正しいものに修正 3

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74LVC1G3157DBVR1G4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CC55
74LVC1G3157DBVR1G4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CC55
74LVC1G3157DBVR1G4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CC55
74LVC1G3157DRLRG4	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C57
74LVC1G3157DRLRG4.B	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C57
74LVC1G3157DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
74LVC1G3157DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(3HRH, CC55, CC5F, CC5K, CC5R) CC5S
SN74LVC1G3157DBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(3HRH, CC55, CC5F, CC5K, CC5R) CC5S
SN74LVC1G3157DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(3HRH, CC55, CC5F, CC5K, CC5R) CC5S
SN74LVC1G3157DCK3	Obsolete	Production	SC70 (DCK) | 6	-	-	Call TI	Call TI	-40 to 125	C5Z
SN74LVC1G3157DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(3HSH, C55, C5F, C5J, C5R)
SN74LVC1G3157DCKR.A	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HSH, C55, C5F, C5J, C5R)
SN74LVC1G3157DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HSH, C55, C5F, C5J, C5R)
SN74LVC1G3157DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(C57, C5R)
SN74LVC1G3157DRLR.A	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C57, C5R)
SN74LVC1G3157DRLR.B	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C57, C5R)
SN74LVC1G3157DRY2	Obsolete	Production	SON (DRY) | 6	-	-	Call TI	Call TI	-40 to 125	C5
SN74LVC1G3157DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DRYR.A	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	C5

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G3157DSFR.A	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5
SN74LVC1G3157DTBR	Active	Production	X2SON (DTB) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7X
SN74LVC1G3157DTBR.B	Active	Production	X2SON (DTB) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7X
SN74LVC1G3157YZPR	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C5N
SN74LVC1G3157YZPR.B	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C5N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G3157 :

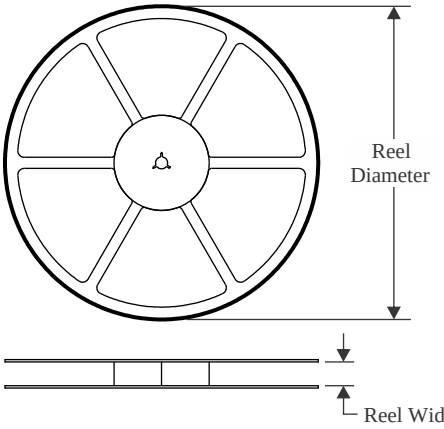
- Automotive : SN74LVC1G3157-Q1

NOTE: Qualified Version Definitions:

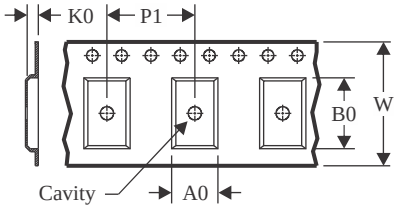
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

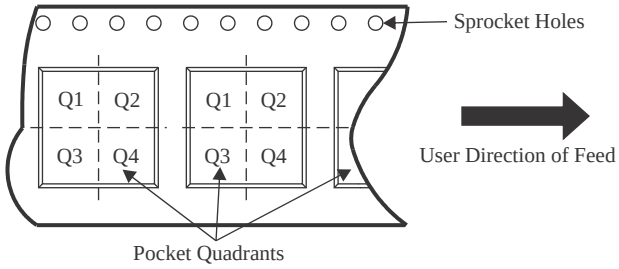


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

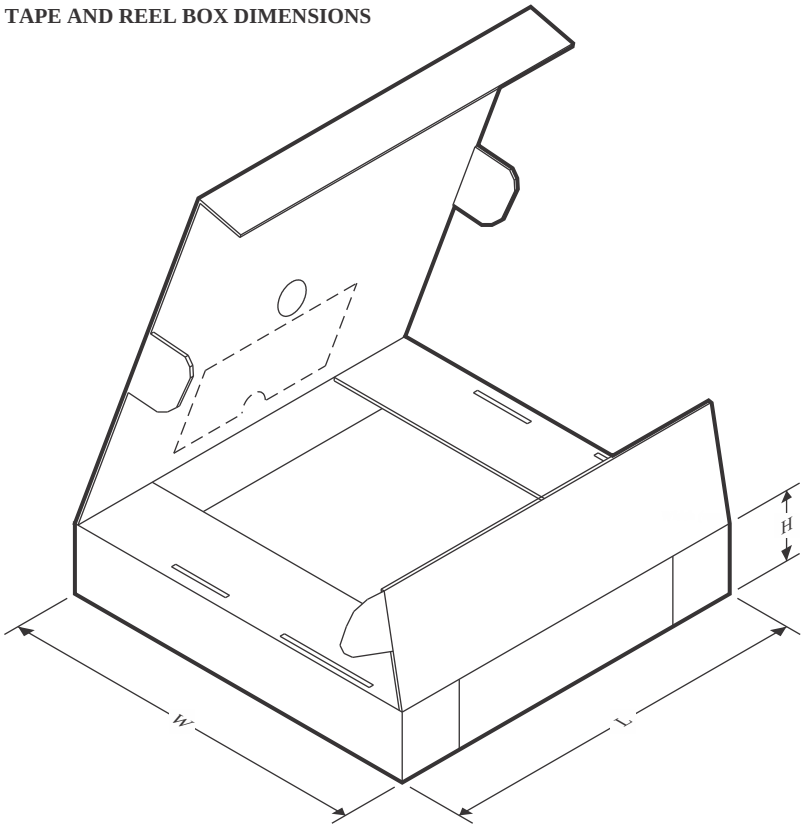


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74LVC1G3157DBVR1G4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
74LVC1G3157DRLRG4	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
74LVC1G3157DSFRG4	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G3157DCKR	SC70	DCK	6	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G3157DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G3157DCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G3157DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
SN74LVC1G3157DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
SN74LVC1G3157DRYR	SON	DRY	6	5000	180.0	9.5	1.2	1.65	0.7	4.0	8.0	Q1
SN74LVC1G3157DRYR	SON	DRY	6	5000	180.0	8.4	1.2	1.65	0.69	4.0	8.0	Q1
SN74LVC1G3157DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G3157DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q2
SN74LVC1G3157DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G3157DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G3157DTBR	X2SON	DTB	6	3000	180.0	9.5	0.94	1.13	0.41	2.0	8.0	Q2
SN74LVC1G3157YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74LVC1G3157DBVR1G4	SOT-23	DBV	6	3000	210.0	185.0	35.0
74LVC1G3157DRLRG4	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
74LVC1G3157DSFRG4	SON	DSF	6	5000	210.0	185.0	35.0
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G3157DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G3157DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G3157DCKR	SC70	DCK	6	3000	210.0	185.0	35.0
SN74LVC1G3157DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G3157DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
SN74LVC1G3157DRLR	SOT-5X3	DRL	6	4000	202.0	201.0	28.0
SN74LVC1G3157DRYR	SON	DRY	6	5000	189.0	185.0	36.0
SN74LVC1G3157DRYR	SON	DRY	6	5000	200.0	183.0	25.0
SN74LVC1G3157DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G3157DSFR	SON	DSF	6	5000	183.0	183.0	20.0
SN74LVC1G3157DSFR	SON	DSF	6	5000	210.0	185.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G3157DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G3157DTBR	X2SON	DTB	6	3000	189.0	185.0	36.0
SN74LVC1G3157YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0

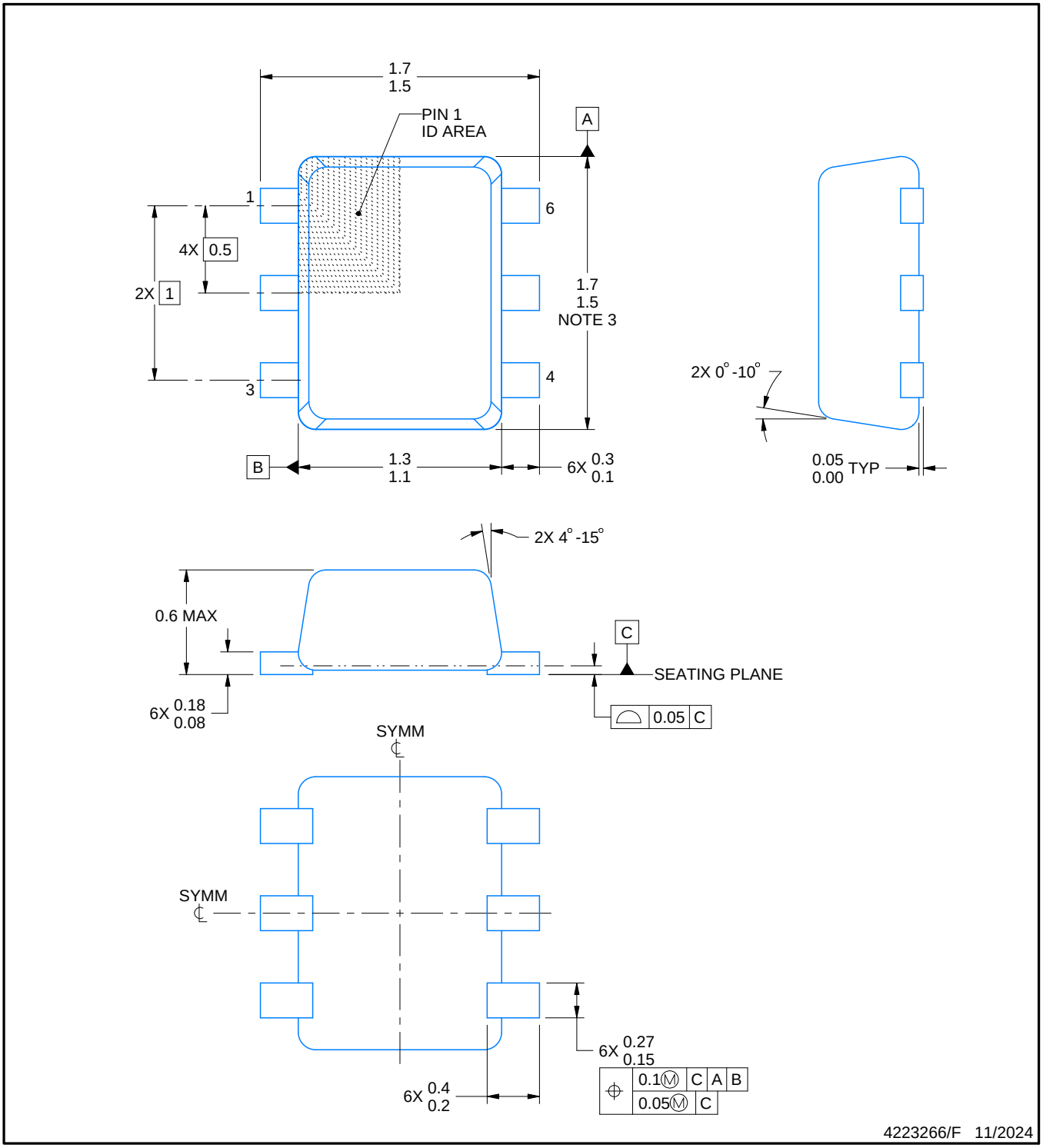


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

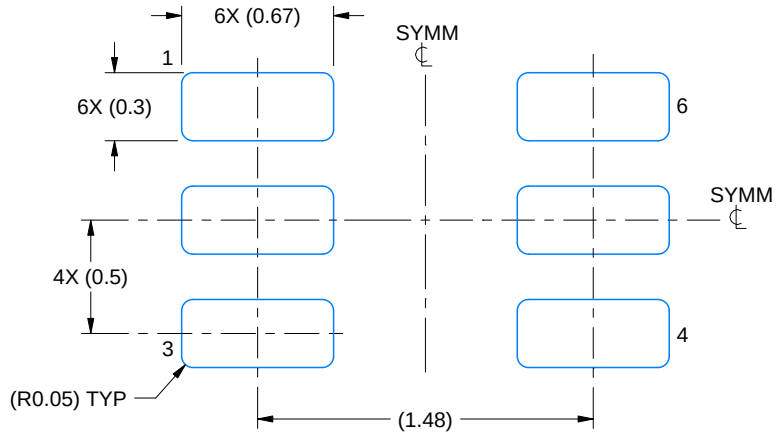
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

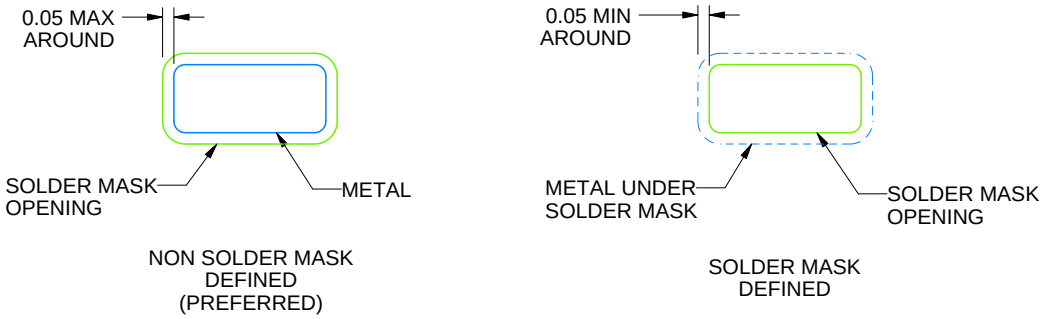
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

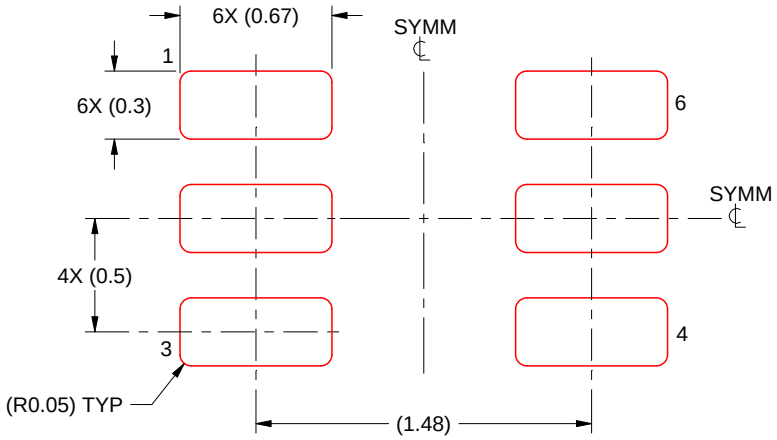
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

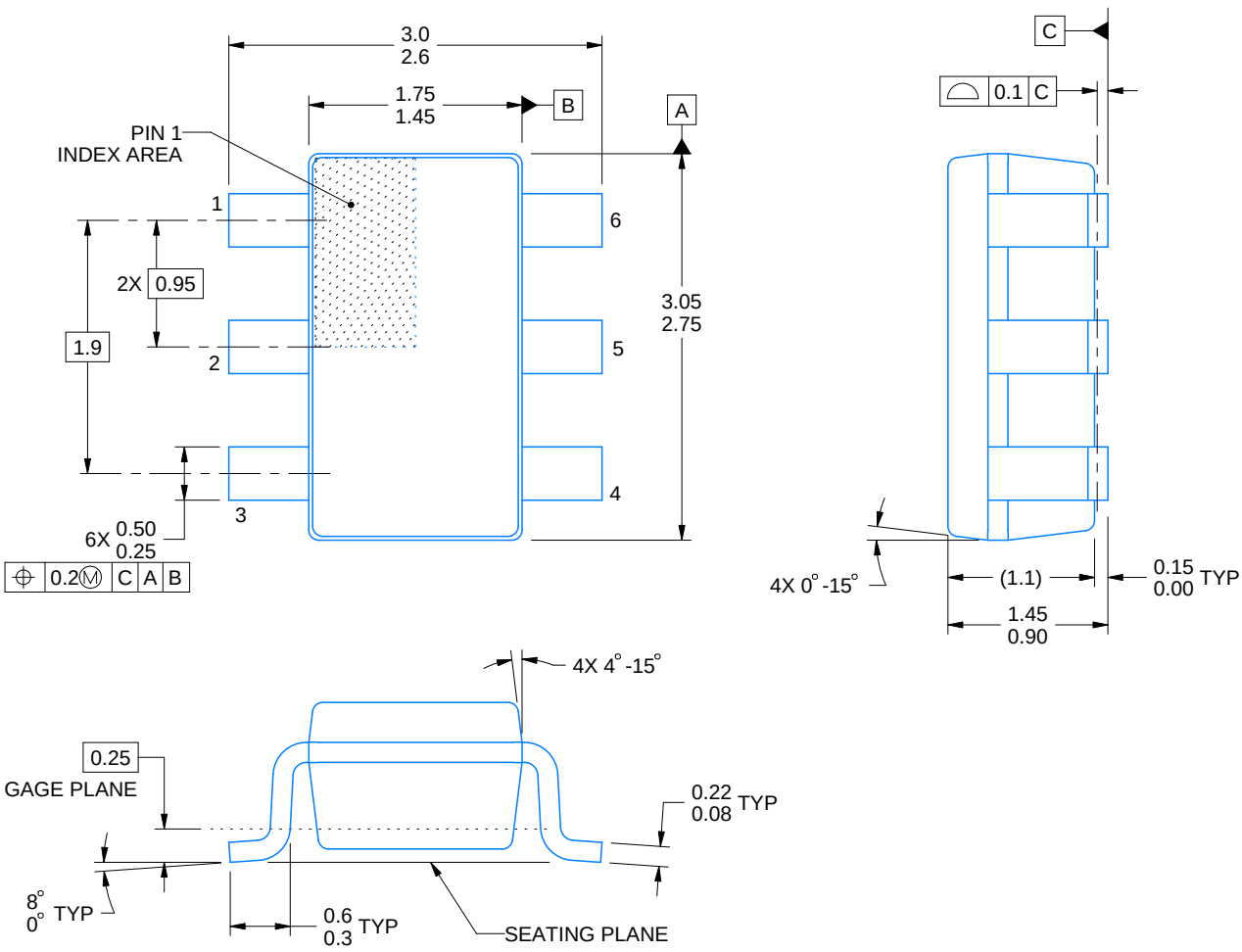
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

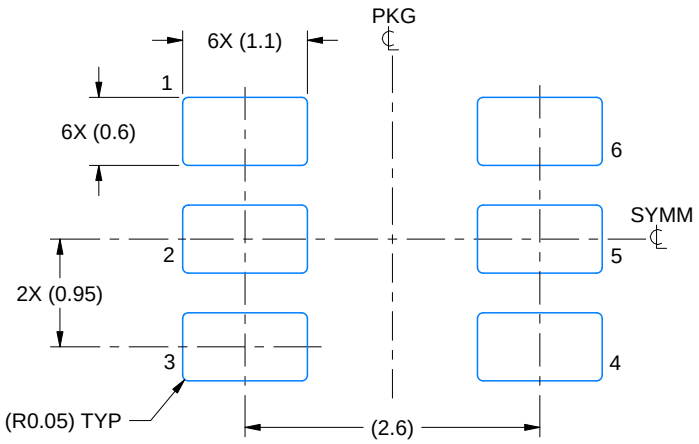
SMALL OUTLINE TRANSISTOR



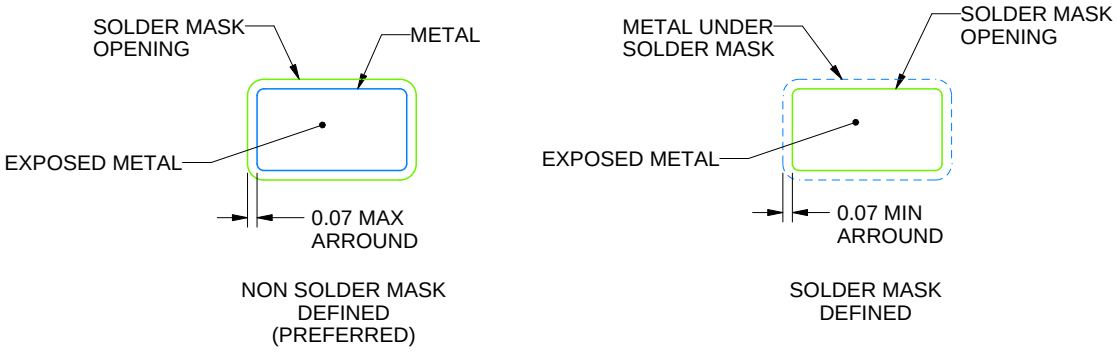
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

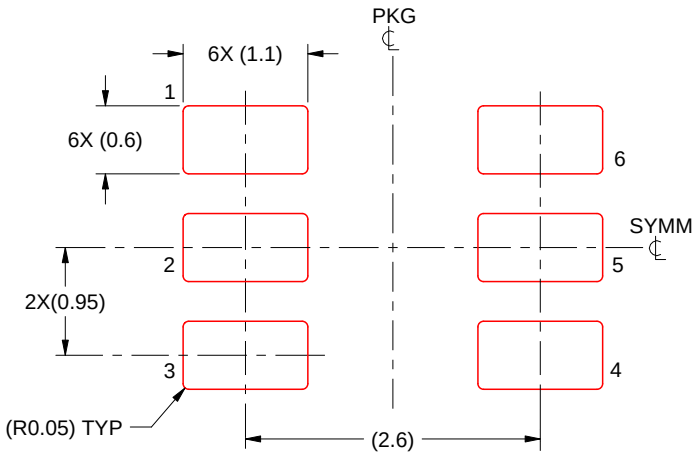


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

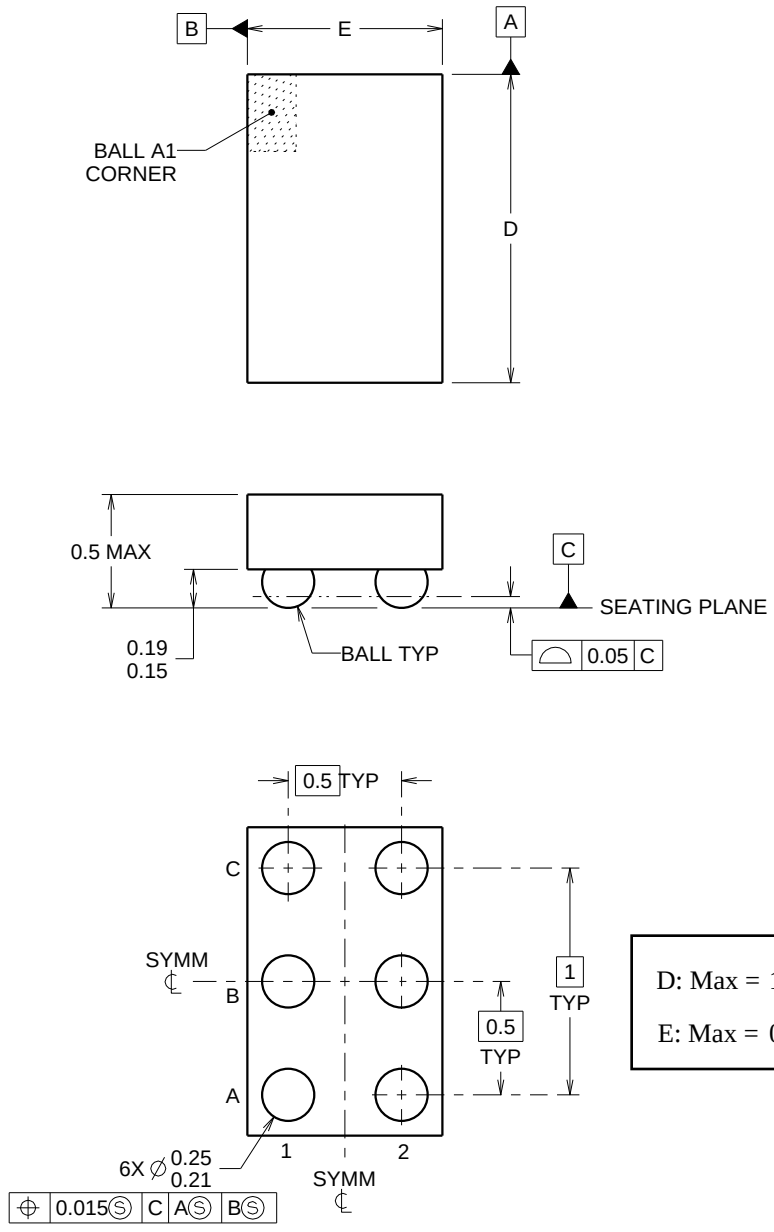
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 1.418 mm, Min =1.357 mm

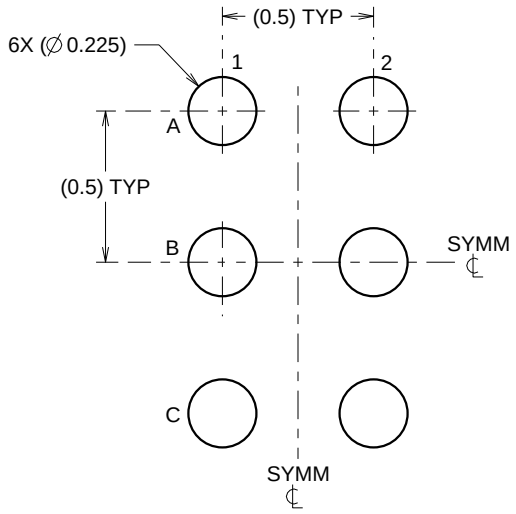
E: Max = 0.918 mm, Min =0.857 mm

4219524/A 06/2014

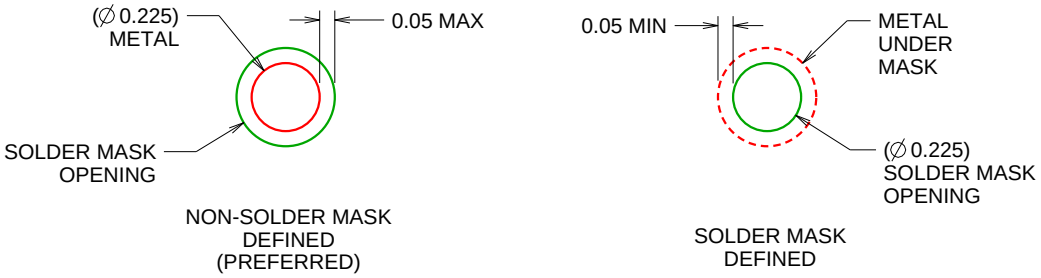
NOTES:

NanoFree Is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.



LAND PATTERN EXAMPLE
SCALE:40X

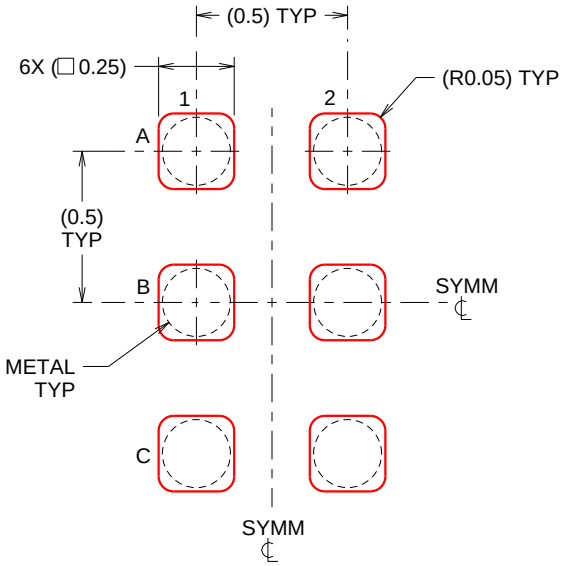


SOLDER MASK DETAILS
NOT TO SCALE

4219524/A 06/2014

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SBVA017 (www.ti.com/lit/sbva017).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219524/A 06/2014

NOTES: (continued)

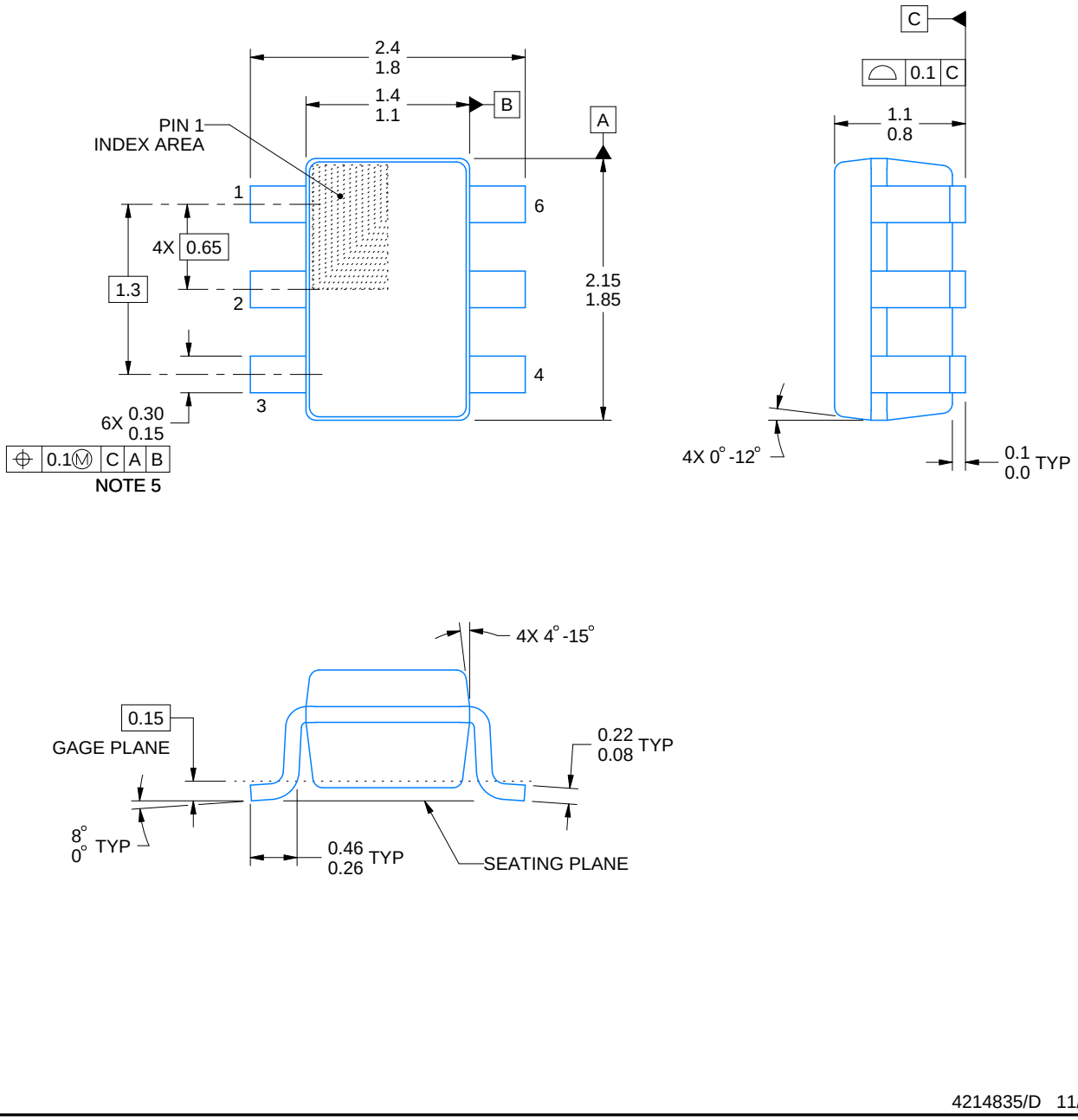
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

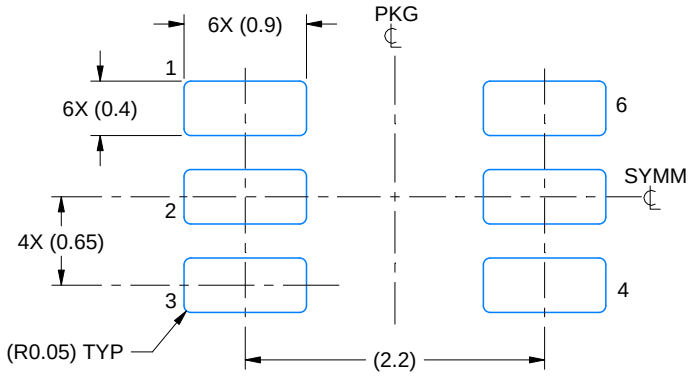
SMALL OUTLINE TRANSISTOR



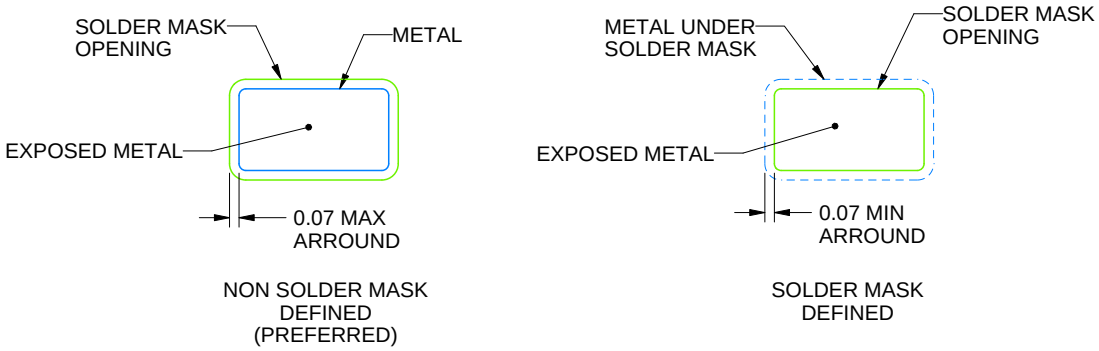
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

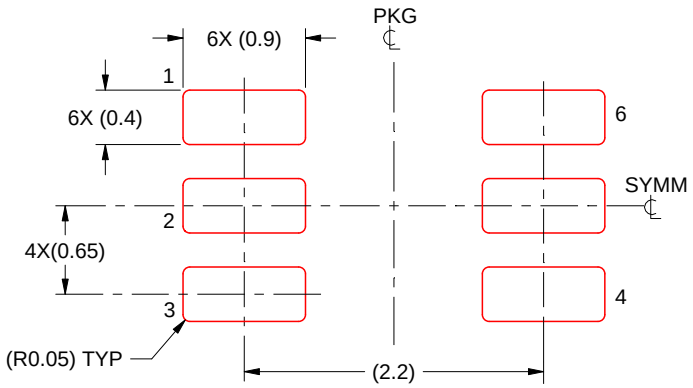


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

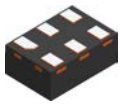
DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

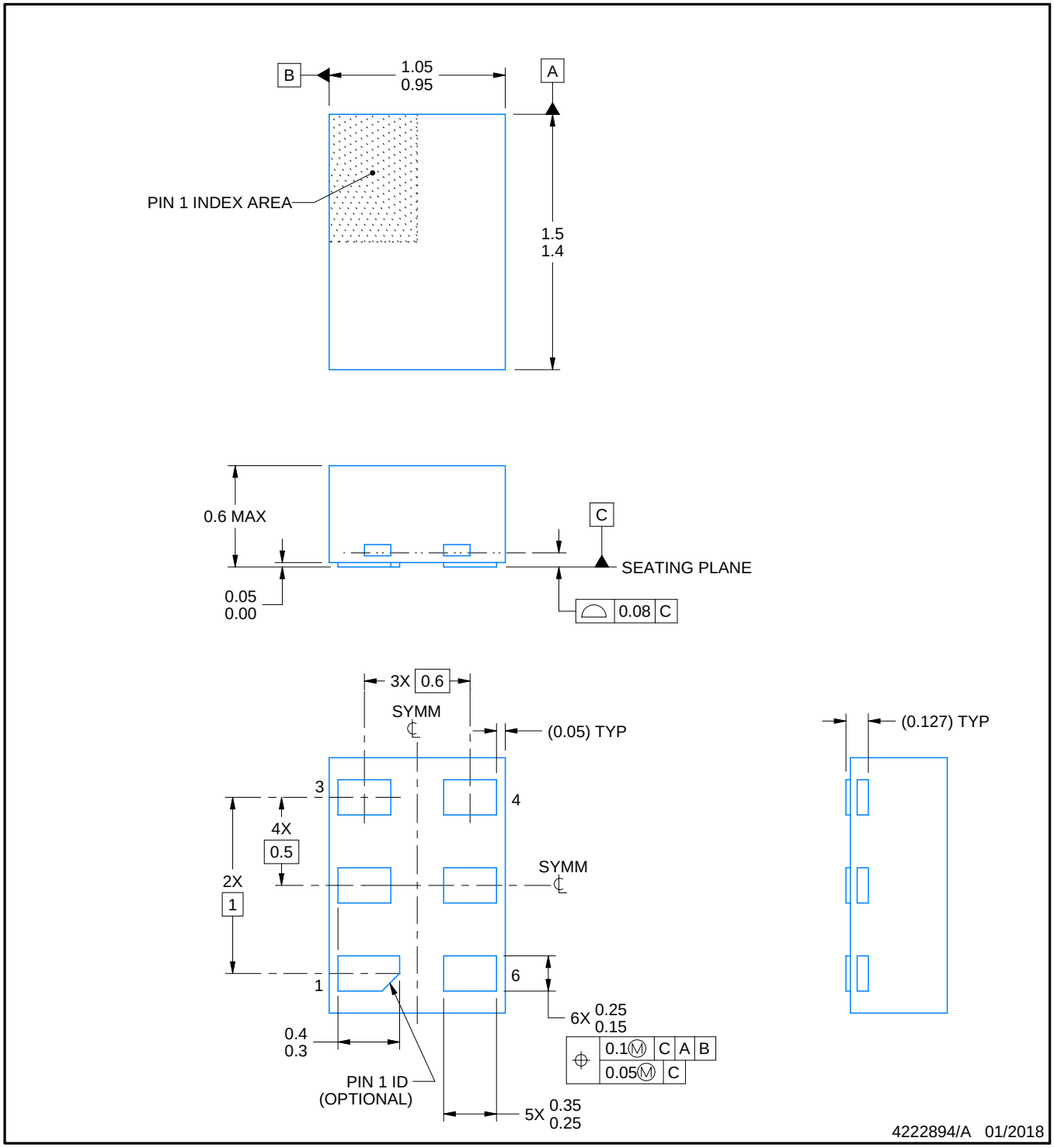
DRY0006A



PACKAGE OUTLINE

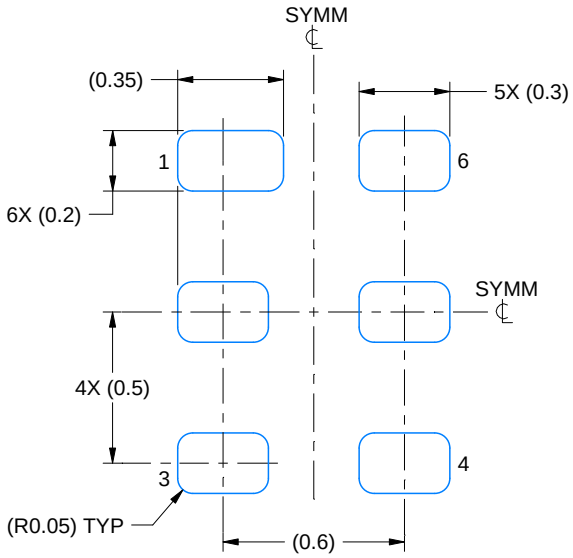
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

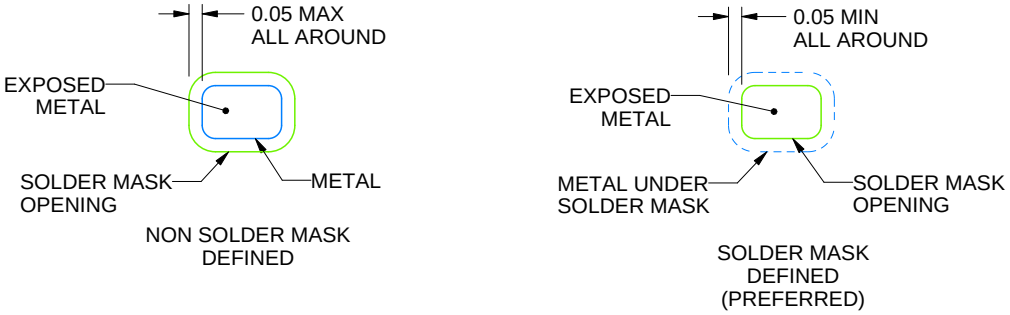


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

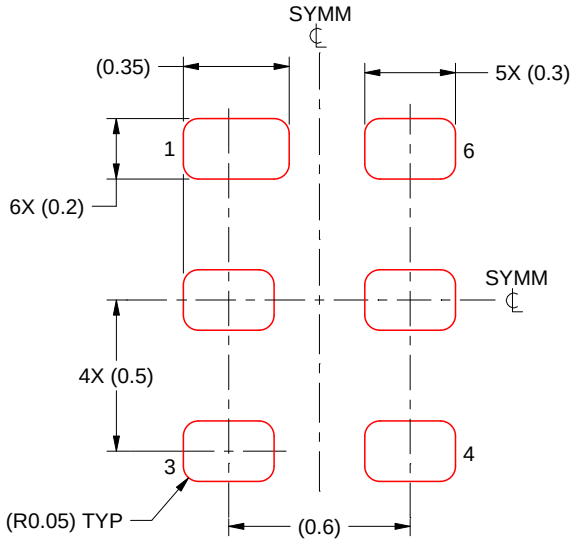
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

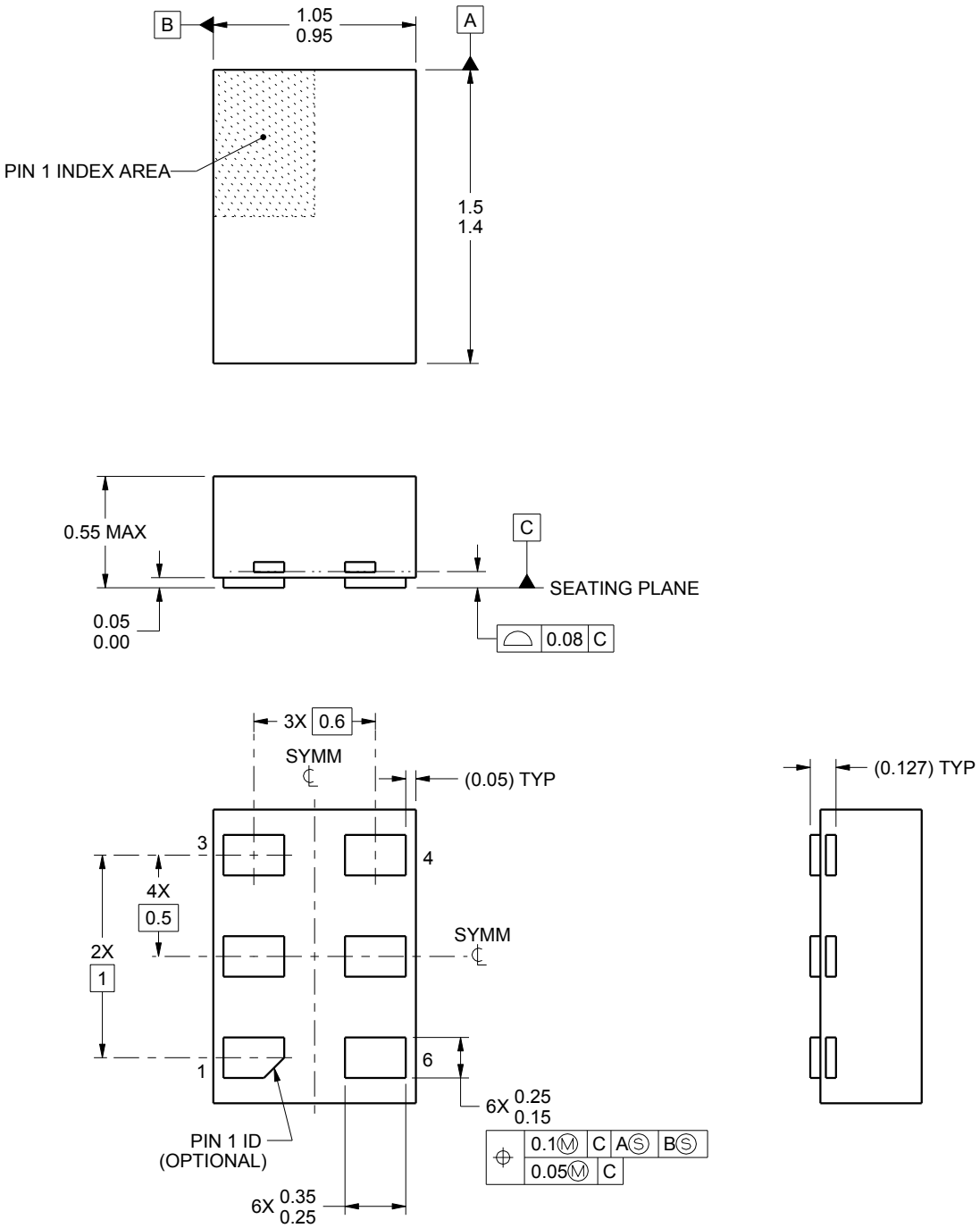
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DRY0006B

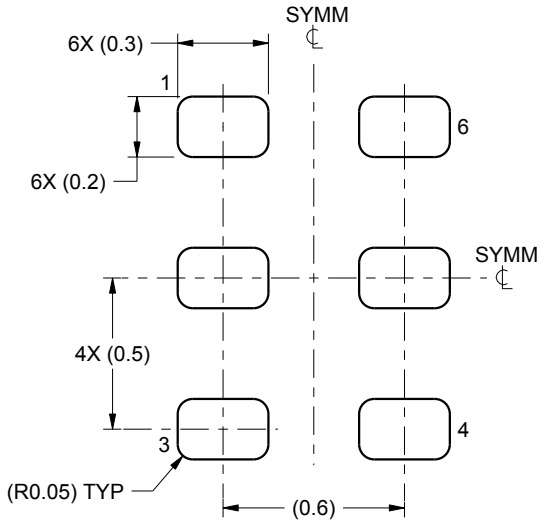
USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

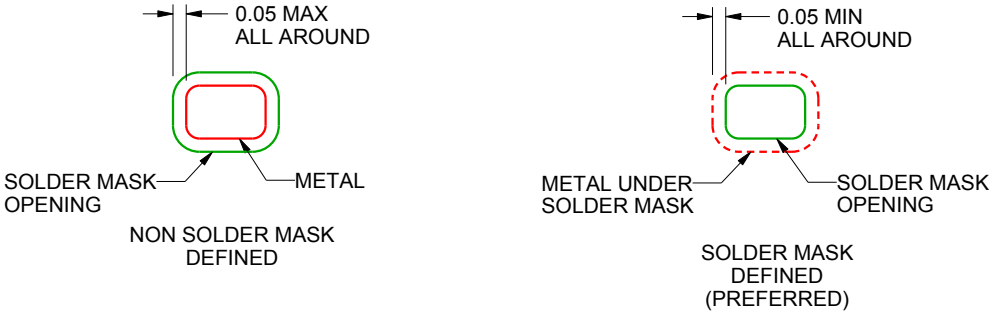


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
SCALE:40X



SOLDER MASK DETAILS

4222207/B 02/2016

NOTES: (continued)

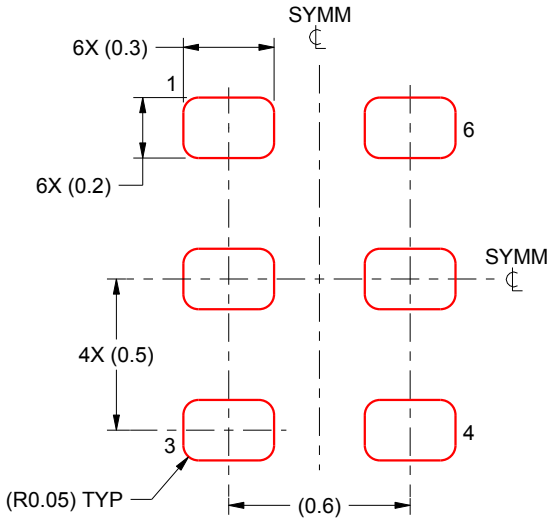
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222207/B 02/2016

NOTES: (continued)

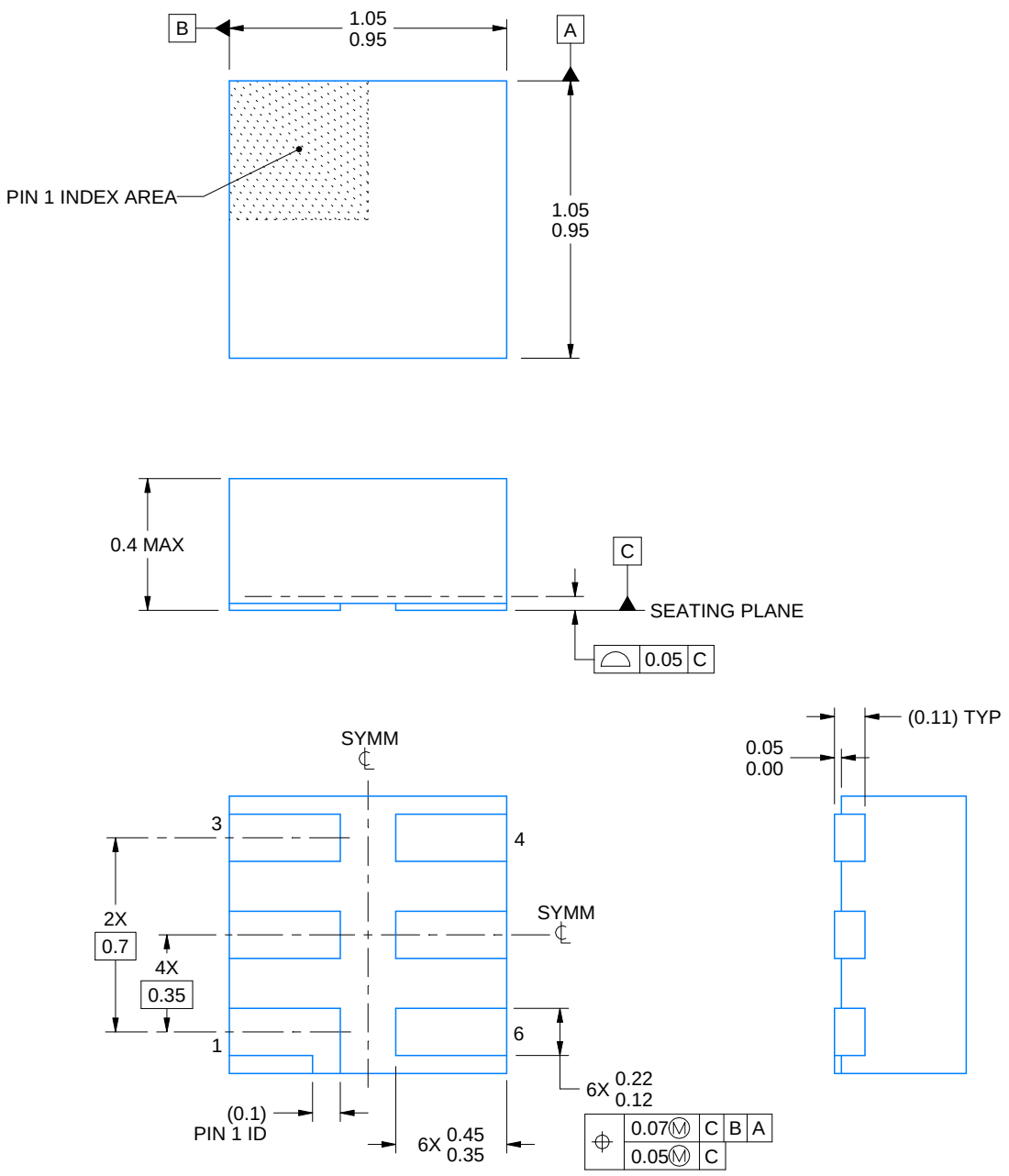
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

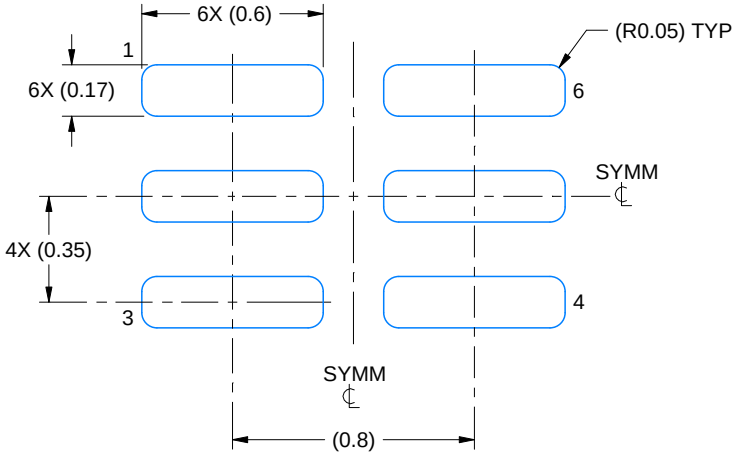
PLASTIC SMALL OUTLINE - NO LEAD



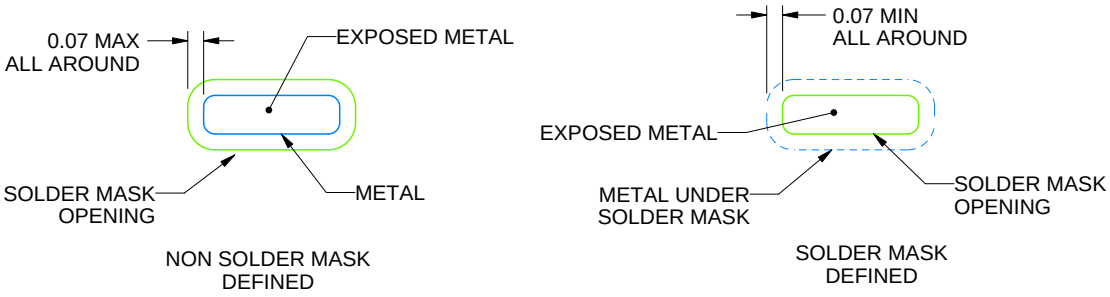
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

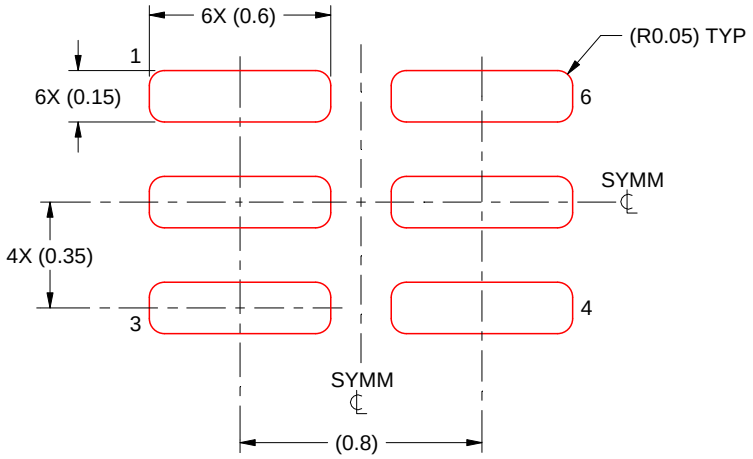
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

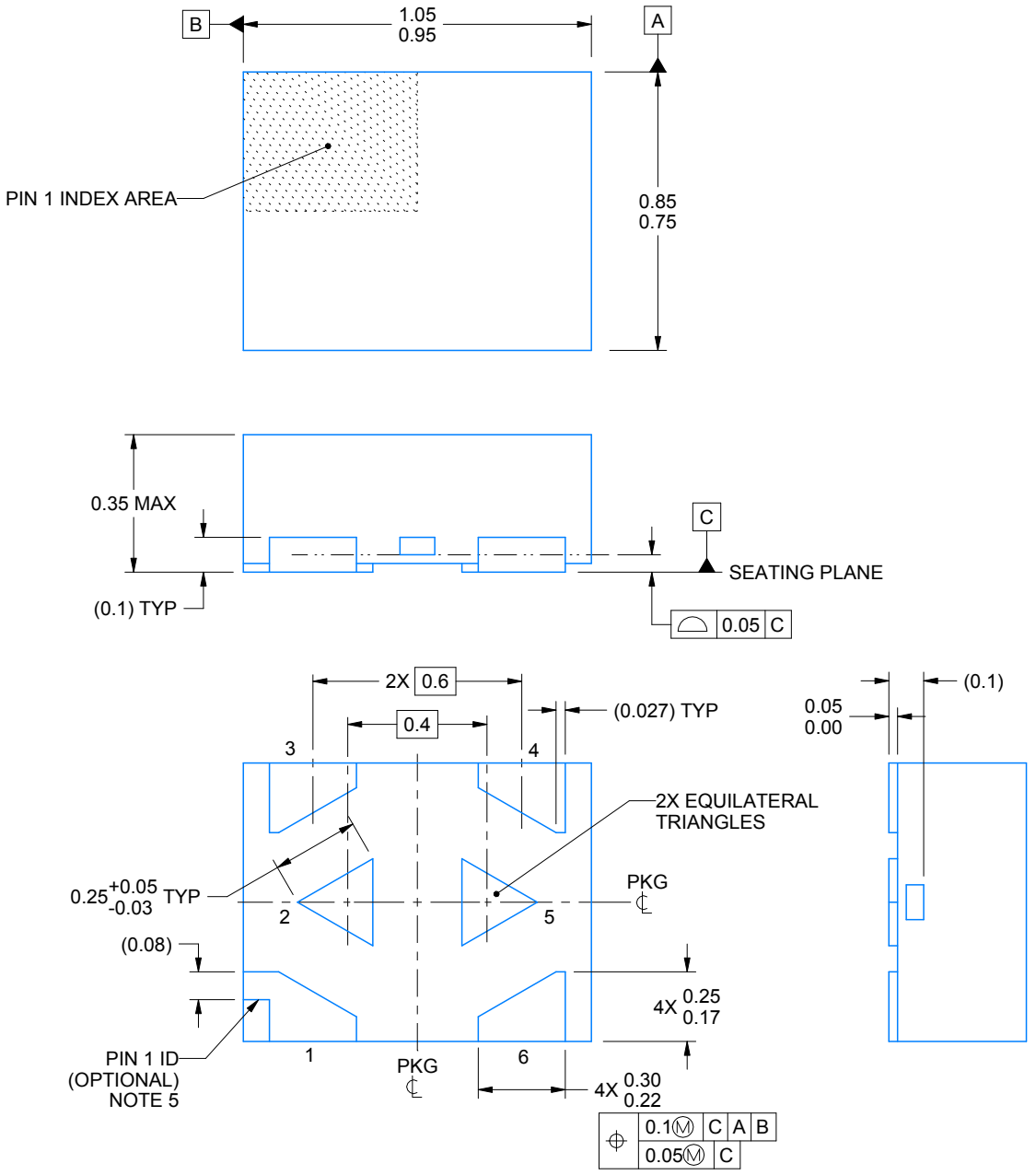
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

DTB0006A

PACKAGE OUTLINE

X2SON - 0.35 mm max height

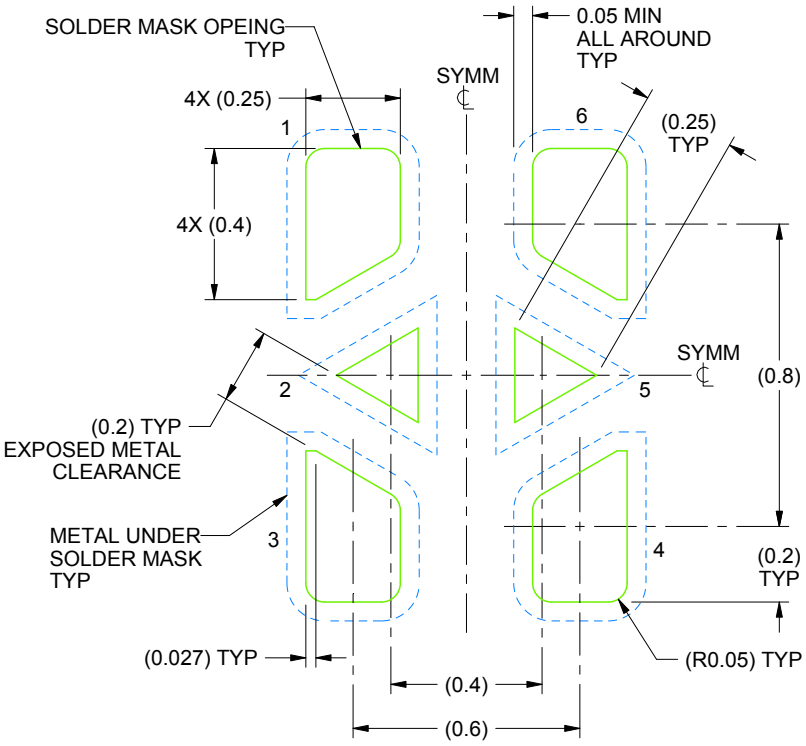
PLASTIC SMALL OUTLINE - NO LEAD



4223406/C 02/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. The size and shape of this feature may vary.
5. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.

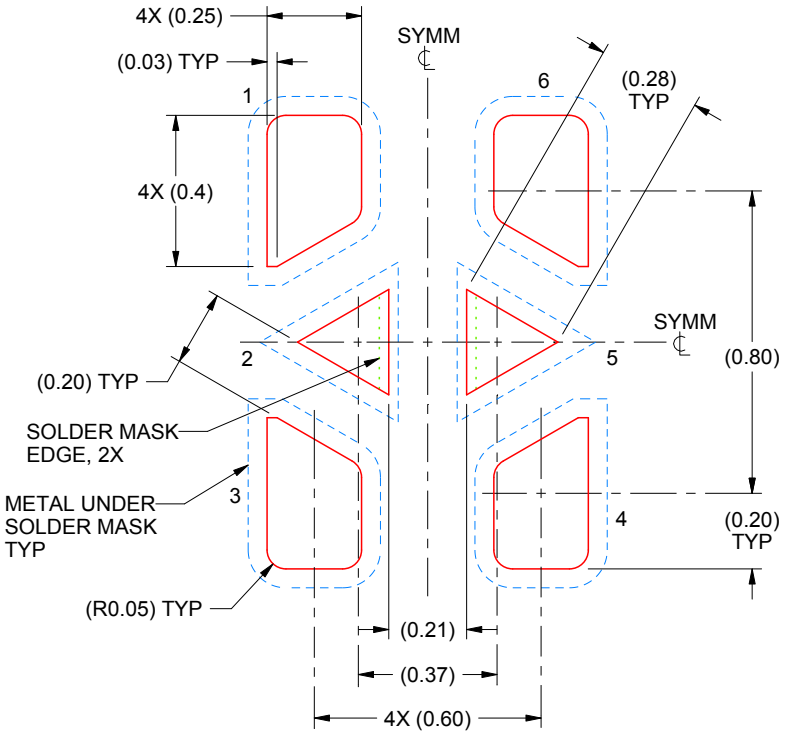


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:50X

4223406/C 02/2019

NOTES: (continued)

6. This package is designed to be soldered to a thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.07 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:50X

4223406/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月