SN74LVC1G3157-Q1 車載用単極双投アナログ・スイッチ

1 特長

- 機能安全に対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- MIL-STD-883、手法 3015 に従い 2000V を超える ESD 保護、マシン モデルで 200V 超 (C = 200pF、R = 0)
- 1.65V～5.5V の V_{CC} で動作
- アナログおよびデジタル アプリケーションに有用
- ブレイク ビフォー メイクのスイッチングを規定
- レール ツー レールの信号処理
- 高度な線形性
- 高速、標準値 0.5ns (V_{CC} = 3V、C_L = 50pF)
- 低オン状態抵抗、標準値 6Ω (V_{CC} = 4.5V)
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- 先進運転支援システム (ADAS)

3 説明

SN74LVC1G3157-Q1 デバイスは単極双投 (SPDT) アナログ スイッチで、1.65V～5.5V の V_{CC} で動作するよう設計されています。

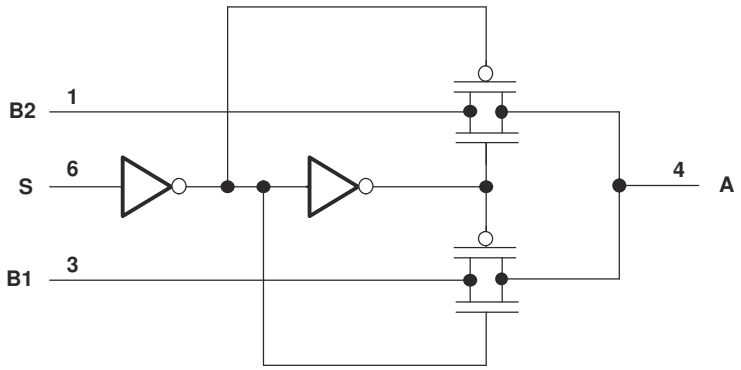
SN74LVC1G3157 デバイスは、アナログ信号およびデジタル信号の両方に対応しています。デバイスは、最高で V_{CC} (ピーク) までの振幅の信号を、どちらの方向にも転送できます。

信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ / デジタルやデジタル / アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74LVC1G3157-Q1	SOT-23 (6)	2.90mm × 1.60mm
	SC70 (6)	2.00mm × 1.25mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 7
5.6 スイッチング特性 125C ... 8
5.7 アナログ チャネルの仕様 ... 8
5.8 代表的特性 ... 10
6 パラメータ測定情報 ... 11
7 詳細説明 ... 17
7.1 概要 ... 17
7.2 機能ブロック図 ... 17
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 17
8 アプリケーションと実装 ... 18
8.1 アプリケーション情報 ... 18
8.2 代表的なアプリケーション ... 18
9 電源に関する推奨事項 ... 19
10 レイアウト ... 20
10.1 レイアウトのガイドライン ... 20
10.2 レイアウト例 ... 20
11 デバイスおよびドキュメントのサポート ... 21
11.1 ドキュメントのサポート ... 21
11.2 ドキュメントの更新通知を受け取る方法 ... 21
11.3 サポート・リソース ... 21
11.4 商標 ... 21
11.5 静電気放電に関する注意事項 ... 21
11.6 用語集 ... 21
12 改訂履歴 ... 22
13 メカニカル、パッケージ、および注文情報 ... 22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

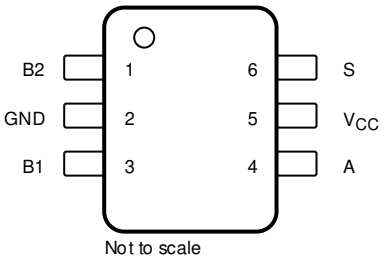


図 4-1. DBV パッケージ
6 ピン SOT-23
上面図

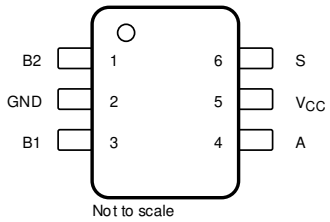


図 4-2. DCK パッケージ
6 ピン SC70
上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
A	4	I/O	共通端子
B1	3	I/O	最初の端子
B2	1	I/O	2 番目の端子
GND	2	—	グランド
S	6	I	選択
V_{CC}	5	I	電源

(1) I = 入力、O = 出力、GND = グランド。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧	-0.5	6	V
V_{IN}	制御入力電圧(2) (3)	-0.5	6	V
$V_{I/O}$	ハイインピーダンスまたは電源オフ状態で出力に適用される電圧範囲(5) (2) (3) (4)	-0.5	V_{CC} + 0.5V	V
I_{IK}	制御入力クランプ電流 V_{IN} < 0	-50		mA
$I_{I/O}$	I/O ポート ダイオード電流 $V_{I/O}$ < 0 または $V_{I/O}$ > V_{CC}	-50		mA
$I_{I/O}$	オン状態スイッチ電流(6) $V_{I/O}$ = 0 to V_{CC}	-128	128	mA
	V_{CC} または GND を通過する連続電流	-100	100	mA
T_J	接合部温度		150	C
保管温度、T_{stg}		-65	150	C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。
(3) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(4) この値は最大 5.5V に制限されています。
(5) V_I、V_O、V_A、および V_{Bn} は、$V_{I/O}$ の特定の条件を示すために使用されます。
(6) I_I、I_O、I_A、および I_{Bn} は、$I_{I/O}$ の特定の条件を示すために使用されます。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠(1) HBM ESD 分類レベル 1C		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C6 準拠	その他のピン	±1000	V
			コーナー ピン (B2、B1、S、A)	±1000	V

(1) AEC Q100–002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS–001 仕様に従って実施しなければならないと規定しています

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り) (1)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		1.65		5.5	V
$V_{I/O}$	スイッチ入力または出力電圧 (最大 V_{CC})		0		V_{CC}	V
V_{IN}	制御入力電圧		0		5.5	V
V_{IH}	制御入力の高レベル入力電圧 (0.75 × V_{CC})	V_{CC} = 1.65V～1.95V	V_{CC} × 0.75			V
V_{IH}	制御入力の高レベル入力電圧 (0.7 × V_{CC})	V_{CC} = 2.3V～5.5V	V_{CC} × 0.7			V
V_{IL}	制御入力の低レベル入力電圧 (0.25 × V_{CC})	V_{CC} = 1.65V～1.95V			V_{CC} × 0.25	V
V_{IL}	制御入力の低レベル入力電圧 (0.3 × V_{CC})	V_{CC} = 2.3V～5.5V			V_{CC} × 0.3	V

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内 (特に記述のない限り) (1)

			最小値	公称値	最大値	単位
dt/dv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8 ± 0.15V			20	ns/V
		V_{CC} = 2.5 ± 0.2V			20	
		V_{CC} = 3.3V ± 0.3V			10	
		V_{CC} = 5V ± 0.5V			10	
T_A			-40		125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

5.4 熱に関する情報

熱評価基準[1]		SN74LVC1G3157-Q1		単位
		DBV (SOT23)	DCK (SC70)	
		6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	258.2	286.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	182.8	224.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	142.8	143.7	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	118.4	124.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	142.2	142.8	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件			V_{CC}	最小値	標準値 (1)	最大値	単位
r_{on}	オン状態スイッチ抵抗(2)		図 6-1 および 図 5-1 を参照	V_I = 0V、	I_O = 4mA	1.65V		11	20	Ω
				V_I = 1.65V、	I_O = -4mA			15	50	
				V_I = 0V、	I_O = 8mA	2.3V		8	12	
				V_I = 2.3V、	I_O = -8mA			11	30	
				V_I = 0V、	I_O = 24mA	3V		7	9.5	
				V_I = 3V、	I_O = -24mA			9	20	
				V_I = 0V、	I_O = 30mA	4.5V		6	7.5	
				V_I = 2.4V、	I_O = -30mA			7	12	
				V_I = 4.5、	I_O = -30mA			7	15	
r_{range}	信号範囲にわたるオン状態スイッチ抵抗(2) (3)		$0 \le V_{Bn} \le V_{CC}$ (図 6-1 および 図 5-1 を参照)		I_A = –4mA	1.65V			200	Ω
					I_A = –8mA	2.3V			75	
					I_A = –24mA	3V			25	
					I_A = –30mA	4.5V			15	
Δr_{on}	スイッチ間のオン状態抵抗の差(2) (4) (5)		図 6-1 を参照	V_{Bn} = 1.15V、	I_A = –4mA	1.65V		0.5		Ω
				V_{Bn} = 1.6V、	I_A = –8mA	2.3V		0.1		
				V_{Bn} = 2.1V、	I_A = –24mA	3V		0.1		
				V_{Bn} = 3.15V、	I_A = –30mA	4.5V		0.1		
$r_{on(flat)}$	オン状態抵抗の平坦性(2) (4) (6)		$0 \le V_{Bn} \le V_{CC}$		I_A = –4mA	1.65V		110		Ω
					I_A = –8mA	2.3V		26		
					I_A = –24mA	3V		9		
					I_A = –30mA	4.5V		4		
I_{off} (7)	オフ状態スイッチ リーク電流		$0 \le V_I$、$V_O \le V_{CC}$ (図 6-2 を参照)			1.65V ～ 5.5V			±1	μA
								±0.05	±1(1)	
$I_{S(on)}$	オン状態スイッチ リーク電流		$V_I = V_{CC}$ または GND、V_O = 開 (図 6-3 を参照)			5.5V			±1	μA
									±0.1(1)	
I_{IN}	制御入力電流		$0 \le V_{IN} \le V_{CC}$			0V ～ 5.5V			±1	μA
								±0.05	±1(1)	
I_{CC}	電源電流		$V_{IN} = V_{CC}$ または GND			5.5V		1	10	μA
ΔI_{CC}	電源電流の変化		$V_{IN} = V_{CC}$ - 0.6V			5.5V			500	μA
C_{in}	制御入力容量	S				5V		2.7		pF
$C_{io(off)}$	スイッチ I/O 容量	Bn				5V		5.2		pF
$C_{io(on)}$	スイッチ I/O 容量	Bn				5V		17.3		pF
		A						17.3		

(1) T_A = 25℃
(2) スイッチを流れる電流における I/O ピンの間の電圧降下によって測定されます。オン状態抵抗は、A ポートまたは B ポートのうち電圧が低い方によって決まります。
(3) 設計により規定されています。
(4) $\Delta r_{on} = r_{on(max)} - r_{on(min)}$ 同一の V_{CC}、温度、および電圧レベルで測定
(5) このパラメータは特性化されていますが、製造環境ではテストされていません。
(6) 平坦性は、指定された条件範囲におけるオン状態抵抗の最大値と最小値の差として定義されます。
(7) I_{off} は $I_{S(off)}$ (オフ状態スイッチ リーク電流) と同じ意味です。

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性 125C

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd} (1)	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	A または Bn	Bn または A	1.8V ± 0.15V			2	ns
				2.5V ± 0.2V			1.2	
				3.3V ± 0.3V			0.8	
				5V ± 0.5V			0.5	
t_{en} (2)	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}	S	Bn	1.8V ± 0.15V	5		24	ns
				2.5V ± 0.2V	3.5		14	
				3.3V ± 0.3V	2.5		8	
				5V ± 0.5V	1.7		7	
t_{dis} (3)	R_L = 250Ω、C_L = 50pF、V_{load} = V_{CC}、V_Δ = 0.3V			1.8V ± 0.15V	3		13	
				2.5V ± 0.2V	2		7.5	
				3.3V ± 0.3V	1.5		6.5	
				5V ± 0.5V	0.8		5	
T_{B-M} (4)	ブレイク ビフォー メイク時間			1.8V ± 0.15V	0.5			ns
				2.5V ± 0.2V	0.5			
				3.3V ± 0.3V	0.5			
				5V ± 0.5V	0.5			

(1) t_{pd} は t_{PLH} と t_{PHL} のうち遅い方です。伝搬遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン抵抗と指定された負荷コンデンサの RC 時定数から算出されます。
(2) t_{en} は t_{PZL} と t_{PZH} のうち遅い方です。
(3) t_{dis} は t_{PLZ} と t_{PHZ} のうち遅い方です。
(4) 設計により規定されています。

5.7 アナログ チャネルの仕様

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	v_{cc}	最小値	公称値	最大値	単位
周波数応答 (スイッチオン時)(1)	A または Bn	Bn または A	R_L = 50Ω、f_{in} = サイン波	1.65V		300		MHz
				2.3V		300		
				3V		300		
				4.5V		300		
クロストーク (スイッチ間)(2)	B1 または B2	B2 または B1	R_L = 50Ω、$f_{i\ n}$ = 10MHz (サイン波)	1.65V		-54		dB
				2.3V		-54		
				3V		-54		
				4.5V		-54		
フィードスルー減衰量 (スイッチ オフ)(2)	A または Bn	Bn または A	C_L = 5pF、R_L = 50Ω、f_{in} = 10MHz (サイン波)	1.65V		-57		dB
				2.3V		-57		
				3V		-57		
				4.5V		-57		
電荷注入	S (Vs = VDD/2)	A	C_L = 0.1nF、R_L = 1MΩ	3.3V		3		pC
				5V		7		

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	v_{cc}	最小値	公称値	最大値	単位
全高調波歪	A または Bn	Bn または A	V_I = 1.4V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	1.65V		0.5		%
			V_I = 2.0V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	2.3V		0.025		
			V_I = 2.5V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	3V		0.015		
			V_I = 4.0V_{p-p}、Vbias = Vcc/2、R_L = 10kΩ、f_{in} = 600Hz ～20kHz (サイン波)	4.5V		0.01		

(1) fin を 0dBm に設定し、0.4V のバイアスを加えてください。挿入損失から 3dB 減衰するまで fin の周波数を上げてください。
(2) fin を 0dBm に設定し、0.4V のバイアスを加えてください。

5.8 代表的特性

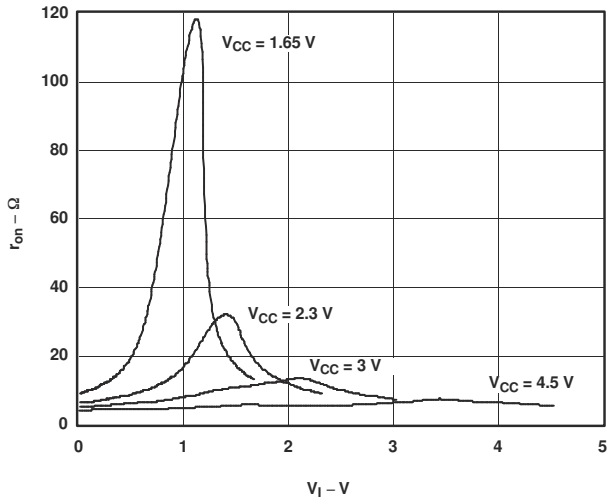


図 5-1. 入力電圧 (V_I) の関数としての典型的な R_{on} (V_I = 0 ～ V_{CC})

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

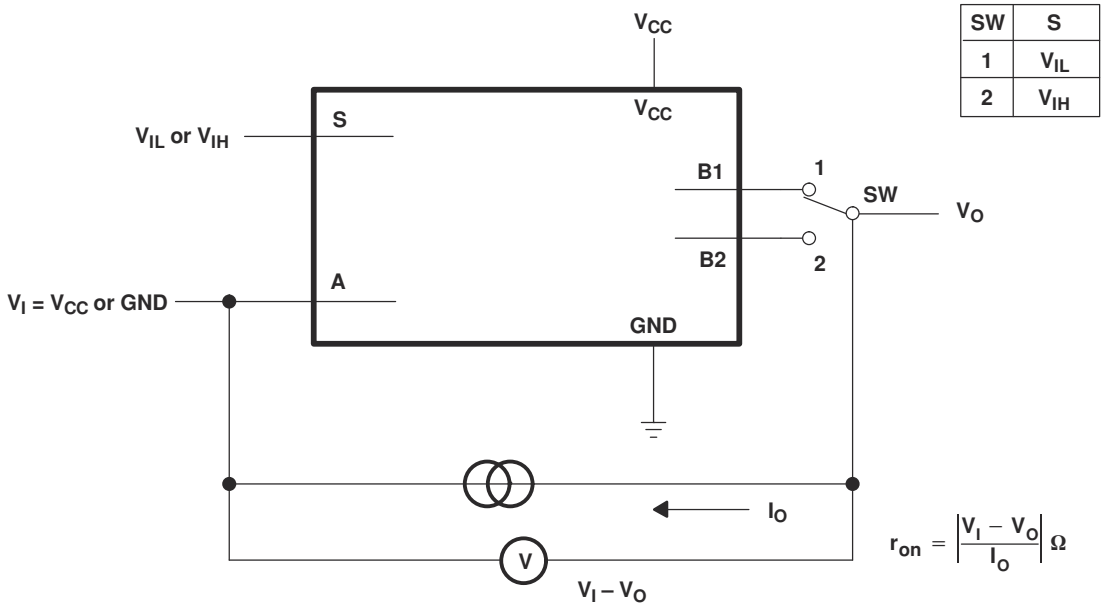
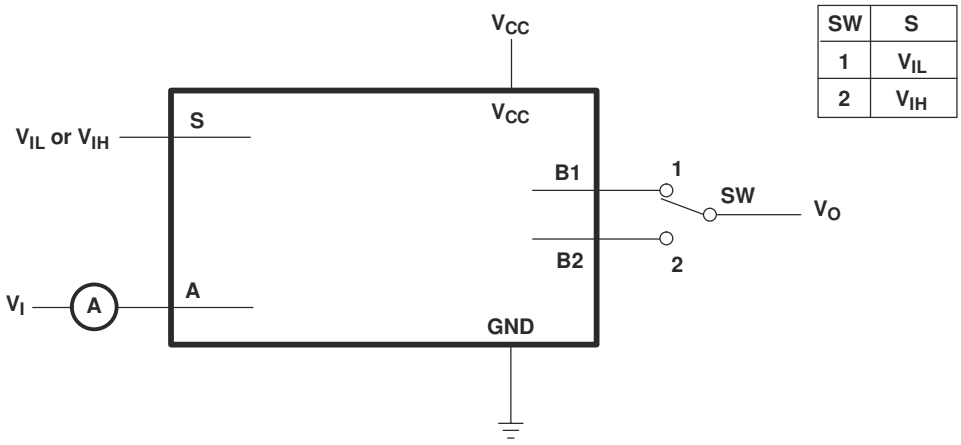


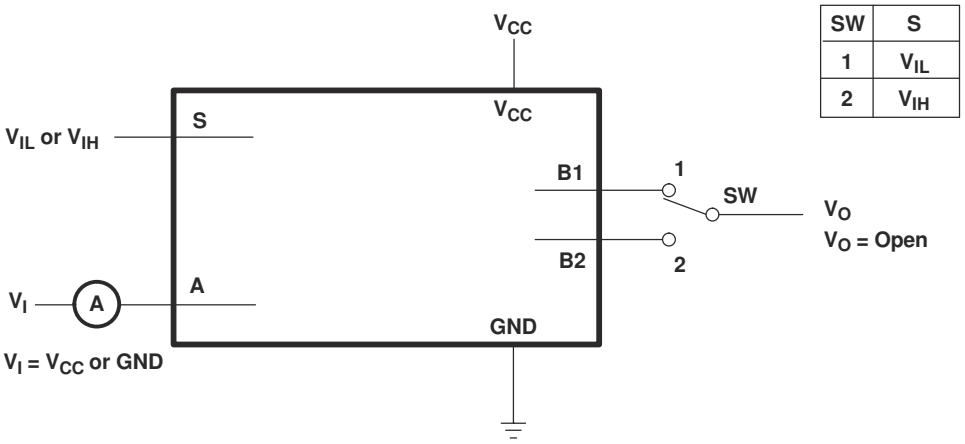
図 6-1. オン状態抵抗試験回路



Condition 1: V_I = GND, V_O = V_{CC}
Condition 2: V_I = V_{CC}, V_O = GND

図 6-2. オフ状態スイッチ漏れ電流試験回路

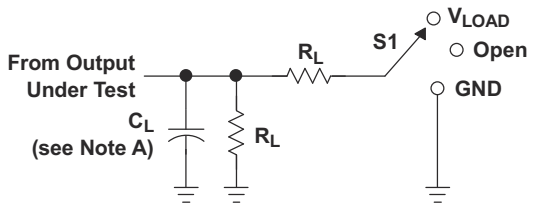
Copyright © 2026 Texas Instruments Incorporated



SW	S
1	V_{IL}
2	V_{IH}

図 6-3. オン状態スイッチ漏れ電流試験回路

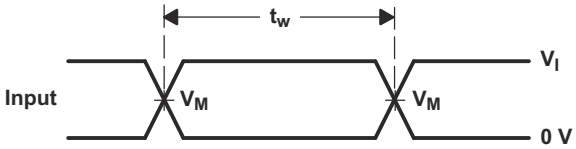
Copyright © 2026 Texas Instruments Incorporated



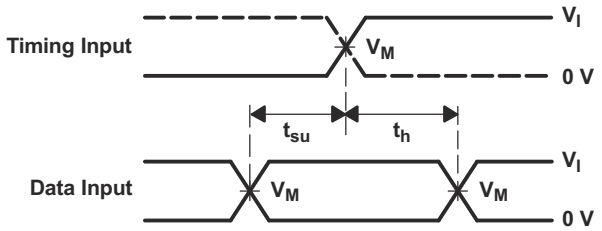
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

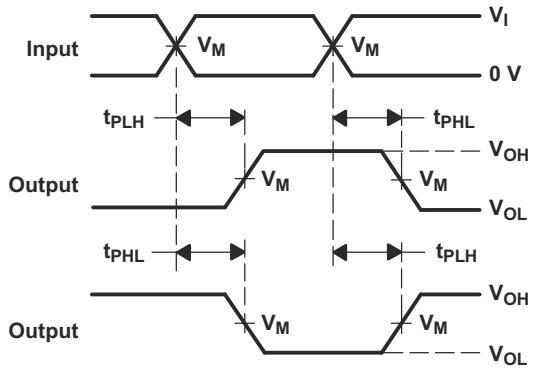
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



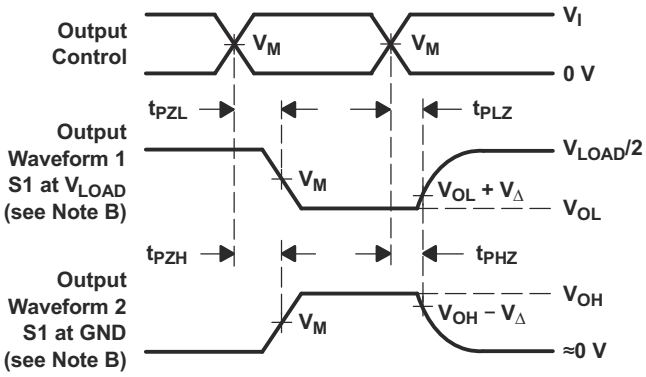
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

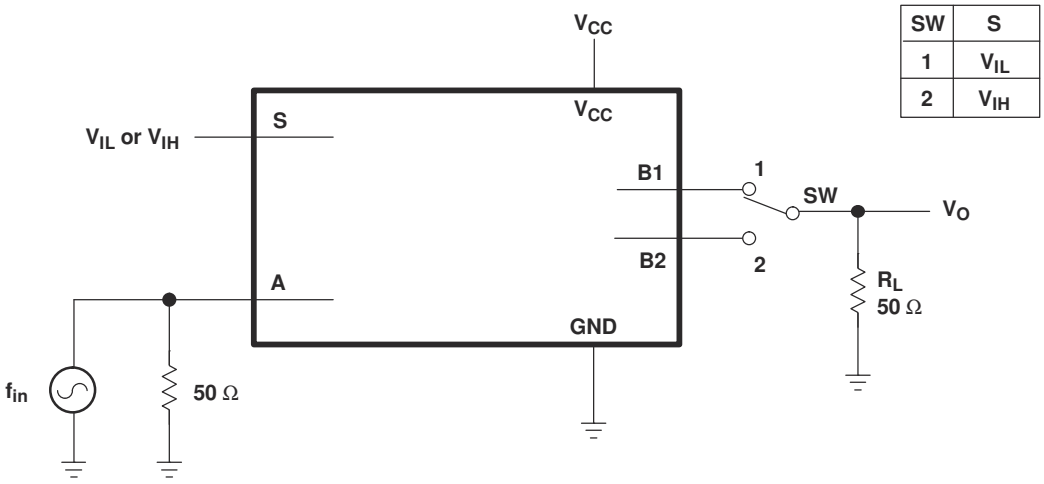


VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10-MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

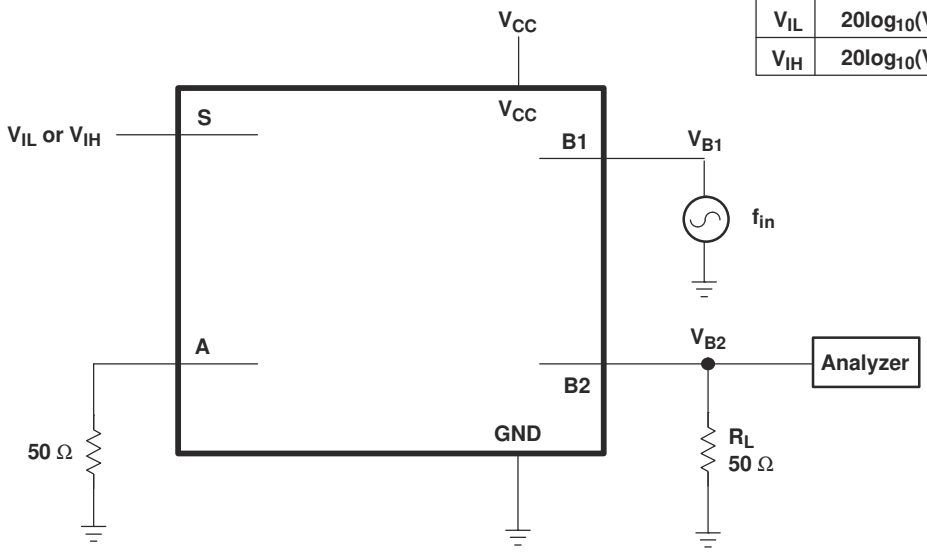
図 6-4. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated



SW	S
1	V_{IL}
2	V_{IH}

図 6-5. 周波数応答 (スイッチオン時)



S	TEST CONDITION
V_{IL}	$20\log_{10}(V_{O2}/V_I)$
V_{IH}	$20\log_{10}(V_{O1}/V_I)$

図 6-6. クロストーク (スイッチ間)

Copyright © 2026 Texas Instruments Incorporated

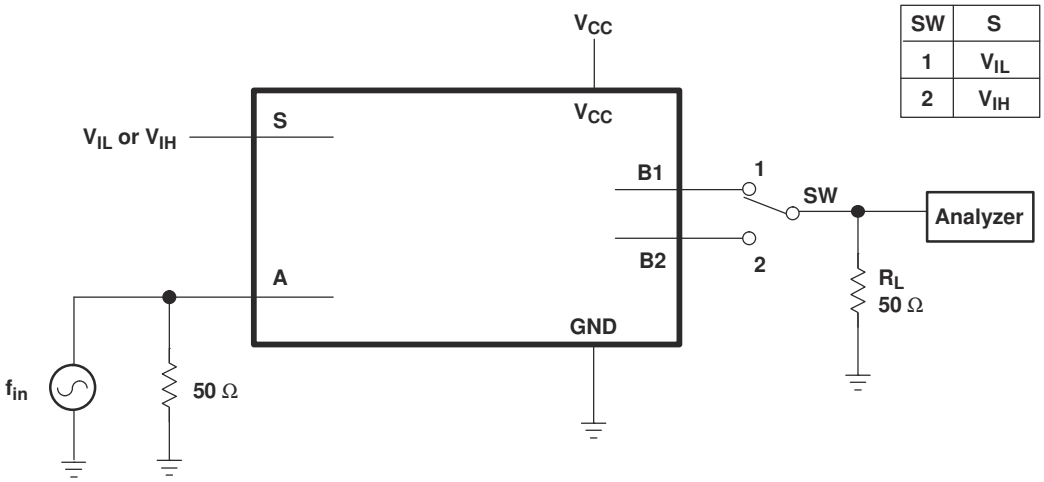


図 6-7. フィードスルー

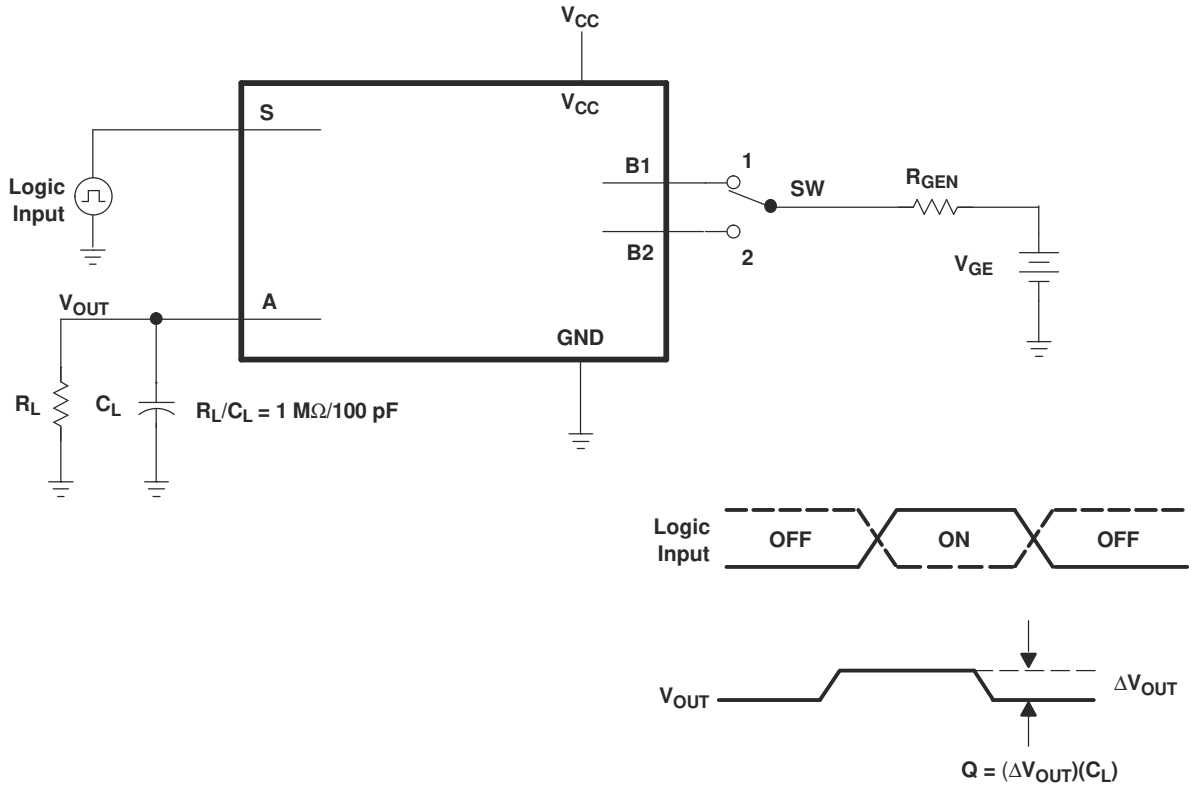


図 6-8. チャージインジェクション試験

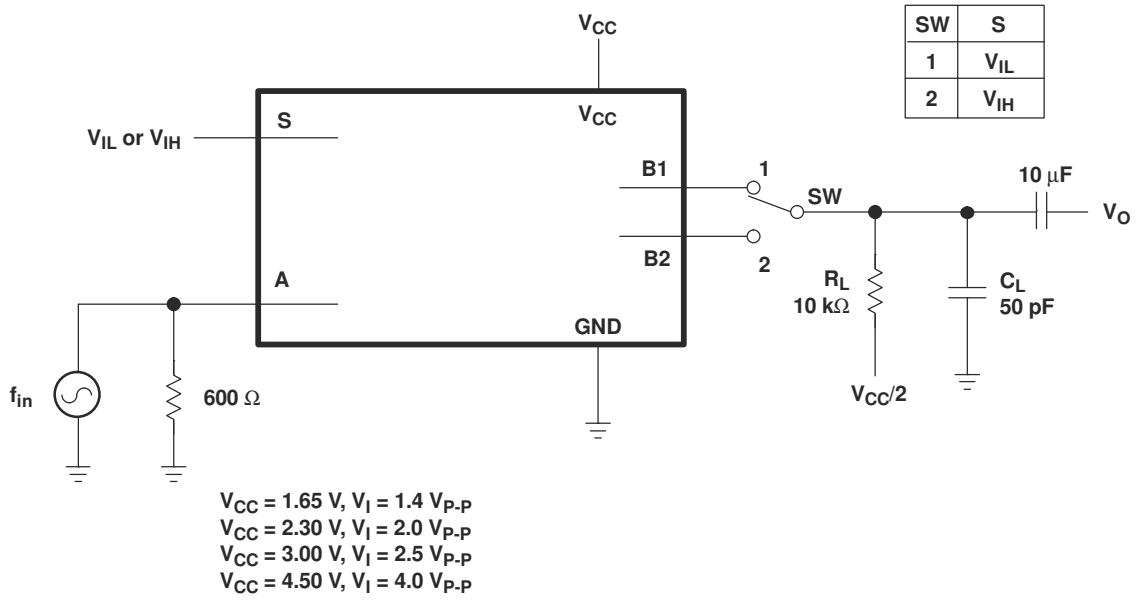


図 6-9. 全高調波歪

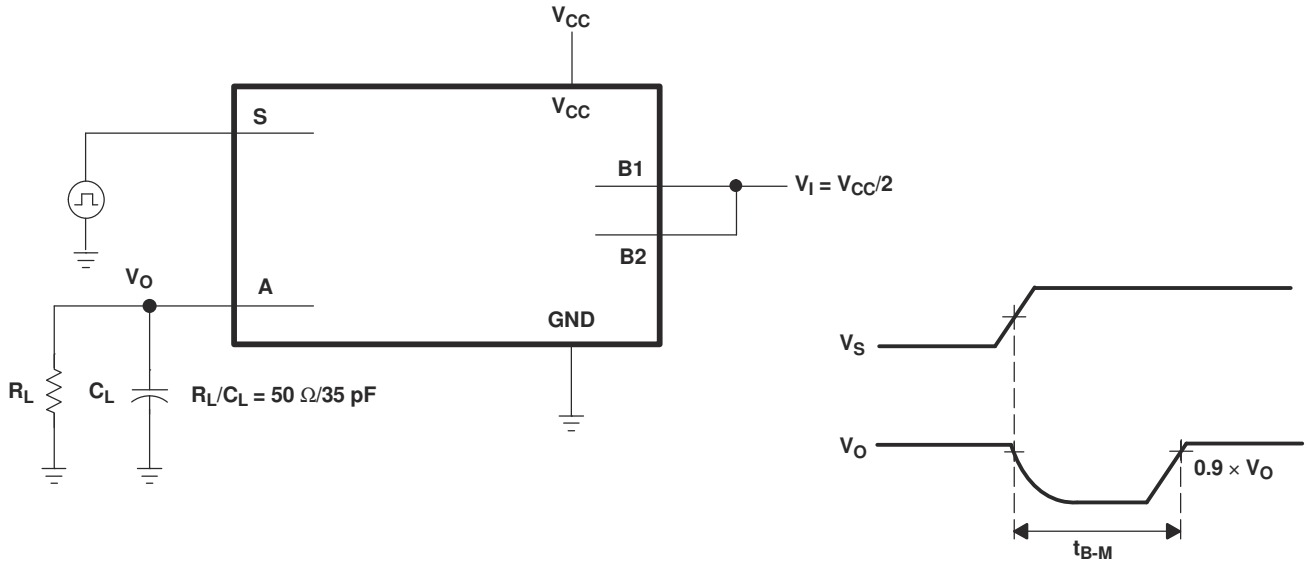


図 6-10. ブレイクビフォーメイク内部タイミング

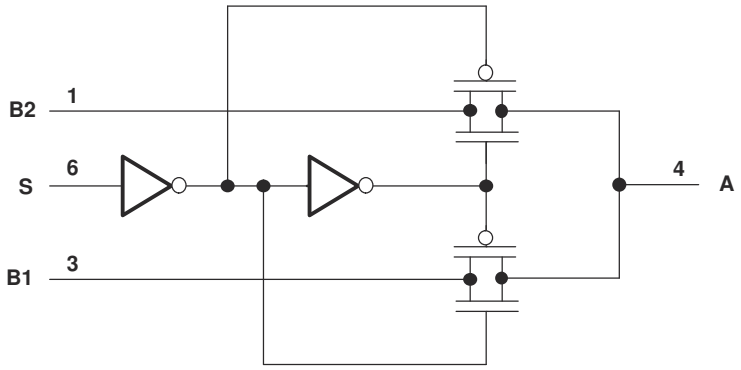
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC1G3157-Q1 デバイスは単極双投 (SPDT) アナログ スイッチで、1.65V～5.5V の V_{CC} で動作するよう設計されています。SN74LVC1G3157-Q1 デバイスは、アナログ信号およびデジタル信号の両方に対応しています。デバイスは、最高で V_{CC} (ピーク) までの振幅の信号を、どちらの方向にも転送できます。

7.2 機能ブロック図



論理図 (正論理)

7.3 機能説明

このデバイスは車載アプリケーション向けに認定済みです。1.65V～5.5V の電源動作により、異なるロジック レベルで構成されたさまざまなシステムで本デバイスを使用でき、レール・ツー・レールの信号スイッチングが可能です。制御入力に応じて、B1 チャンネルまたは B2 チャンネルのいずれかがアクティブになります。制御入力が Low の場合は B1 チャンネルが選択されます。制御入力が High の場合は B2 チャンネルが選択されます。

7.4 デバイスの機能モード

表 7-1 は、いずれかの制御入力が選択された際のオン チャンネルを示しています。

表 7-1. 機能表

制御 入力	オン チャネル
L	B1
H	B2

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC1G3157-Q1 SPDT アナログ スイッチは、アナログ音声の切り替え、電源立ち上がりモニタ、メモリ共有など、さまざまな回路で柔軟に使用できます。アプリケーションの詳細については、SN74LVC1G3157 および SN74LVC2G53 SPDT アナログ スイッチの製品概要もご覧ください。

8.2 代表的なアプリケーション

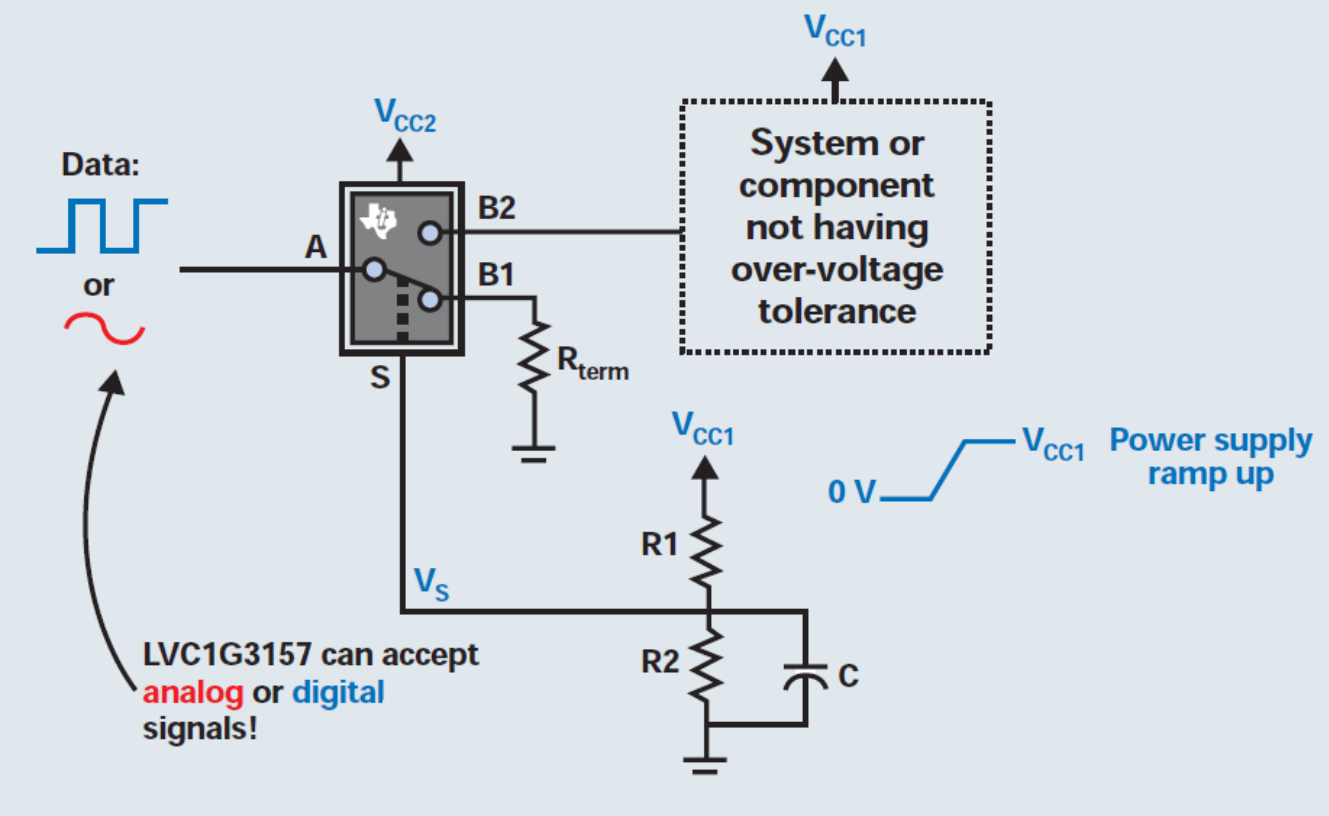


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

入力はアナログでもデジタルでもどちらでも問題ありませんが、TI は、セクション 5.3 で VCC が所定のレベルまで立ち上がるのを待ってから信号を適用することを推奨しています。信号の種類や仕様に応じて、適切な終端抵抗を使用する必要があります。セレクト ピンはフローティング状態にせず、GPIO で駆動可能な抵抗を用いてプル アップまたはプル ダウンしてください。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

この回路の考え方を用いることで、システム設計者は、信号を入力に加える前にコンポーネントまたはサブシステムの電源が立ち上がっていることを確認できます。これは、過電圧耐性のない入力を持つ集積回路に対して有用です。この基本的な考え方では、立ち上がり中の VCC1 電源レールに抵抗分圧回路を使用します。抵抗分圧回路の RC 時定数により、SPDT バス スイッチのセレクト ピンにおける電圧の立ち上がりがさらに遅延します。R1、R2、および C の値を慎重に選定することで、A から B2 へのパスが確立される前に VCC1 が公称値に達するため、デバイスやシステムが電源投入される前に I/O に信号が表示されるのを防止できます。最小限の所望の遅延を確保するために、設計者は 式 1 を使用して、グランド (0V) から電源電圧の半分 (VCC1/2) への遷移に要する時間を計算する必要があります。

$$\text{Set}\left(\frac{R2}{R1+R2}\times V_{CC1} > V_{IH}\right)\text{of the select pin} \quad (1)$$

所望の遅延を得るために、Rs および C の値を選定してください。

Vs が High になると、信号が通過します。

8.2.3 アプリケーション曲線

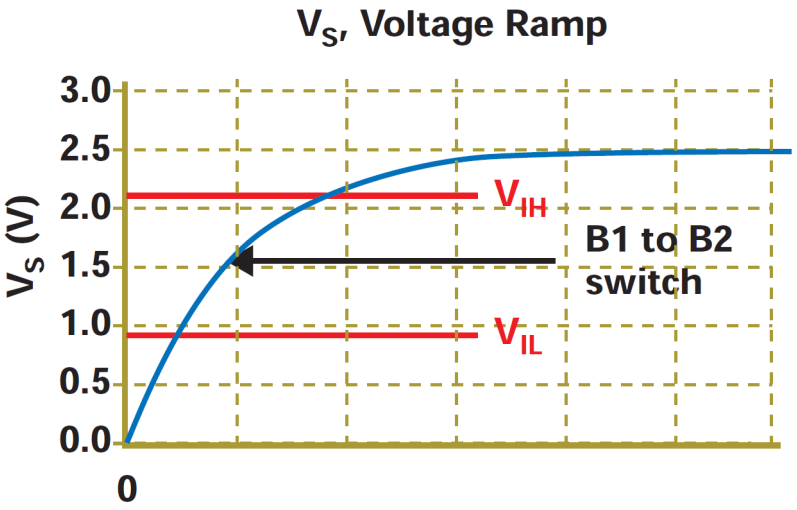


図 8-2. V_S 電圧ランプ

9 電源に関する推奨事項

多くのシステムでは、V_{CC} ピンに供給可能な共通の 3.3V または 5V レールを備えています。これが利用できない場合は、他の電圧レールから本デバイスに電源を供給するために、スイッチング電源 (SMPS) またはリニア ドロップアウト レギュレータ (LDO) を使用することができます。

Copyright © 2026 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

TI は、信号ラインを可能な限り短く保つことを推奨しています。また、TI は信号ラインの長さが 1 インチを超える場合には、マイクロストリップまたはストリップライン技術の採用を推奨しています。これらの配線は、アプリケーション要件に応じて 50Ω または 75Ω の特性インピーダンスで設計する必要があります。このデバイスは、高電圧のスイッチング部品の近くに配置しないでください。干渉を引き起こす可能性があります。

10.2 レイアウト例

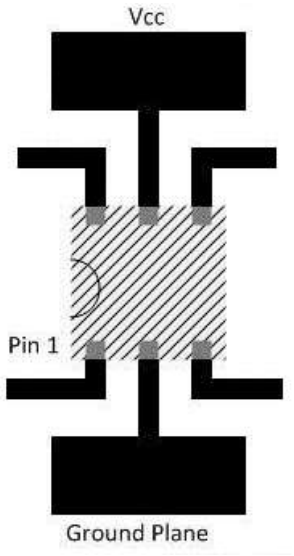


図 10-1. 推奨レイアウト例

Copyright © 2026 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*SN74LVC1G3157 および SN74LVC2G53 SPDT アナログ スイッチ の製品概要*
- テキサス インスツルメンツ、*SN74LVC1G3157-Q1 の機能安全性、FIT 率、FMD、ピン FMA のレポート*

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (June 2025) to Revision J (January 2026)	Page
• V_{IN} を 6V に、$V_{I/O}$ を V_{CC} + 0.5V に更新	4

Changes from Revision H (December 2021) to Revision I (June 2025)	Page
• V_{CC} および $V_{I/O}$ 電圧 (絶対最大定格) を変更	4
• DBV および DCK の最新サーマル パラメータ	6
• r_{range} を更新	7
• 最小 1.8V、最大 3.3V および 5V のイネーブル タイミングを変更	8
• 最大 3.3V および 5V のディスエーブル タイミングを変更	8
• THD を 1.65V 範囲で変更。	8

Changes from Revision G (April 2019) to Revision H (December 2021)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• データシートに機能安全の文を追加	1

Changes from Revision F (March 2015) to Revision G (April 2019)	Page
• 車載用の特長を変更	1
• *ピン構成* の画像を変更	3

Changes from Revision E (April 2008) to Revision F (March 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
1P1G3157QDBVRQ1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(3HUH, CC5O)
1P1G3157QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HUH, CC5O)
1P1G3157QDBVRQ1.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HUH, CC5O)
1P1G3157QDCKRQ1	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(3HTH, C5J, C5O)
1P1G3157QDCKRQ1.A	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HTH, C5J, C5O)
1P1G3157QDCKRQ1.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(3HTH, C5J, C5O)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G3157-Q1 :

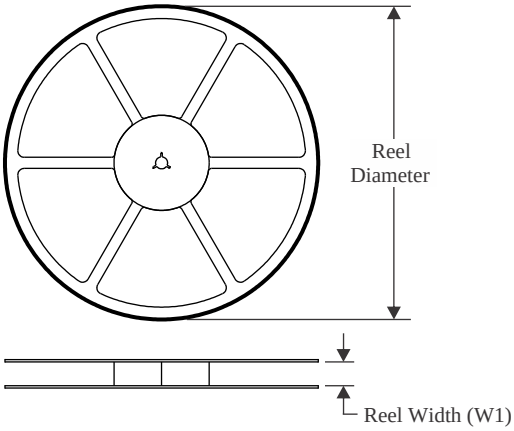
- Catalog : SN74LVC1G3157

NOTE: Qualified Version Definitions:

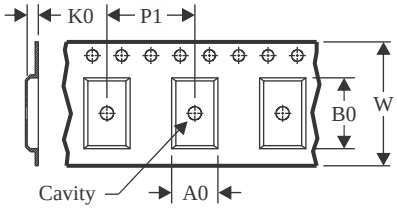
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

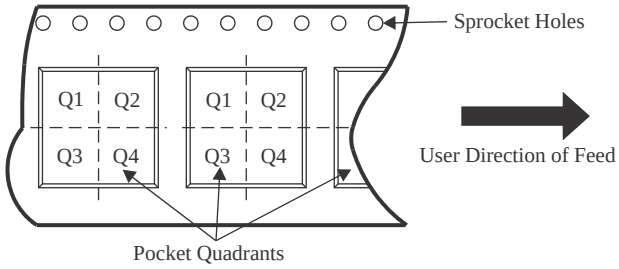


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

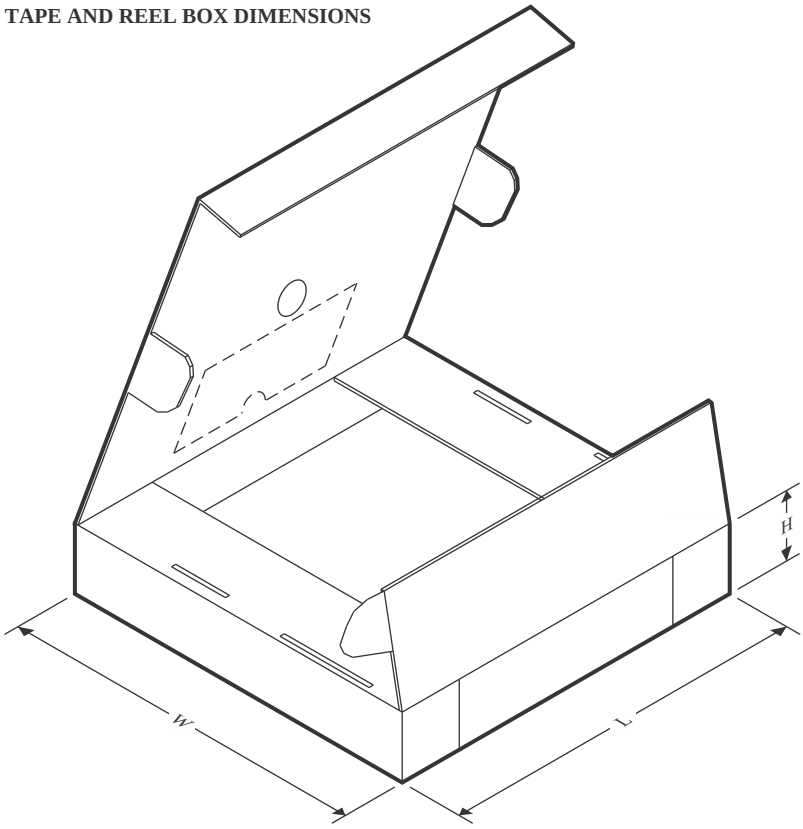
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
1P1G3157QDCKRQ1	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
1P1G3157QDCKRQ1	SC70	DCK	6	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
1P1G3157QDCKRQ1	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

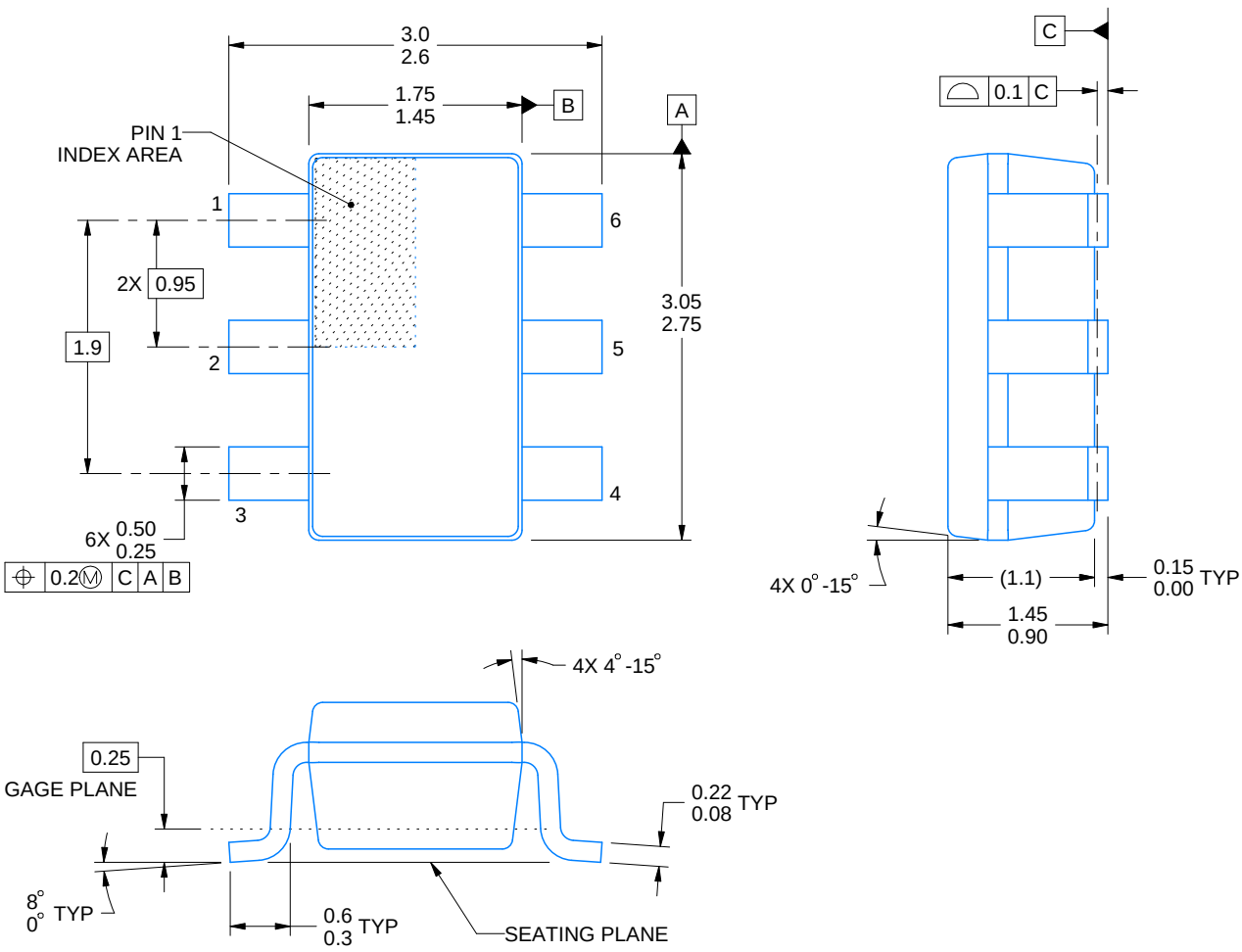
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	200.0	183.0	25.0
1P1G3157QDCKRQ1	SC70	DCK	6	3000	210.0	185.0	35.0
1P1G3157QDCKRQ1	SC70	DCK	6	3000	200.0	183.0	25.0
1P1G3157QDCKRQ1	SC70	DCK	6	3000	180.0	180.0	18.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

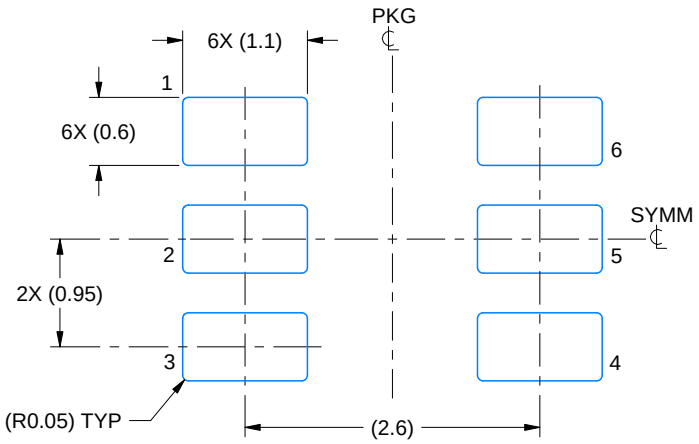
SMALL OUTLINE TRANSISTOR



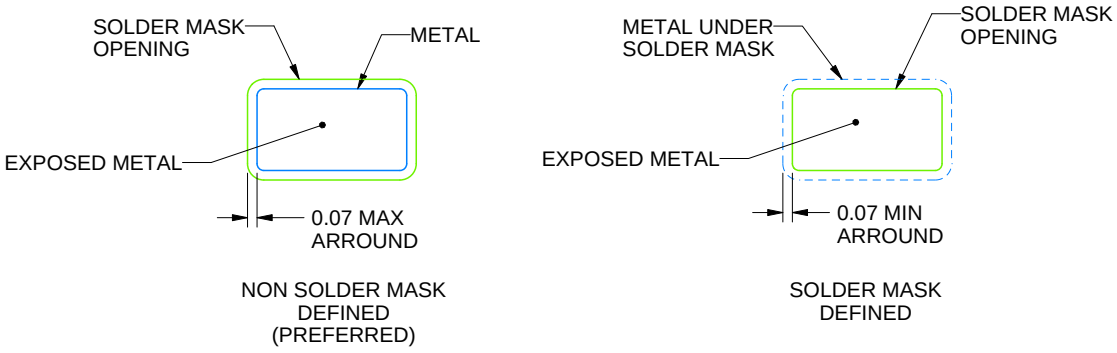
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

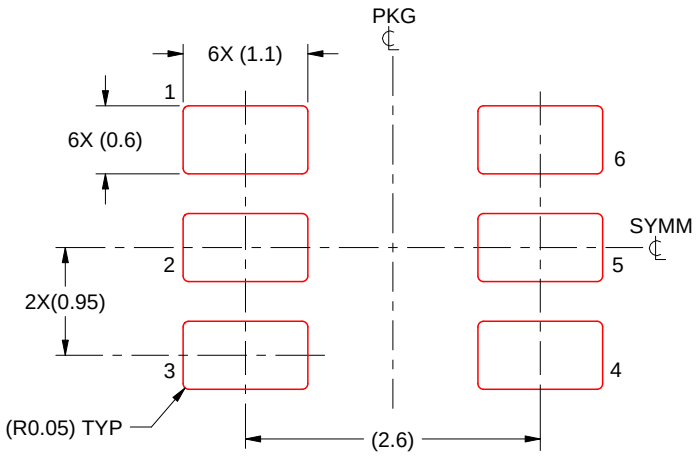


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

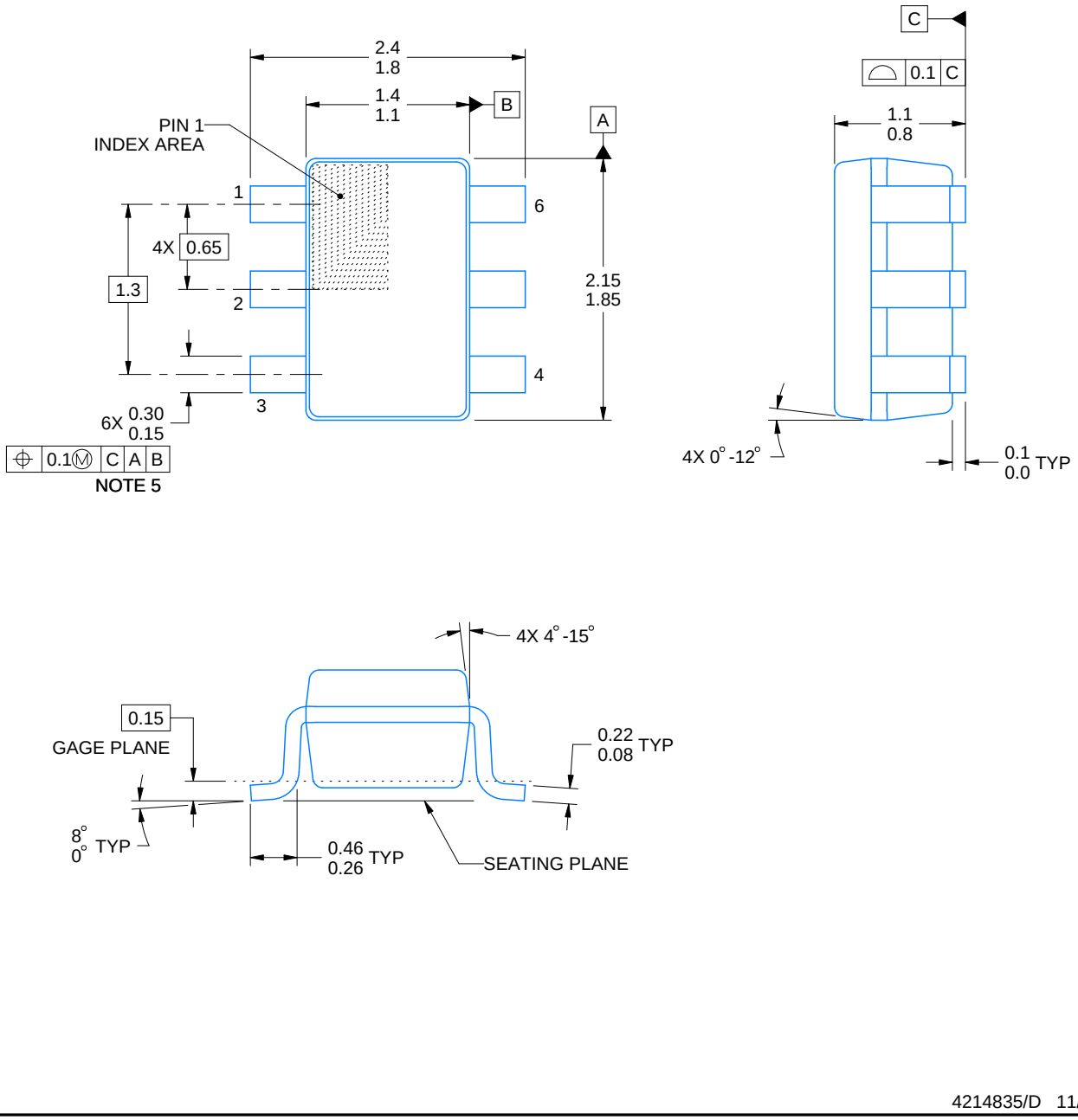
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

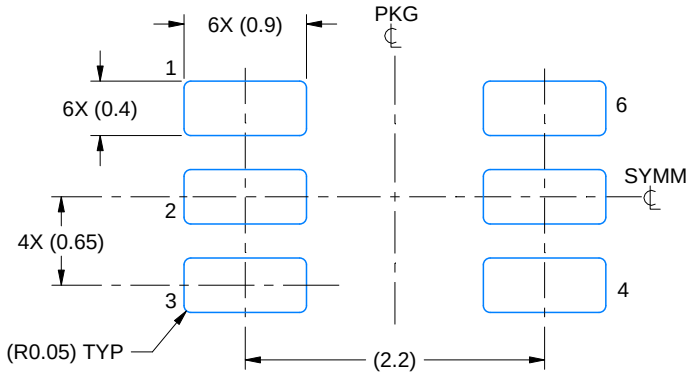
SMALL OUTLINE TRANSISTOR



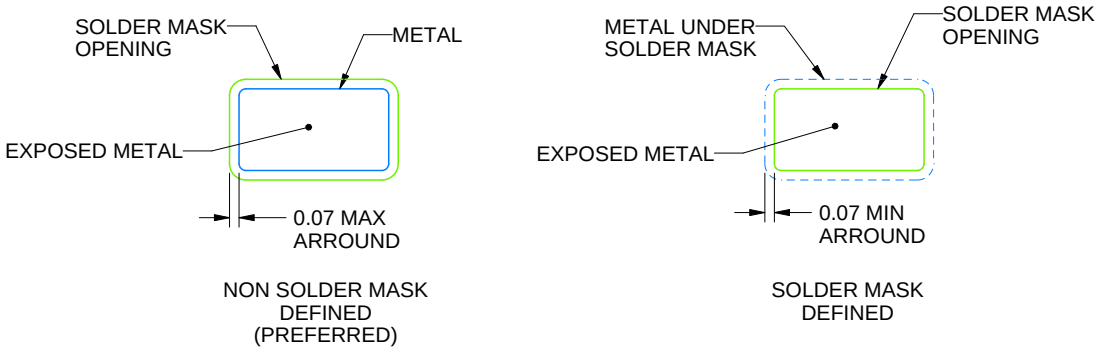
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

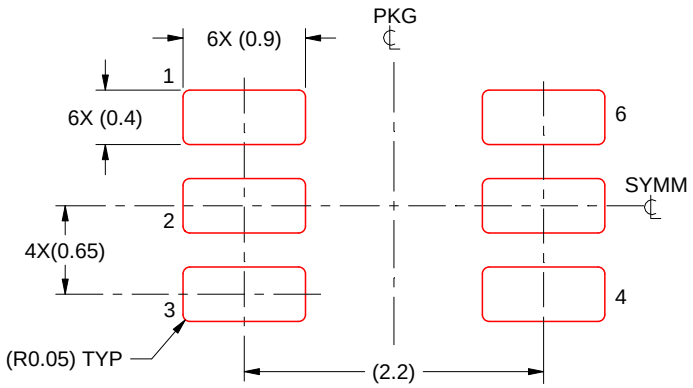


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月