SN74LVC1G80 シングル正エッジ トリガ、D タイプ フリップ フロップ

1 特長

- テキサス・インスツルメンツの NanoFree™ パッケージで供給
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- 5V V_{CC} 動作をサポート
- 5.5V までの入力電圧に対応
- V_{CC} への降圧変換をサポート
- 4.2ns の最大 t_{pd} (3.3V 時)
- 低消費電力、I_{CC} の最大値 10µA
- 3.3V で ±24mA の出力駆動能力
- I_{off} により部分的パワーダウン モードおよびバックドライブ保護をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- 試験および測定機器
- エンタープライズ スイッチング
- 通信インフラ
- パーソナル エレクトロニクス
- 白物家電

3 説明

SN74LVC1G80 デバイスはシングル正エッジ トリガ、D タイプ フリップ フロップで、1.65V ～ 5.5V の V_{CC} で動作するよう設計されています。

データ (D) 入力のデータがセットアップ時間の要件と合致すると、クロック パルスが正に変化するエッジで、データが $\overline{Q}$ 出力へ転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

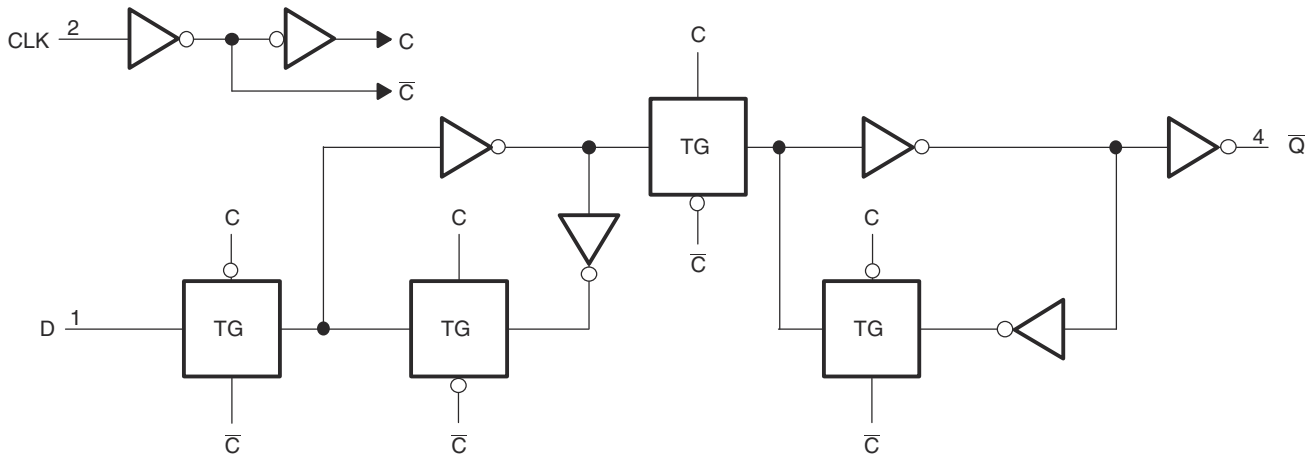
ダイをパッケージとして使用する NanoFree™ パッケージ技術は、IC パッケージの概念を大きく覆すものです。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路は、デバイスの電源がオフになったとき、出力をディセーブルにします。これによってデバイスへの電流の逆流を阻止し、デバイスを損傷から保護します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74LVC1G80DBV	SOT-23 (5)	2.90mm × 1.60mm
SN74LVC1G80DCK	SC70 (5)	2.00mm × 1.25mm
SN74LVC1G80YZP	DSBGA (5)	1.41mm × 0.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2017, Texas Instruments Incorporated

A. TG - トランスミッション ゲート

論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 6
5.6 タイミング要件：T_A = –40°C ～ +85°C ... 6
5.7 タイミング要件：T_A = –40°C ～ +125°C ... 7
5.8 スイッチング特性：T_A = –40°C ～ +85°C、C_L = 15pF ... 7
5.9 スイッチング特性：T_A = –40°C ～から 85°C、C_L = 30pF または 50pF ... 8
5.10 スイッチング特性：T_A = –40°C ～から +125°C、C_L = 30pF または 50pF ... 8
5.11 動作特性 ... 8
5.12 代表的特性 ... 9
6 パラメータ測定情報 ... 10
7 詳細説明 ... 12
7.1 概要 ... 12
7.2 機能ブロック図 ... 12
7.3 機能説明 ... 12
7.4 デバイスの機能モード ... 13
8 アプリケーションと実装 ... 14
8.1 使用上の注意 ... 14
8.2 代表的なアプリケーション ... 14
8.3 電源に関する推奨事項 ... 15
8.4 レイアウト ... 15
9 デバイスおよびドキュメントのサポート ... 17
9.1 ドキュメントのサポート ... 17
9.2 ドキュメントの更新通知を受け取る方法 ... 17
9.3 コミュニティリソース ... 17
9.4 商標 ... 17
10 改訂履歴 ... 17
11 メカニカル、パッケージ、および注文情報 ... 18

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

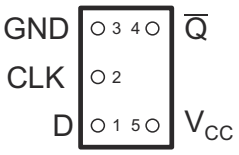


図 4-1. YZP パッケージ 5 ピン DSBGA 底面図

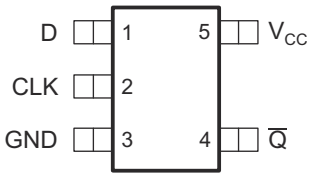


図 4-2. DCK パッケージ 5 ピン SC70 上面図

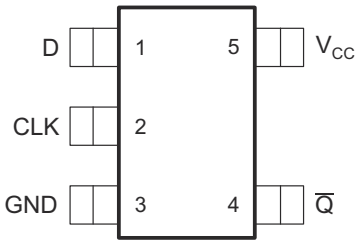


図 4-3. DBV パッケージ 5 ピン SOT-23 上面図

ピンの機能

ピン		タイプ[1]	説明
名称	番号		
CLK	2	I	正エッジ トリガ クロック入力
D	1	I	データ入力
GND	3	—	グランド ピン
$\overline{Q}$	4	O	反転出力
V_{CC}	5	—	正の電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6.5	V
V_I	入力電圧(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧(2)		-0.5	6.5	V
V_O	High または Low 状態で出力に印加される電圧(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(3) V_{CC} の値は、*セクション 5.3* に記載されています。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	
	マシン モデル (MM)	±200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3V～3.6V	2		
		V_{CC} = 4.5V～5.5V	0.7 × V_{CC}		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3V～3.6V		0.8	
		V_{CC} = 4.5V～5.5V		0.3 × V_{CC}	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-32	
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V ± 0.15V、2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		5	
T_J	接合部温度			150	°C
T_A	自由空気での動作温度	DBV および DCK パッケージ	-40	125	°C
		YZP パッケージ	-40	85	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23)	5	357.1	263.7	264.4	195.6	262.2	-	°C/W
DCK (SOT-SC70)	5	371	297.5	258.6	195.6	256.2	-	°C/W
YZP (DSBGA)	5	136.9	1.3	32.6	6.3	32.6	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値 (1)	最大値	単位
V_{OH}	I_{OH} = -100μA	1.65V ～ 5.5V	V_{CC} – 0.1			V
	I_{OH} = -4mA	1.65V	1.2			
	I_{OH} = -8mA	2.3V	1.9			
	I_{OH} = -16mA	3V	2.4			
	I_{OH} = -24mA		2.3			
	I_{OH} = -32mA	4.5V	3.8			
V_{OL}	I_{OL} = 100μA	1.65V ～ 5.5V			0.1	V
	I_{OL} = 4mA	1.65V			0.45	
	I_{OL} = 8mA	2.3V			0.3	
	I_{OL} = 16mA	3V			0.4	
	I_{OL} = 24mA				0.55	
	I_{OL} = 32mA	4.5V			0.55	
I_I CLK または D 入力	V_I = 5.5V または GND	0～5.5V			±10	μA
I_{off}	V_I または V_O = 5.5V	0			±10	μA
I_{CC}	V_I = 5.5V または GND、 I_O = 0	1.65V ～ 5.5V			10	μA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、 その他の入力は V_{CC} または GND	3V ～ 5.5V			500	μA
C_i	V_I = V_{CC} または GND T_A = –40°C ～ 85°C	3.3V		3.5		pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25℃における値です。

5.6 タイミング要件：T_A = –40°C ～ +85°C

自由気流での推奨動作温度範囲内、V_{CC} = –40°C ～ +85°C (特に記述のない限り) (図 6-1 を参照)

		V_{CC}	最小値	最大値	単位
f_{clock} クロック周波数		V_{CC} = 1.8V ± 0.15V		160	MHz
		V_{CC} = 2.5V ± 0.2V			
		V_{CC} = 3.3V ± 0.3V			
		V_{CC} = 5.5V ± 0.5V			
t_w パルス幅、CLK High または Low		V_{CC} = 1.8V ± 0.15V	2.5		ns
		V_{CC} = 2.5V ± 0.2V			
		V_{CC} = 3.3V ± 0.3V			
		V_{CC} = 5.5V ± 0.5V			
t_{su} CLK↑前のセットアップ時間	データ High	V_{CC} = 1.8V ± 0.15V	2.3		ns
		V_{CC} = 2.5V ± 0.2V	1.5		
		V_{CC} = 3.3V ± 0.3V	1.3		
		V_{CC} = 5.5V ± 0.5V	1.1		
	データ Low	V_{CC} = 1.8V ± 0.15V	2.5		
		V_{CC} = 2.5V ± 0.2V	1.5		
		V_{CC} = 3.3V ± 0.3V	1.3		
		V_{CC} = 5.5V ± 0.5V	1.1		

Copyright © 2026 Texas Instruments Incorporated

自由気流での推奨動作温度範囲内、V_{CC} = –40°C ～ +85°C (特に記述のない限り) (図 6-1 を参照)

		V_{CC}	最小値	最大値	単位
t_h	ホールド時間、CLK↑後のデータ	V_{CC} = 1.8V ± 0.15V	0		ns
		V_{CC} = 2.5V ± 0.2V	0.2		
		V_{CC} = 3.3V ± 0.3V	0.9		
		V_{CC} = 5.5V ± 0.5V	0.4		

5.7 タイミング要件：T_A = –40℃ ～ +125℃

自由気流での推奨動作温度範囲内、V_{CC} = –40°C ～ +125°C (特に記述のない限り) (図 6-1 を参照)

			V_{CC}	最小値	最大値	単位
f_{clock}	クロック周波数		V_{CC} = 1.8V ± 0.15V		160	MHz
			V_{CC} = 2.5V ± 0.2V			
			V_{CC} = 3.3V ± 0.3V			
			V_{CC} = 5.5V ± 0.5V			
t_w	パルス幅、CLK High または Low		V_{CC} = 1.8V ± 0.15V	2.5		ns
			V_{CC} = 2.5V ± 0.2V			
			V_{CC} = 3.3V ± 0.3V			
			V_{CC} = 5.5V ± 0.5V			
t_{su}	CLK↑前のセットアップ時間	データ High	V_{CC} = 1.8V ± 0.15V	2.3		ns
			V_{CC} = 2.5V ± 0.2V	1.5		
			V_{CC} = 3.3V ± 0.3V	1.3		
			V_{CC} = 5.5V ± 0.5V	1.1		
		データ Low	V_{CC} = 1.8V ± 0.15V	2.5		
			V_{CC} = 2.5V ± 0.2V	1.5		
			V_{CC} = 3.3V ± 0.3V	1.3		
			V_{CC} = 5.5V ± 0.5V	1.1		
t_h	ホールド時間、CLK↑後のデータ		V_{CC} = 1.8V ± 0.15V	0		ns
			V_{CC} = 2.5V ± 0.2V	0.2		
			V_{CC} = 3.3V ± 0.3V	0.9		
			V_{CC} = 5.5V ± 0.5V	0.4		

5.8 スイッチング特性：T_A = –40°C ～ +85°C、C_L = 15pF

自由気流での推奨動作温度範囲内、T_A = –40°C ～ +85°C、C_L = 15pF (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
f_{max}			V_{CC} = 1.8V ± 0.15V	160		MHz
			V_{CC} = 2.5V ± 0.2V			
			V_{CC} = 3.3V ± 0.3V			
			V_{CC} = 5V ± 0.5V			
t_{pd}	CLK	$\overline{Q}$	V_{CC} = 1.8V ± 0.15V	3	9.1	ns
			V_{CC} = 2.5V ± 0.2V	1.5	6	
			V_{CC} = 3.3V ± 0.3V	1.3	4.2	
			V_{CC} = 5V ± 0.5V	1.1	3.8	

Copyright © 2026 Texas Instruments Incorporated

5.9 スイッチング特性：T_A = –40°C ～から 85°C、C_L = 30pF または 50pF

自由気流での推奨動作温度範囲内、T_A = –40°C ～ +85°C、C_L = 30pF または 50pF (特に記述のない限り) (図 6-2 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
f_{max}			V_{CC} = 1.8V ± 0.15V	160		MHz
			V_{CC} = 2.5V ± 0.2V			
			V_{CC} = 3.3V ± 0.3V			
			V_{CC} = 5V ± 0.5V			
t_{pd}	CLK	$\overline{Q}$	V_{CC} = 1.8V ± 0.15V	4.4	9.9	ns
			V_{CC} = 2.5V ± 0.2V	2.3	7	
			V_{CC} = 3.3V ± 0.3V	2	5.2	
			V_{CC} = 5V ± 0.5V	1.3	4.5	

5.10 スイッチング特性：T_A = –40°C ～から +125°C、C_L = 30pF または 50pF

自由気流での推奨動作温度範囲内、T_A = –40°C ～ +125°C、C_L = 30pF または 50pF (特に記述のない限り) (図 6-2 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	最小値	最大値	単位
f_{max}			V_{CC} = 1.8V ± 0.15V	160		MHz
			V_{CC} = 2.5V ± 0.2V			
			V_{CC} = 3.3V ± 0.3V			
			V_{CC} = 5V ± 0.5V			
t_{pd}	CLK	$\overline{Q}$	V_{CC} = 1.8V ± 0.15V	4.4	12.5	ns
			V_{CC} = 2.5V ± 0.2V	2.3	8.5	
			V_{CC} = 3.3V ± 0.3V	2	6	
			V_{CC} = 5V ± 0.5V	1.3	5.5	

5.11 動作特性

T_A = 25°C

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd}	電力散逸容量	f = 10MHz	V_{CC} = 1.8V	24	pF
			V_{CC} = 2.5V	24	
			V_{CC} = 3.3V	25	
			V_{CC} = 5V	27	

Copyright © 2026 Texas Instruments Incorporated

5.12 代表的特性

このプロットは、データ入力 (D) のさまざまな電圧に対して、異なる I_{CC} 値を示しています。入力電圧スイープは 0V ～ 6.5V です。

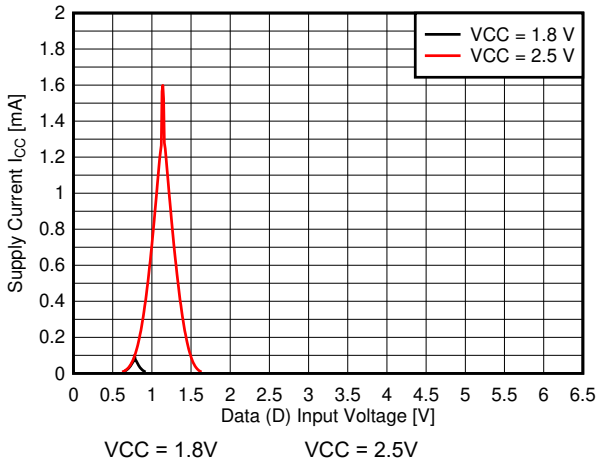


図 5-1. 電源電流 (I_{CC}) とデータ (D) 入力電圧との関係

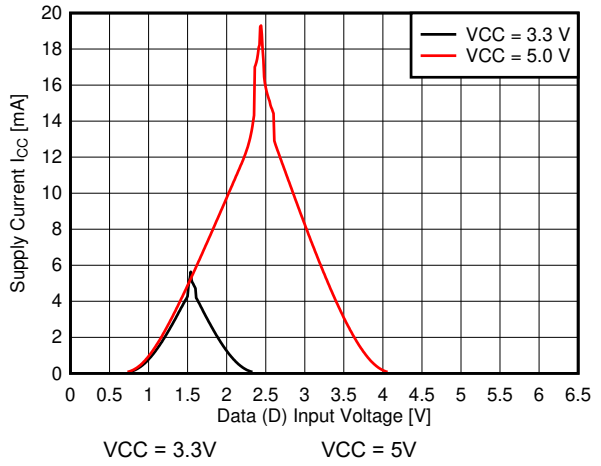
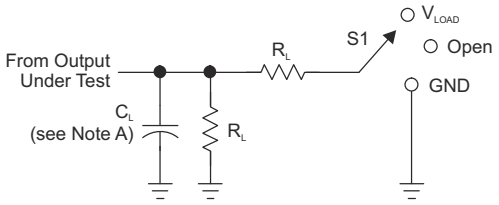


図 5-2. 電源電流 (I_{CC}) とデータ (D) 入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

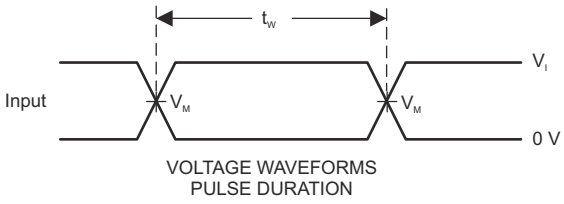
6 パラメータ測定情報



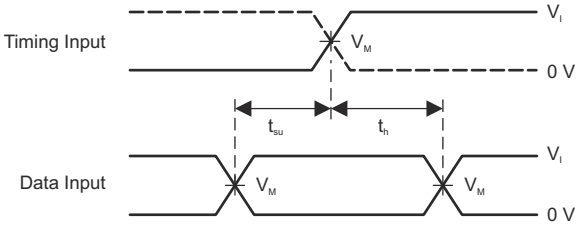
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

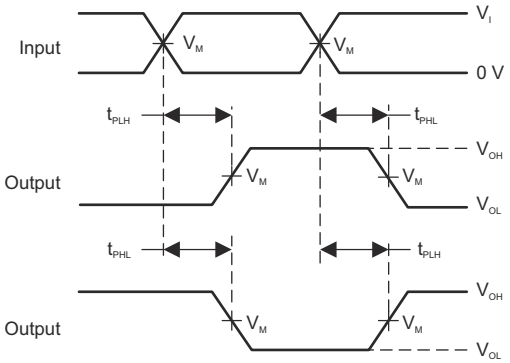
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_D
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	£2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MW	0.15 V
2.5 V ± 0.2 V	V_{CC}	£2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MW	0.15 V
3.3 V ± 0.3 V	3 V	£2.5 ns	1.5 V	6 V	15 pF	1 MW	0.3 V
5 V ± 0.5 V	V_{CC}	£2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MW	0.3 V



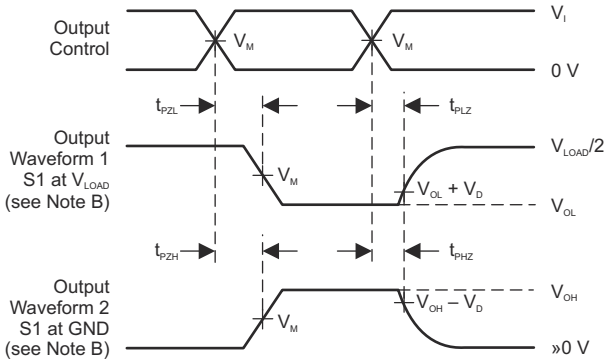
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

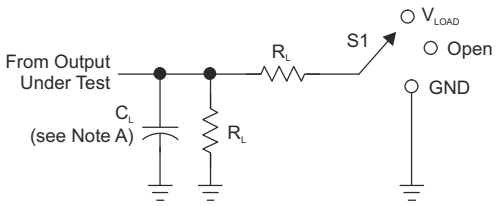


VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control.
Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR £ 10 MHz, Z_O = 50 W.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

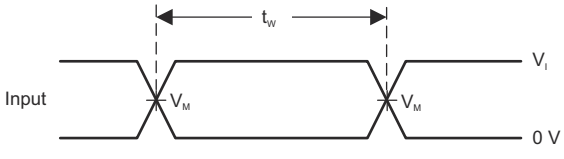
Copyright © 2026 Texas Instruments Incorporated



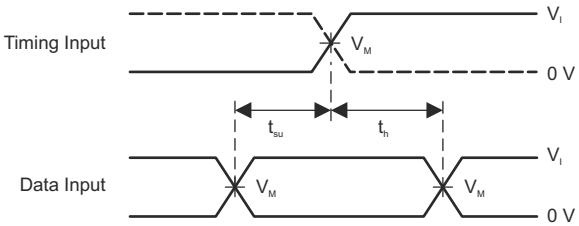
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

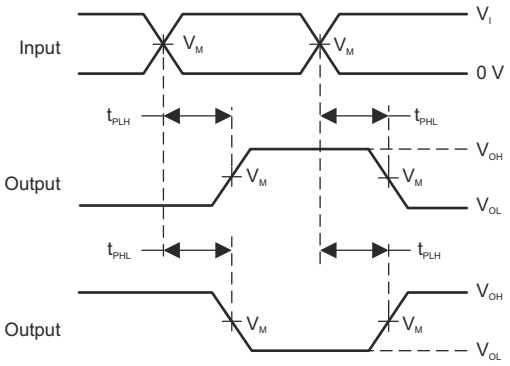
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_D
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	£2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kW	0.15 V
2.5 V ± 0.2 V	V_{CC}	£2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 W	0.15 V
3.3 V ± 0.3 V	3 V	£2.5 ns	1.5 V	6 V	50 pF	500 W	0.3 V
5 V ± 0.5 V	V_{CC}	£2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 W	0.3 V



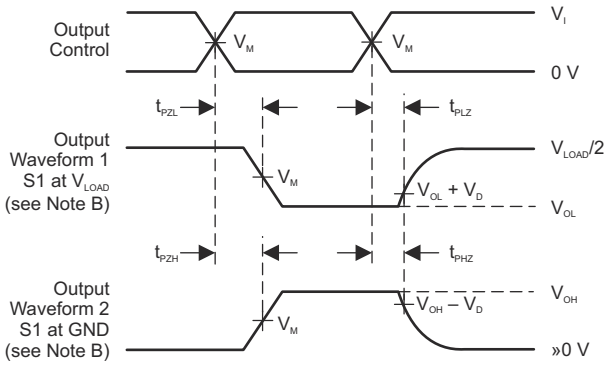
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR £ 10 MHz, Z_o = 50 W.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-2. 負荷回路および電圧波形

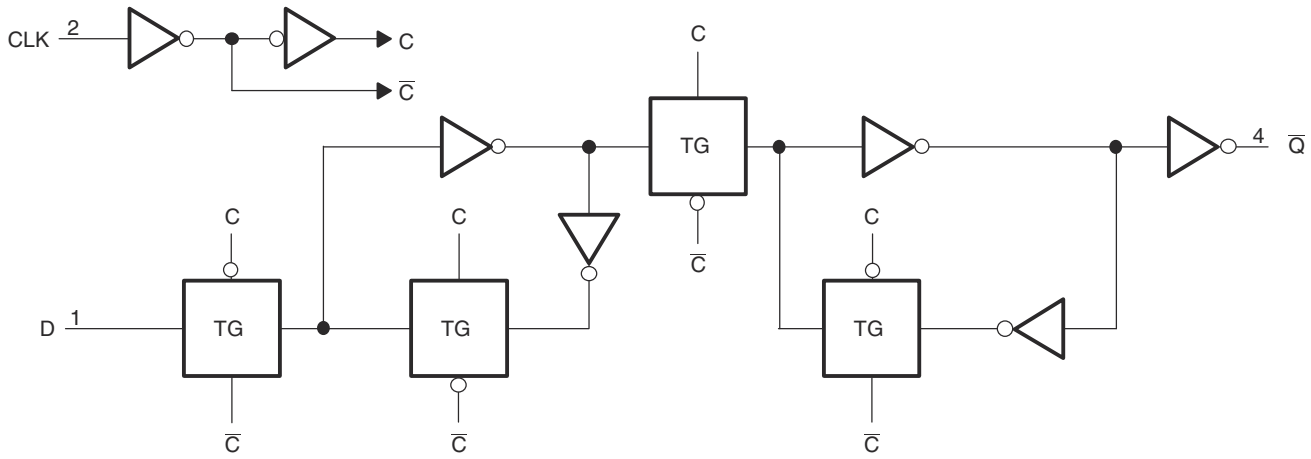
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC1G80 はシングル正エッジトリガ、D タイプ フリップ フロップです。セットアップ時間の要件が満たされると、クロック パルスの正方向エッジで入力 (D) のデータが出力 ($\overline{Q}$) に転送されます。クロックのトリガは電圧レベルで発生するため、クロック パルスの立ち上がり時間とは直接関係しません。これにより、ホールド時間が経過した後、出力レベルに影響を及ぼさずに、入力データを変化させることができます。

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

論理図 (正論理)

7.3 機能説明

7.3.1 バランスのとれた高駆動能力の CMOS プッシュプル出力

バランスのとれた出力により、このデバイスは同程度の電流をシンクおよびソースすることができます。このデバイスは高駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による熱暴走と損傷を防止するため、デバイスの電力出力を制限します。「セクション 5.1」で定義されている電気的および熱的制限を常に順守してください。

7.3.2 標準 CMOS 入力

標準 CMOS 入力は高インピーダンスであり、通常は「セクション 5.5」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は、*セクション 5.3* に示されている最大入力電圧と *セクション 5.5* に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

過剰な電流と発振を避けるため、入力に印加する信号は、*セクション 5.3* の Δt/Δv で定義される高速なエッジ レートを持つ必要があります。低速またはノイズの多い入力信号への耐性が必要な場合は、シュミット トリガ入力を備えたデバイスを使用して、標準 CMOS 入力の前に入力信号をコンディショニングする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 クランプ ダイオード

このデバイスの入力と出力には、負のクランプ ダイオードがあります。

注意

「セクション 5.1」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

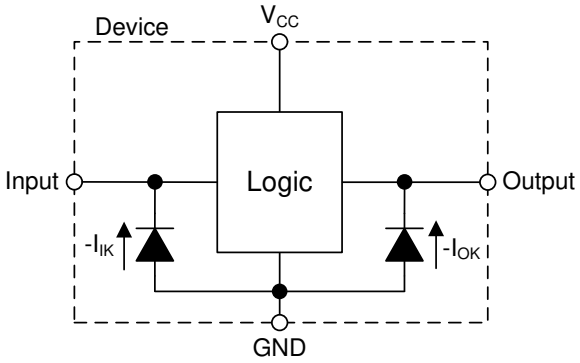


図 7-1. 各入力と出力に対するクランプ ダイオードの電気的配置

7.3.4 部分的パワー ダウン (I_{off})

電源電圧が 0V になると、このデバイスの入力と出力はハイ インピーダンス状態になります。デバイスの任意の入力ピンまたは出力ピンとの間の最大リーク電流は、「セクション 5.5」に記載されている I_{off} で規定されます。

7.3.5 過電圧許容入力

このデバイスへの入力信号は、「セクション 5.1」に記載されている最大入力電圧値を下回っている限り、電源電圧以上で駆動できます。

7.4 デバイスの機能モード

表 7-1 に、SN74LVC1G80 の機能モードを示します。

表 7-1. 機能表

入力		出力
CLK	D	$\overline{Q}$
↑	H	L
↑	L	H
L	X	Q_0

8 アプリケーションと実装

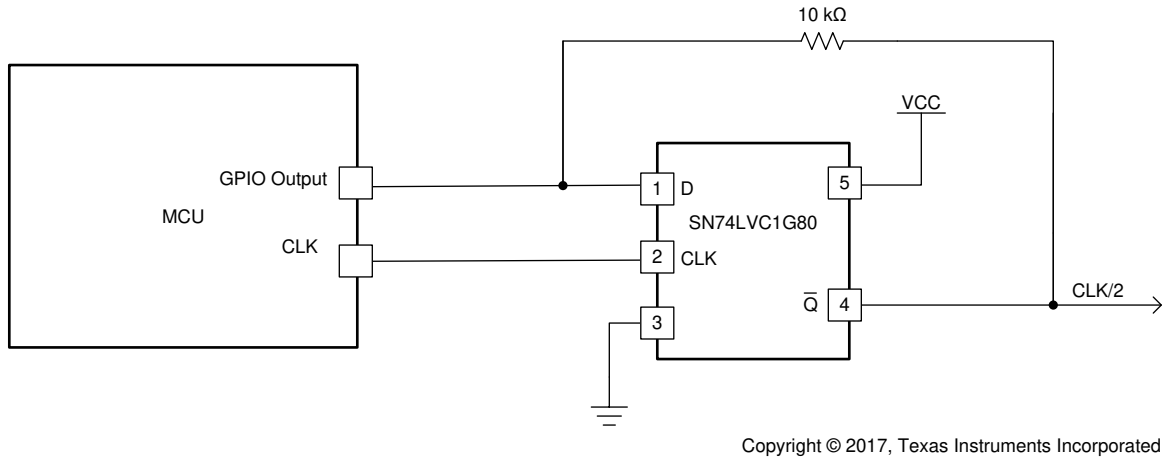
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74LVC1G80 の便利な用途としては、周波数分周器として使用する方法があります。反転出力 ($\overline{Q}$) を入力 (D) にフィードバックすることで、クロック波形の立ち上がりエッジごとに出力がトグルされます。出力は 2 クロック サイクルごとに 1 回 HIGH になるため、クロック信号の周波数 1/2 に分周されます。SN74LVC1G80 はプリセットまたはクリア機能がないため、出力の初期状態は不明です。このアプリケーションでは、マイコンの GPIO ピンを使用して、最初に入力を HIGH に設定し、出力を LOW に設定します。初期化は必要ありませんが、考慮することができます。初期化後、GPIO ピンはハイインピーダンスモードに設定されます。マイコンによっては、GPIO ピンを入力に設定し、クロック分周を監視するために使用できます。

8.2 代表的なアプリケーション



Copyright © 2017, Texas Instruments Incorporated

図 8-1. クロック周波数の分周

8.2.1 設計要件

このアプリケーションでは、マイコンからの初期化電圧が出力 ($\overline{Q}$) からの信号を上書きできるように、帰還ラインに抵抗を配置する必要があります。そうしないと、入力の状態が、マイコンからの GPIO と SN74LVC1G80 の出力で競合します。

SN74LVC1G80 デバイスは CMOS 技術を使用し、平衡型出力ドライブを採用しています。上限値を超える電流が流れることがあるため、バスが競合しないように注意します。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、*セクション 5.3* の Δt/Δv を参照してください。
   - 規定された High および Low レベルについては、*セクション 5.3* の V_{IH} および V_{IL} を参照してください。
   - 入力電圧は、どの V_{CC} でも 0V を下回らず、5.5V を超えないようにすることを推奨します。*セクション 5.3* を参照してください。
2. 推奨出力条件:
   - 負荷電流が ±50mA を超えてはいけません。*セクション 5.1* を参照してください。
   - 出力電圧は 0V を下回らず、V_{CC} 電圧を超えないようにすることを推奨します。*セクション 5.3* を参照してください。
3. 帰還抵抗:
   - 入力をバイアスするため、マイコンの GPIO 出力で入力と出力を初期化できるように、ここでは 10kΩ 抵抗を選択します。抵抗値が大きすぎると、たとえば 1MΩ では電圧降下が大きくなり、出力で入力を駆動できなくなるため、抵抗値は重要です。逆に、1Ω のように抵抗が小さすぎると、十分にバイアスが印加されず、マイコンに電流が流れ込み、デバイスが損傷する可能性があります。

8.2.3 アプリケーション曲線

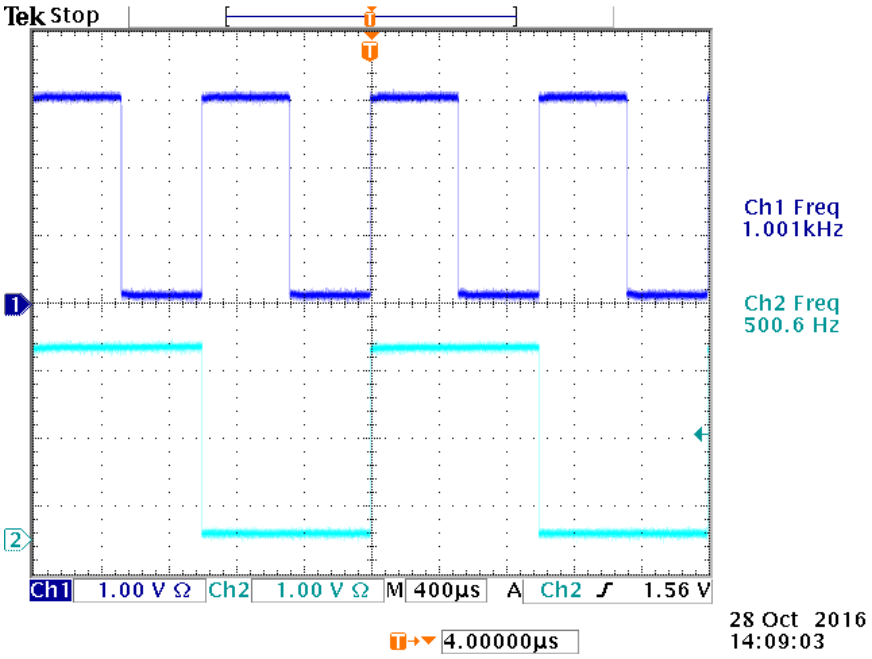


図 8-2. 周波数の分周

8.3 電源に関する推奨事項

電源には、*セクション 5.3* に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源障害を防止するため、VCC 端子と GND の間に 0.1-µF バイパス コンデンサを接続することを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。一般的に、0.1µF と 1µF のコンデンサを並列で使用します。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性の

アップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

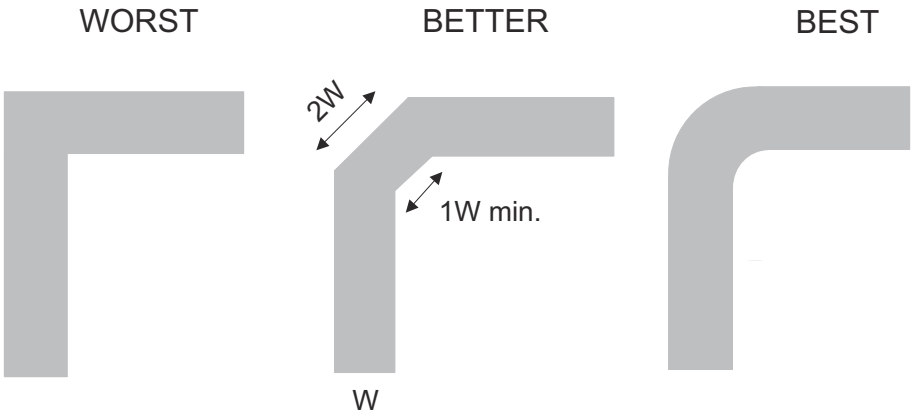


図 8-3. パターン例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 コミュニティ リソース

9.4 商標

NanoFree™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from NOVEMBER 1, 2016 to AUGUST 12, 2026 (from Revision S (November 2016) to Revision T (August 2026)) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「熱に関する情報」表を追加 5
- DBV パッケージの接合部と周囲の間の熱抵抗値を次のように変更：243.4℃/W >>357.1℃/W 5
- DBV パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：179℃/W >>263.7℃/W 5
- DBV パッケージの接合部と基板の間の特性値を次のように変更：77.6℃/W >>264.4℃/W 5
- DBV パッケージの接合部と上面の間の特性値を次のように変更：58.4℃/W >>195.6℃/W 5
- DBV パッケージの接合部と基板の間の特性値を次のように変更：77℃/W >>262.2℃/W 5
- DCK パッケージの接合部と周囲の間の熱抵抗値を次のように変更：278.9℃/W >>371℃/W 5
- DCK パッケージの接合部とケース (上面) の間の熱抵抗値を次のように変更：121.3℃/W >>297.5℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：65.6℃/W >>258.6℃/W 5
- DCK パッケージの接合部と上面の間の特性値を次のように変更：7.5℃/W >>195.6℃/W 5
- DCK パッケージの接合部と基板の間の特性値を次のように変更：64.9℃/W >>256.2℃/W 5

Changes from Revision R (December 2013) to Revision S (November 2016) — **Page**

- 「アプリケーション」セクション、「製品情報」表、「ESD 定格」表、「熱に関する情報」表、「代表的特性」セクション、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 推奨動作条件表に最大接合部温度を追加 5
- 推奨動作条件表に、YZP パッケージの自由気流における動作温度を追加 5
- DBV パッケージの $R_{\theta JA}$ 値を以下のように変更：206℃/W >>243.4℃/W 5
- DCK パッケージの $R_{\theta JA}$ 値を以下のように変更：252℃/W >>278.9℃/W 5
- YZP パッケージの $R_{\theta JA}$ 値を以下のように変更：132℃/W >>136.9℃/W 5

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G80DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C805, C80F, C80J, C80R)
SN74LVC1G80DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C805, C80F, C80J, C80R)
SN74LVC1G80DBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C805, C80F, C80J, C80R)
SN74LVC1G80DBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C80F
SN74LVC1G80DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C80F
SN74LVC1G80DBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C80F
SN74LVC1G80DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C805, C80F, C80J, C80R)
SN74LVC1G80DBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C805, C80F, C80J, C80R)
SN74LVC1G80DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C80F
SN74LVC1G80DBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C80F
SN74LVC1G80DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CX5, CXF, CXJ, CXK, CXR)
SN74LVC1G80DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CX5, CXF, CXJ, CXK, CXR)
SN74LVC1G80DCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CX5, CXF, CXJ, CXK, CXR)
SN74LVC1G80DCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CX5
SN74LVC1G80DCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CX5
SN74LVC1G80DCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CX5, CXF, CXJ, CXK, CXR)
SN74LVC1G80DCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CX5, CXF, CXJ, CXK, CXR)
SN74LVC1G80YZPR	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CX7, CXN)
SN74LVC1G80YZPR.B	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CX7, CXN)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G80 :

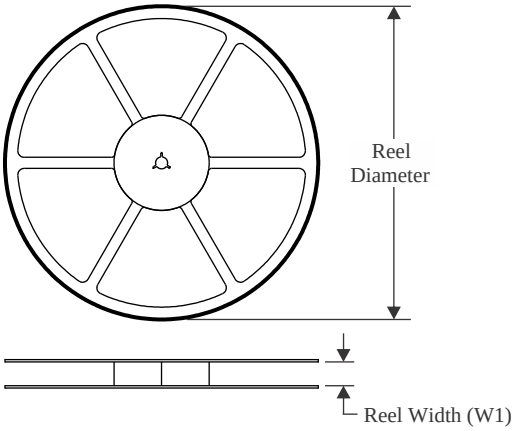
- Automotive : SN74LVC1G80-Q1

NOTE: Qualified Version Definitions:

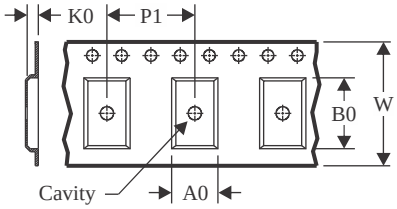
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

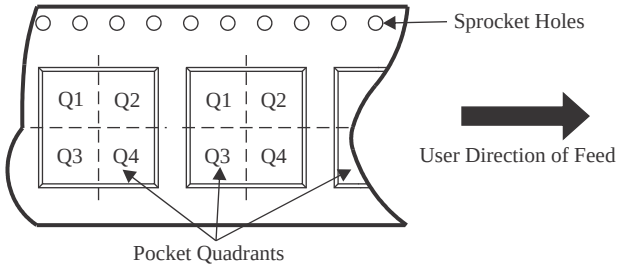


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

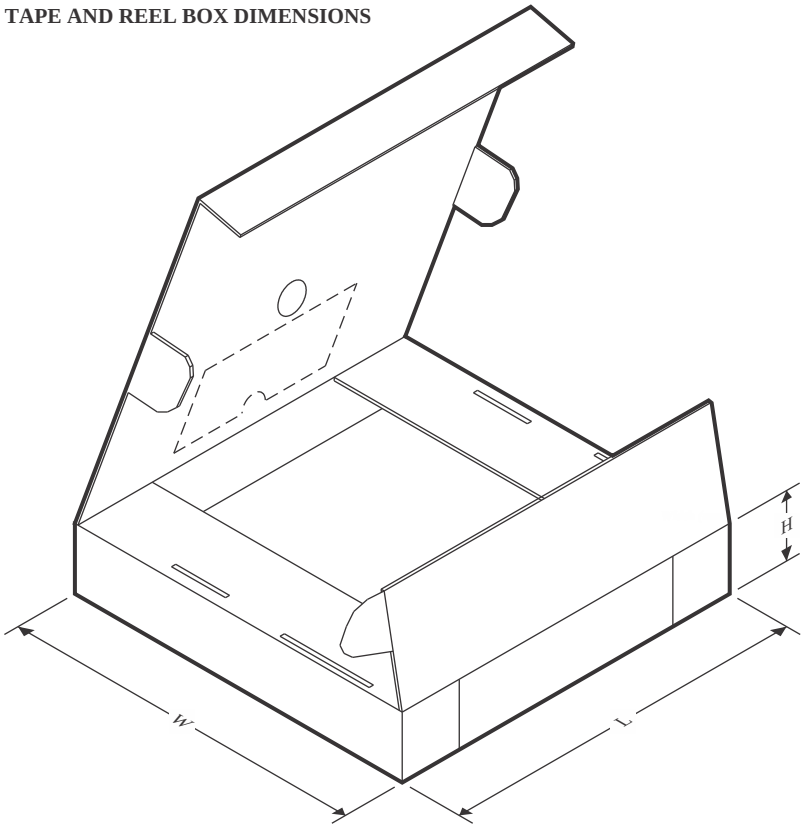


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G80DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G80DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G80DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G80DBVT	SOT-23	DBV	5	250	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G80DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G80DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G80DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G80DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
SN74LVC1G80DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G80DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G80DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G80DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G80DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G80DCKRG4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G80DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G80DCKT	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G80DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G80YZPR	DSBGA	YZP	5	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G80DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LVC1G80DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G80DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G80DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G80DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G80DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
SN74LVC1G80DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G80DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G80DCKR	SC70	DCK	5	3000	180.0	180.0	18.0

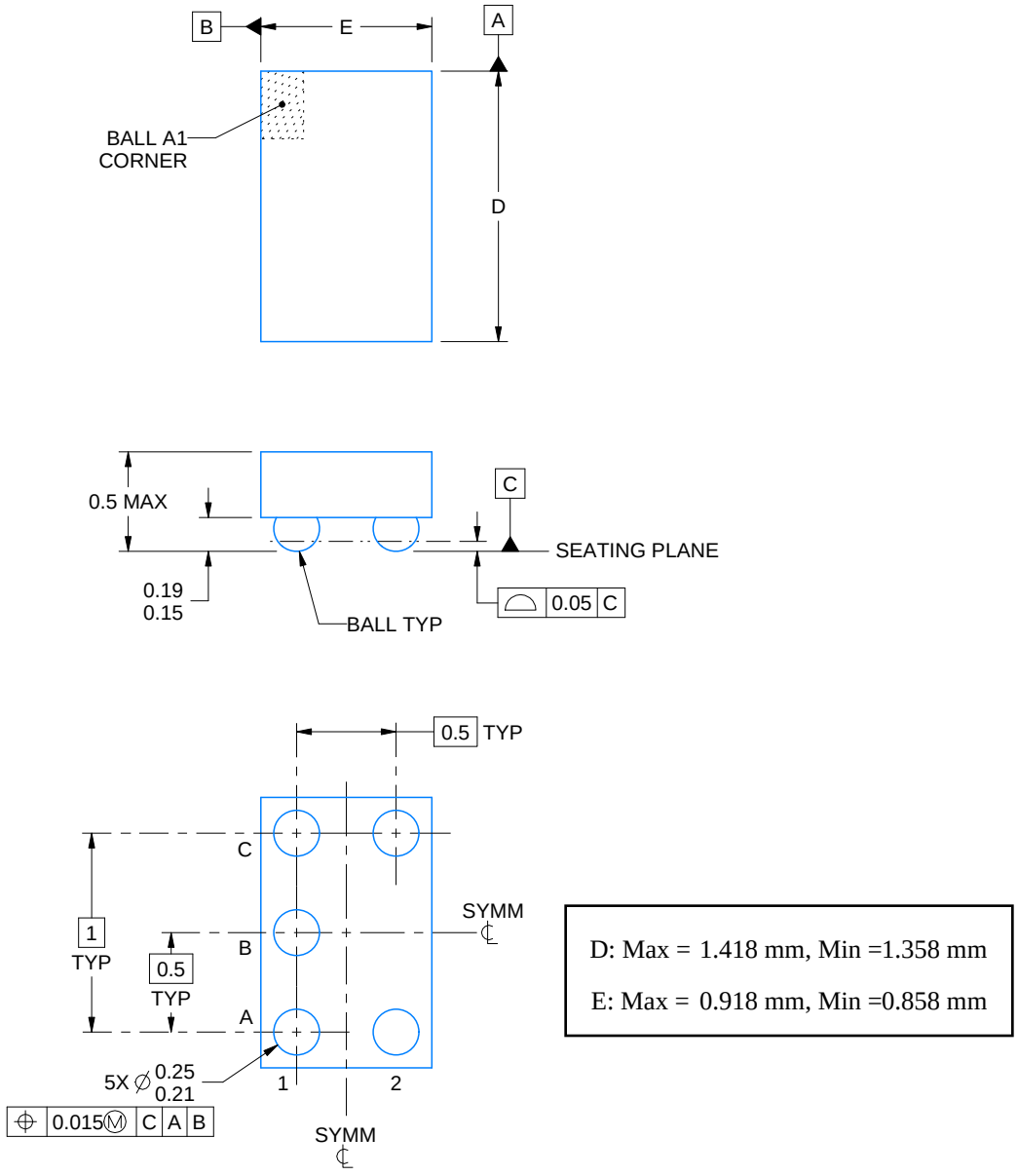
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G80DCKRG4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G80DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G80DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G80DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G80YZPR	DSBGA	YZP	5	3000	220.0	220.0	35.0

PACKAGE OUTLINE

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



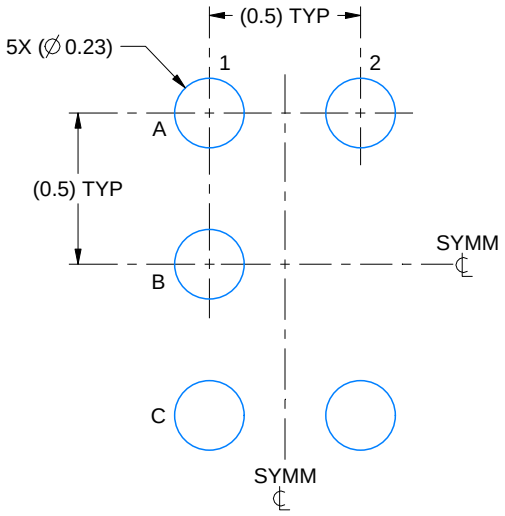
D: Max = 1.418 mm, Min =1.358 mm

E: Max = 0.918 mm, Min =0.858 mm

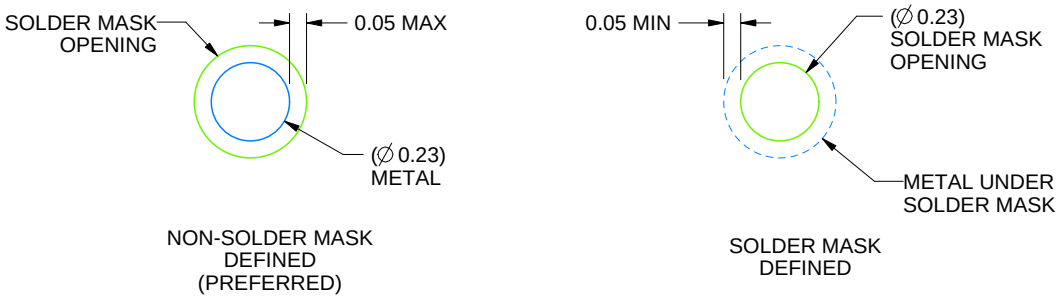
4219492/A 05/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

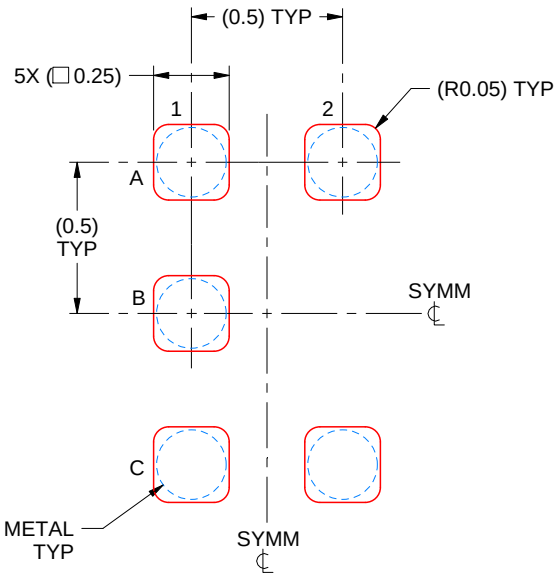


SOLDER MASK DETAILS
NOT TO SCALE

4219492/A 05/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219492/A 05/2017

NOTES: (continued)

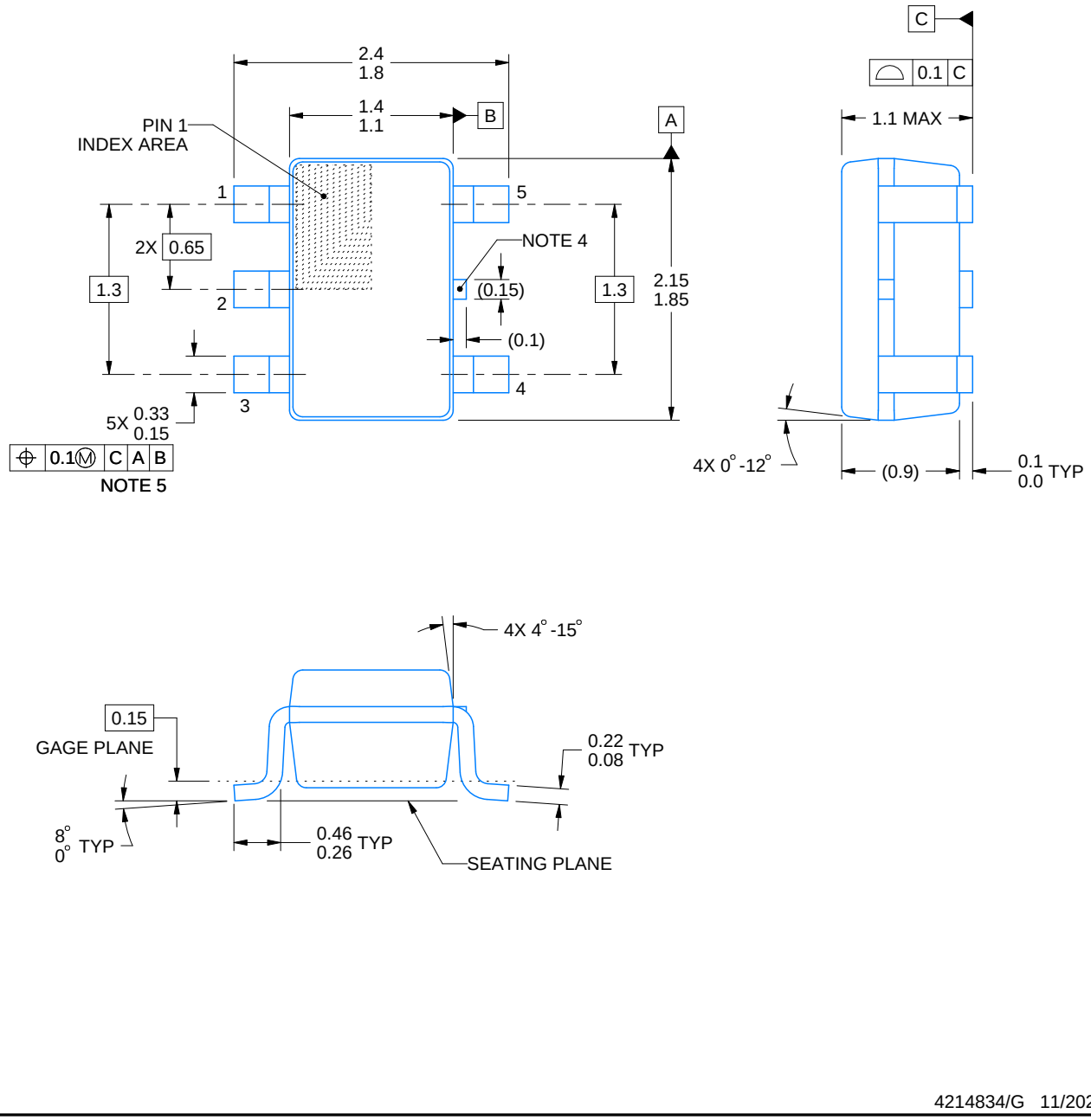
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

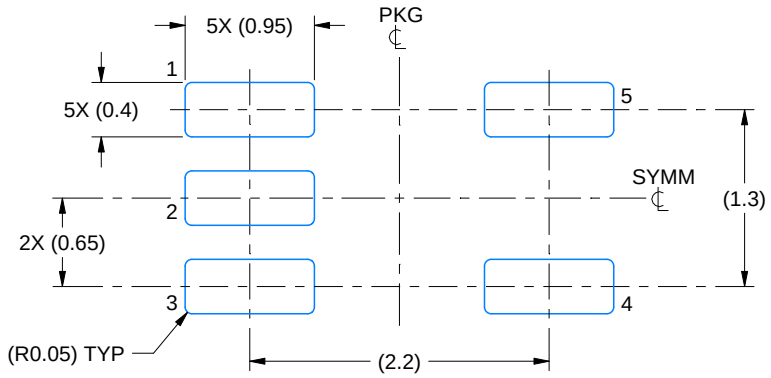
SMALL OUTLINE TRANSISTOR



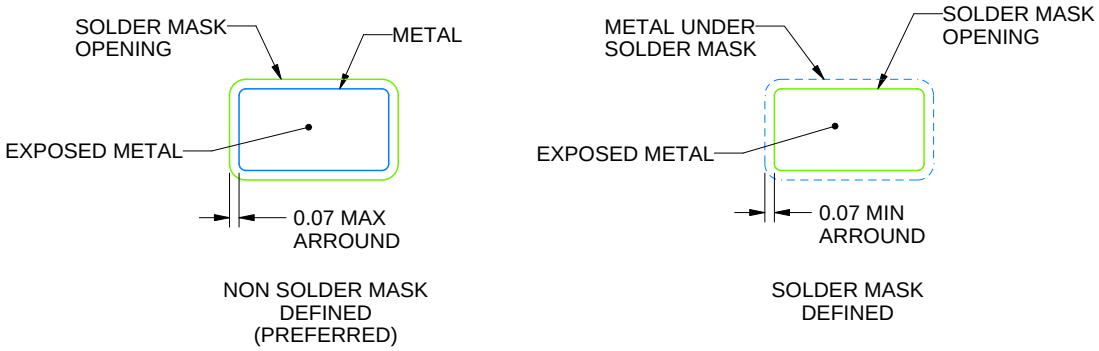
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

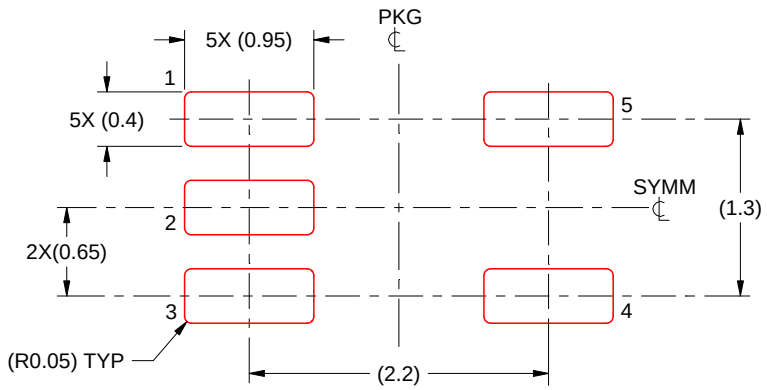


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

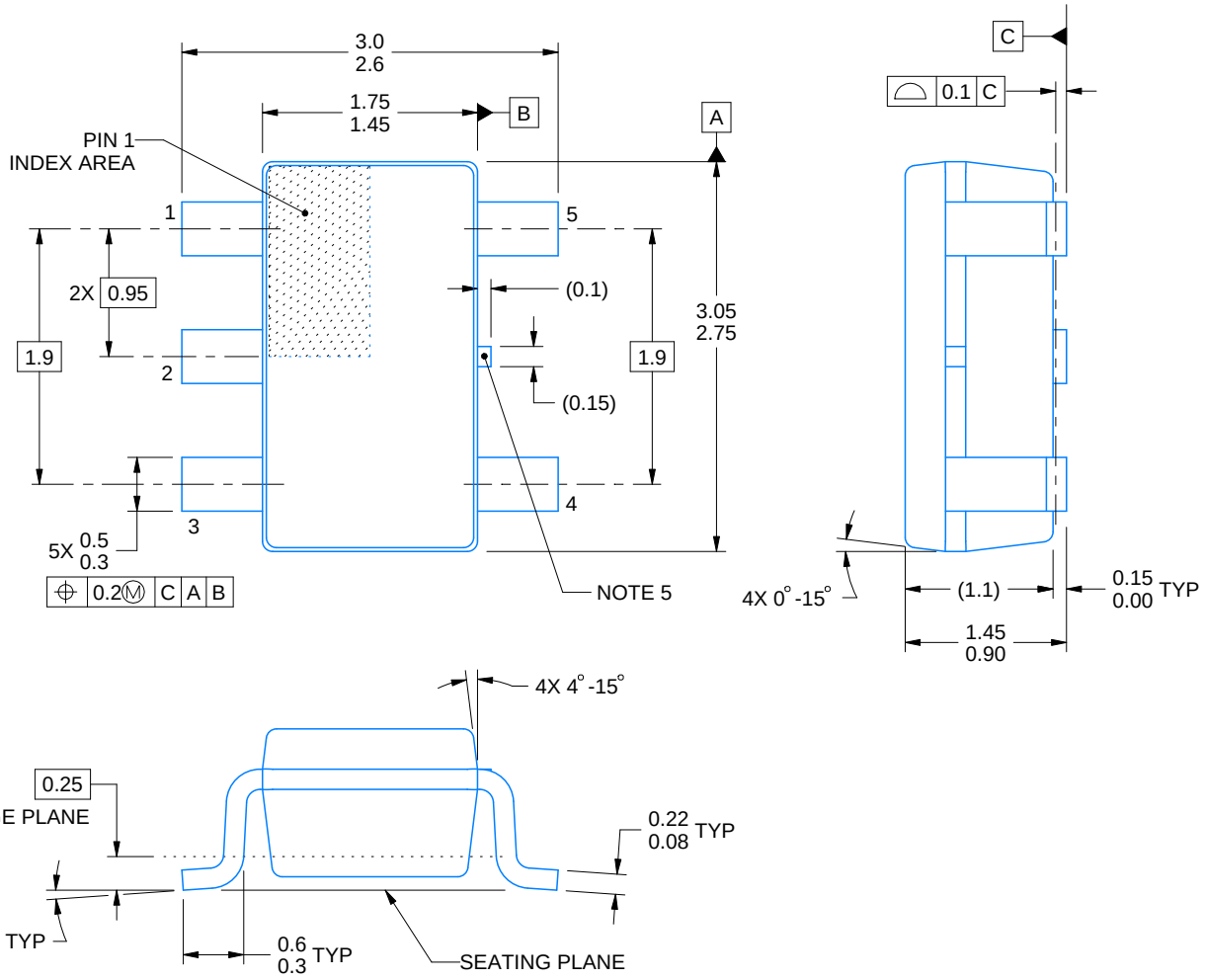
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

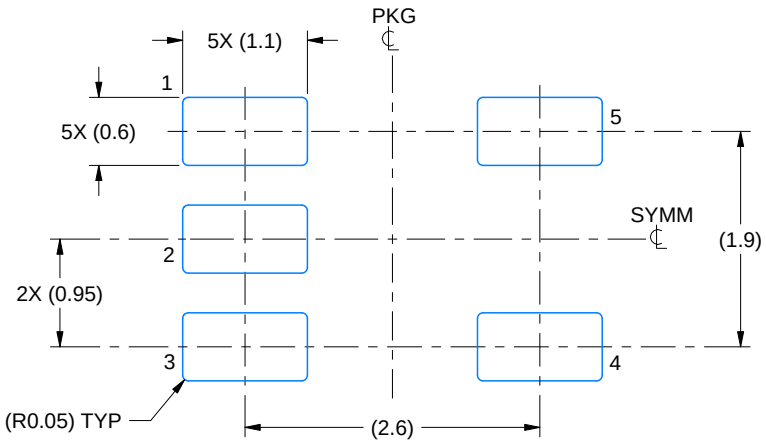
SMALL OUTLINE TRANSISTOR



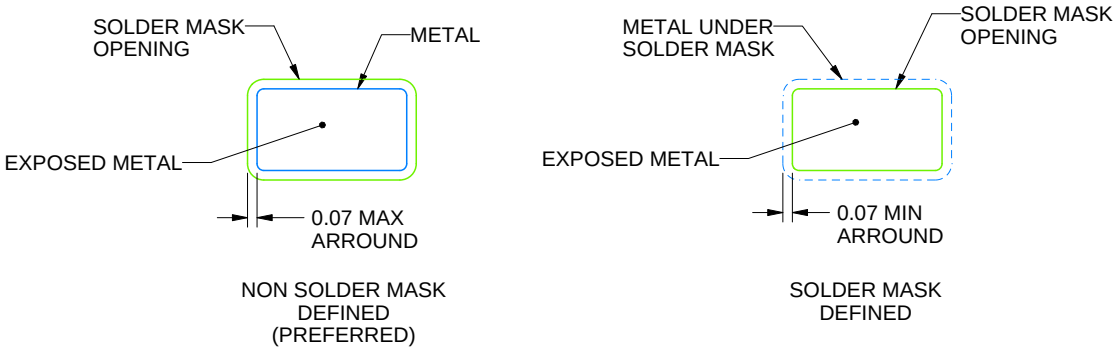
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

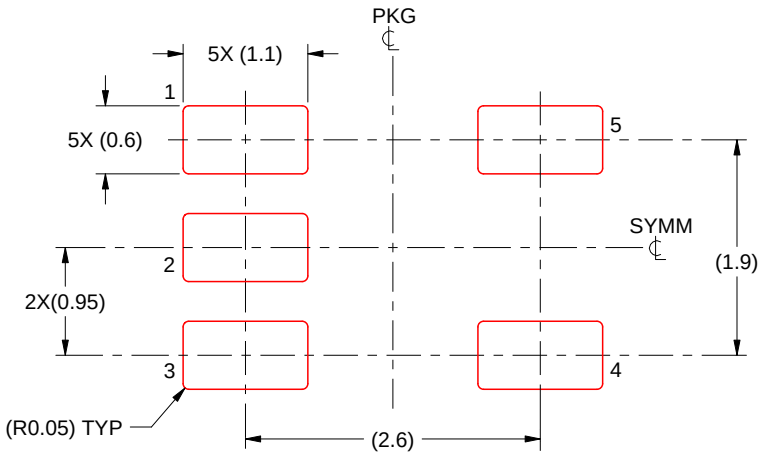


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月