SN74LVC241A3 ステート出力、オクタル バッファ/ライン ドライバ

1 機能

- 1.1V～3.6V の動作範囲
- V_{CC} とは無関係に、最大 5.5V に耐える過電圧耐性入力
- バックドライブ保護 (I_{off}) 付きの部分的パワーダウンをサポート
- 優れたプッシュプル出力駆動能力:
  - 3.3V で ±24mA
  - 2.3V で ±8mA
  - 1.65V で ±4mA
- JESD78 に準拠した 100mA 超のラッチアップ性能

2 アプリケーション

- インジケータ LED の駆動
- デジタル信号の再駆動
- 伝送線路の駆動
- コントローラリセット時の信号保持

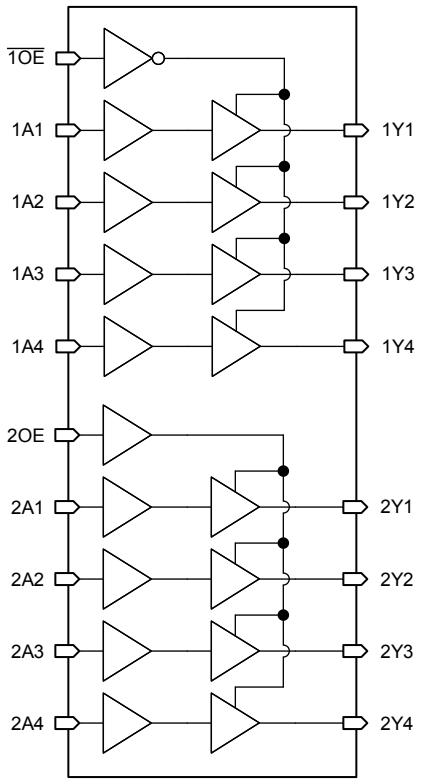
3 説明

SN74LVC241A は、3 ステート出力を備えたオクタル バッファです。本デバイスは、4 つのドライバを持つ 2 つのバンクに構成されており、各バンクは出力イネーブル ピンで制御されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74LVC241A	PW (TSSOP、20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	DGS (VSSOP、20)	5.1mm × 4.9mm	5.1mm × 3.0mm
	RKS (VQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 詳細については、「*メカニカル、パッケージ、および注文情報*」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 機能.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 4
5.1 絶対最大定格.... 4
5.2 ESD 定格.... 4
5.3 推奨動作条件.... 5
5.4 熱に関する情報.... 5
5.5 電気的特性.... 6
5.6 スイッチング特性.... 7
5.7 代表的特性.... 8
6 パラメータ測定情報.... 11
7 詳細説明.... 13
7.1 概要.... 13
7.2 機能ブロック図.... 13
7.3 機能説明.... 13
7.4 デバイスの機能モード.... 14
8 アプリケーションと実装.... 15
8.1 使用上の注意.... 15
8.2 代表的なアプリケーション.... 15
8.3 電源に関する推奨事項.... 18
8.4 レイアウト.... 18
9 デバイスおよびドキュメントのサポート.... 20
9.1 ドキュメントのサポート.... 20
9.2 ドキュメントの更新通知を受け取る方法.... 20
9.3 サポート・リソース.... 20
9.4 商標.... 20
9.5 静電気放電に関する注意事項.... 20
9.6 用語集.... 20
10 改訂履歴.... 20
11 メカニカル、パッケージ、および注文情報.... 21

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

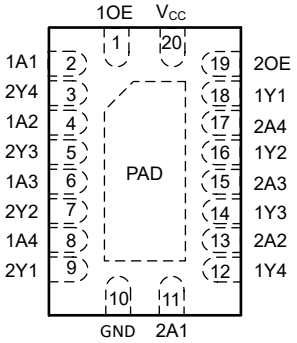


図 4-1. SN74LVC241A RKS パッケージ（上面図）

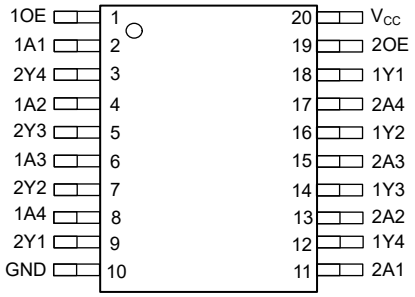


図 4-2. SN74LVC241A PW 、DGS パッケージ（上面図）

ピンの機能

ピン		タイプ(1)	説明
名称	番号		
2OE	19	I	バンク 2、出力イネーブル、アクティブ Low
A1	2	I	バンク 1、チャネル 1 入力
A2	3	O	バンク 2、チャネル 4 出力
A3	4	I	バンク 1、チャネル 2 入力
A4	5	O	バンク 2、チャネル 3 出力
A5	6	I	バンク 1、チャネル 3 入力
A6	7	O	バンク 2、チャネル 2 出力
A7	8	I	バンク 1、チャネル 4 入力
A8	9	O	バンク 2、チャネル 1 出力
GND	10	G	グランド
$\overline{OE1}$	1	I	バンク 1、出力イネーブル、アクティブ Low
サーマル パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。
V_{CC}	20	P	正電源
Y1	18	O	バンク 1、チャネル 1 出力
Y2	17	I	バンク 2、チャネル 4 入力
Y3	16	O	バンク 1、チャネル 2 出力
Y4	15	I	バンク 2、チャネル 3 入力
Y5	14	O	バンク 1、チャネル 3 出力
Y6	13	I	バンク 2、チャネル 2 入力
Y7	12	O	バンク 1、チャネル 4 出力
Y8	11	I	バンク 2、チャネル 1 入力

(1) 信号タイプ :I = 入力、O = 出力、G = グランド、P = 電源。
(2) RKS パッケージのみ。

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲[(2)]		-0.5	6.5	V
V_O	ハイインピーダンスまたは電源オフ状態の出力電圧範囲[(2)]		-0.5	6.5	V
V_O	出力電圧範囲[(2)]		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0V		-50	mA
I_{OK}	出力クランプ電流	V_O < 0V		-50	mA
I_O	連続出力電流			±50	mA
I_O	V_{CC} または GND を通過する連続出力電流			±100	mA
T_J	接合部温度		-65	150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。「推奨動作条件」の範囲外でも、「絶対最大定格」の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.1	3.6	V
V_I	入力電圧			5.5	V
V_O	出力電圧	(High または Low 状態)		V_{CC}	V
V_O	出力電圧	3 ステート	0	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.1V～1.95V	0.65x Vcc		V
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 2.7V～3.6V	2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.1V～1.95V		0.35x Vcc	V
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 2.7V～3.6V		0.8	
I_{OH}	High レベル出力電流	V_{CC} = 1.8V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 2.7V		-12	
		V_{CC} = 3V		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.8V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 2.7V		12	
		V_{CC} = 3V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート			10	ns/V
T_A	外気温度での動作時		-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	120.3	62.5	82.4	16.0	81.5	該当なし	°C/W
DGS (VSSOP)	20	129.9	72.4	86.1	18.6	85.8	該当なし	°C/W
RKS (VQFN)	20	87.2	93.4	59.8	24.9	59.6	44.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃ ～ 125℃			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	I_{OH}= -100µA	1.1V ～ 3.6V	V_{CC} - 0.2			V_{CC} - 0.2			V
	I_{OH}= -4mA	1.5V	1.24			1.2			
	I_{OH}= -4mA	1.65V	1.29			1.2			
	I_{OH}= -8mA	2.3V	1.9			1.75			
	I_{OH}= -12mA	2.7V	2.2			2.2			
		3V	2.4			2.4			
	I_{OH}= -24mA	3V	2.3			2.2			
V_{OL}	I_{OH}= 100µA	1.1V ～ 3.6V			0.1			0.15	V
	I_{OH}= 4mA	1.5V			0.15			0.4	
	I_{OH}= 4mA	1.65V			0.24			0.45	
	I_{OH}= 8mA	2.3V			0.3			0.7	
	I_{OH}= 12mA	2.7V			0.4			0.4	
		3V			0.35			0.45	
	I_{OH}= 24mA	3V			0.55			0.55	
I_I	V_I = V_{CC} または GND	3.6V			±1			±5	µA
I_{off}	V_I または V_O = V_{CC}	0V			±1			±10	µA
I_{OZ}	V_O = V_{CC} または GND	3.6V			±1			±15	µA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	3.6V			1			40	µA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND	2.7V ～ 3.6V			500			500	µA
C_I	V_I = V_{CC} または GND	3.3V		4.9			4.9		pF
C_O	V_O = V_{CC} または GND	3.3V		6.3			6.3		pF

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「*パラメータ測定情報*」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			-40℃ ～ 125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{pd}	A	Y	C_L = 15pF	1.2V ± 0.1V		12	24.3			27.1	ns
t_{pd}	A	Y	C_L = 15pF	1.5V ± 0.12V		7	10.7			11.5	ns
t_{pd}	A	Y	C_L = 30pF	1.8V ± 0.15V		5.9	8			9	ns
t_{pd}	A	Y	C_L = 30pF	2.5V ± 0.2V		4.2	4.6			5.5	ns
t_{pd}	A	Y	C_L = 50pF	2.7V		4.2	4.6			5.4	ns
t_{pd}	A	Y	C_L = 50pF	3.3V ± 0.3V		3.9	4.3			4.8	ns
t_{en}	$\overline{OE}$	Y	C_L = 15pF	1.2V ± 0.1V		14.3	27.5			35.4	ns
t_{en}	$\overline{OE}$	Y	C_L = 15pF	1.5V ± 0.12V		8.3	11.6			12.2	ns
t_{en}	$\overline{OE}$	Y	C_L = 30pF	1.8V ± 0.15V		6.4	8.9			9.8	ns
t_{en}	$\overline{OE}$	Y	C_L = 30pF	2.5V ± 0.2V		4.6	5.7			6.4	ns
t_{en}	$\overline{OE}$	Y	C_L = 50pF	2.7V		5	6.2			7	ns
t_{en}	$\overline{OE}$	Y	C_L = 50pF	3.3V ± 0.3V		4.5	5.3			6	ns
t_{dis}	$\overline{OE}$	Y	C_L = 15pF	1.2V ± 0.1V		14.3	23.6			27.6	ns
t_{dis}	$\overline{OE}$	Y	C_L = 15pF	1.5V ± 0.12V		7.2	12			13.3	ns
t_{dis}	$\overline{OE}$	Y	C_L = 30pF	1.8V ± 0.15V		5.8	9.5			10.9	ns
t_{dis}	$\overline{OE}$	Y	C_L = 30pF	2.5V ± 0.2V		3.7	5.6			6.6	ns
t_{dis}	$\overline{OE}$	Y	C_L = 50pF	2.7V		3.8	5.7			6.7	ns
t_{dis}	$\overline{OE}$	Y	C_L = 50pF	3.3V ± 0.3V		3.8	5.5			6.2	ns
$t_{sk(o)}$				3.3V ± 0.3V			0.4			0.4	ns
C_{PD}		出力イネーブル	f = 10MHz	1.8V		13.2					pf
C_{PD}		出力イネーブル	f = 10MHz	2.5V		13.8					pf
C_{PD}		出力イネーブル	f = 10MHz	3.3V		14.2					pf
C_{PD}		出力ディスエーブル	f = 10MHz	1.8V		1.2					pf
C_{PD}		出力ディスエーブル	f = 10MHz	2.5V		1.3					pf
C_{PD}		出力ディスエーブル	f = 10MHz	3.3V		1.5					pf

5.7 代表的特性

T_A = 25℃ (特に記述のない限り)

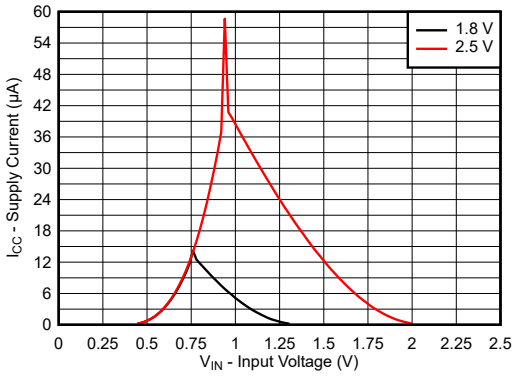


図 5-1. 入力電圧に対する電源電流、1.8V および 2.5V 電源

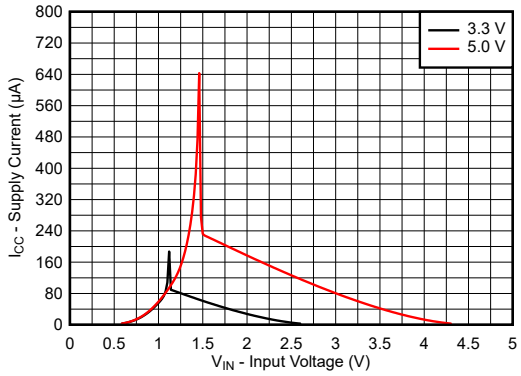


図 5-2. 入力電圧に対する電源電流、3.3V および 5.0V 電源

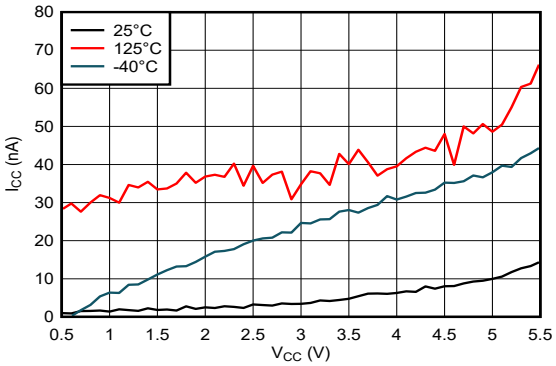


図 5-3. 電源電流と電源電圧との関係

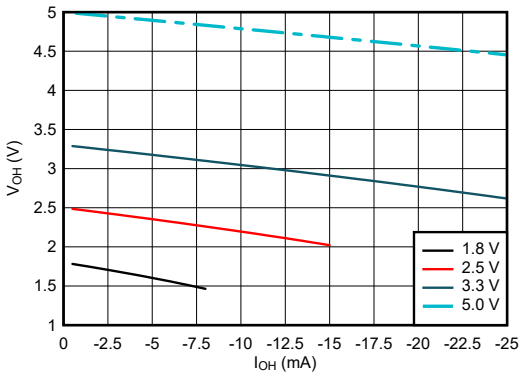


図 5-4. High 状態における出力電圧と電流との関係

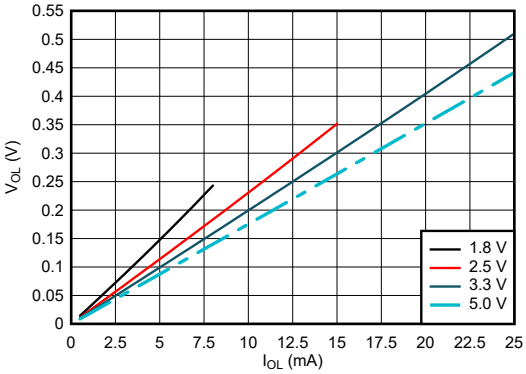


図 5-5. Low 状態における出力電圧と電流との関係

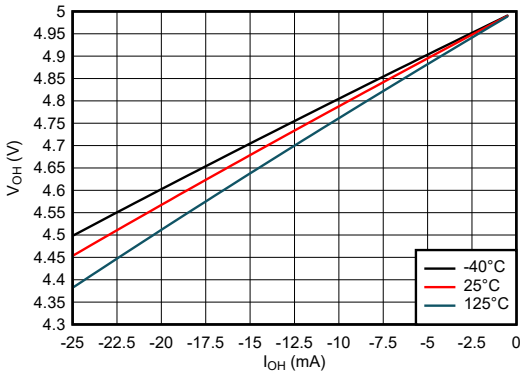


図 5-6. High 状態における出力電圧と電流との関係、5V 電源

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

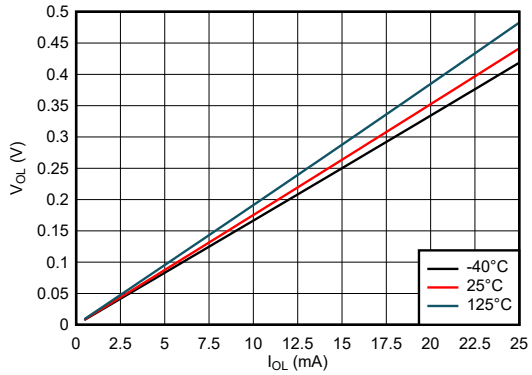


図 5-7. Low 状態における出力電圧と電流との関係、5V 電源

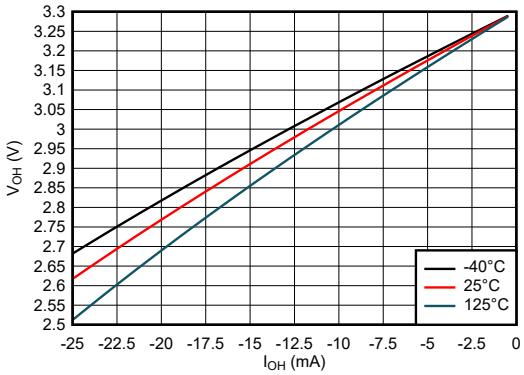


図 5-8. High 状態における出力電圧と電流との関係、3.3V 電源

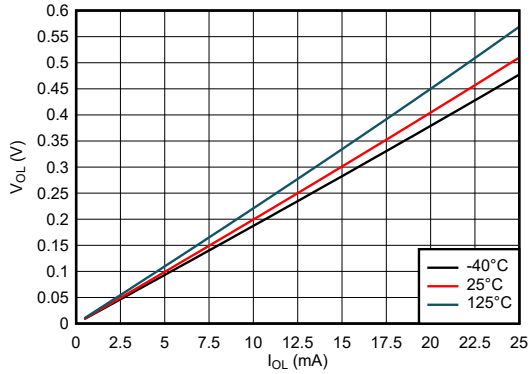


図 5-9. Low 状態における出力電圧と電流との関係、3.3V 電源

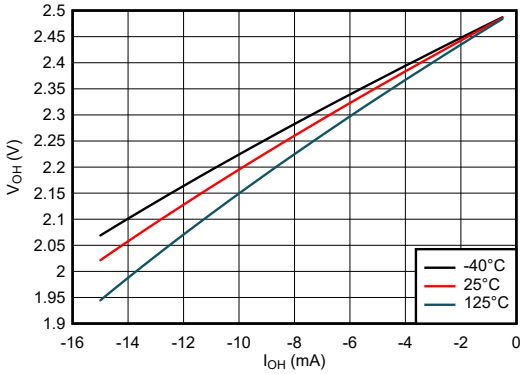


図 5-10. High 状態における出力電圧と電流との関係、2.5V 電源

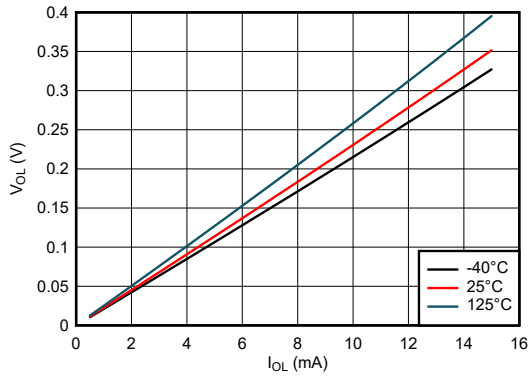


図 5-11. Low 状態における出力電圧と電流との関係、2.5V 電源

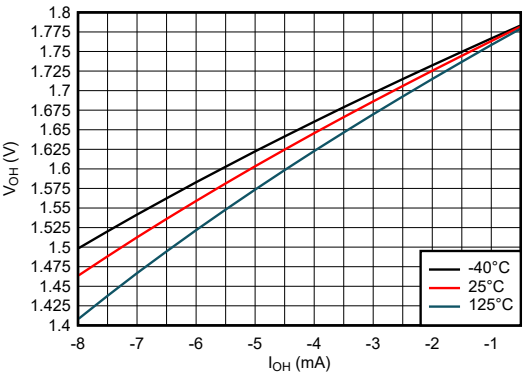


図 5-12. High 状態における出力電圧と電流との関係、1.8V 電源

5.7 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

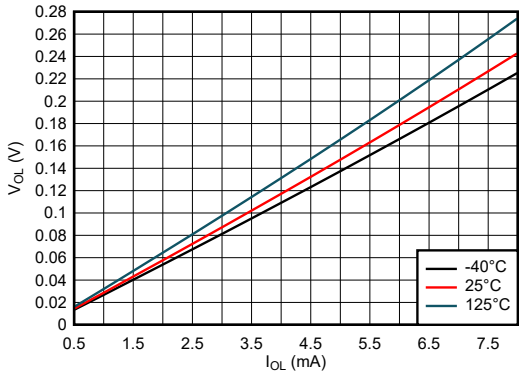


図 5-13. Low 状態における出力電圧と電流との関係、1.8V 電源

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_t ≦ 2.5ns。

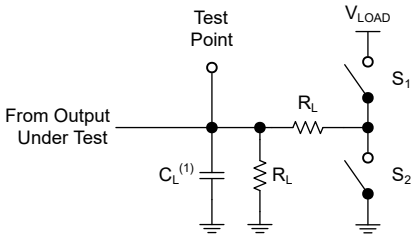
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

表 6-1. 3 ステート出力

TEST	S1	S2
t_{PLH}、t_{PHL}	オープン	オープン
t_{PLZ}、t_{PZL}	クローズ	オープン
t_{PHZ}、t_{PZH}	オープン	クローズ

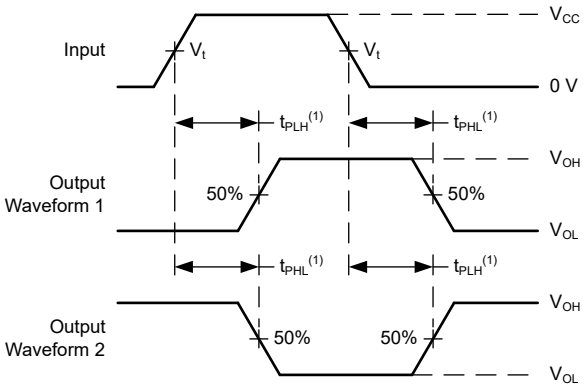
表 6-2. 3-state またはオープン ドレイン出力

V_{CC}	V_t	R_L	C_L	ΔV	V_{LOAD}
1.2V ± 0.1V	V_{CC}/2	2kΩ	15pF	0.1V	2 × V_{CC}
1.5V ± 0.12V	V_{CC}/2	2kΩ	15pF	0.1V	2 × V_{CC}
1.8V ± 0.15V	V_{CC}/2	1kΩ	30pF	0.15V	2 × V_{CC}
2.5V ± 0.2V	V_{CC}/2	500 Ω	30pF	0.15V	2 × V_{CC}
2.7V	1.5V	500 Ω	50pF	0.3V	6V
3.3V ± 0.3V	1.5V	500 Ω	50pF	0.3V	6V



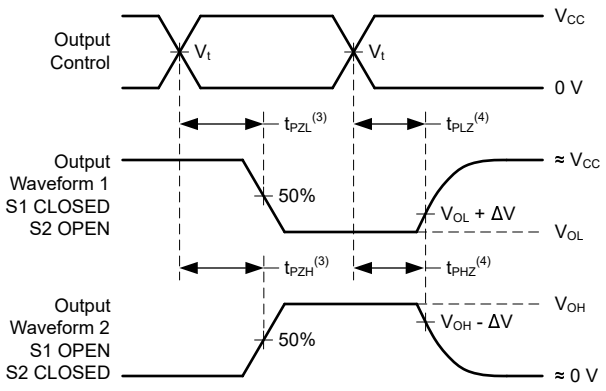
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

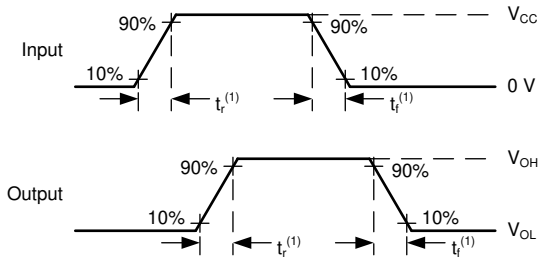
図 6-2. 電圧波形、伝搬遅延



(1) t_{PZL} と t_{PZH} の大きい方が t_{en} に相当します。

(2) t_{PLZ} と t_{PHZ} の大きい方が t_{dis} に相当します。

図 6-3. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC241A には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。*x* はバンク番号、*n*

各出力イネーブル (1$\overline{OE}$/2OE) は 4 つのバッファを制御します。1$\overline{OE}$ ピンが low 状態のとき、バンク 1 のすべてのバッファの出力がイネーブルになります。1$\overline{OE}$ ピンが high 状態のとき、バンク 1 のすべてのバッファの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。2OE ピンが high 状態のとき、バンク 2 のすべてのバッファの出力がイネーブルになります。2OE ピンが low 状態のとき、バンク 2 のすべてのバッファの出力がイネーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

7.2 機能ブロック図

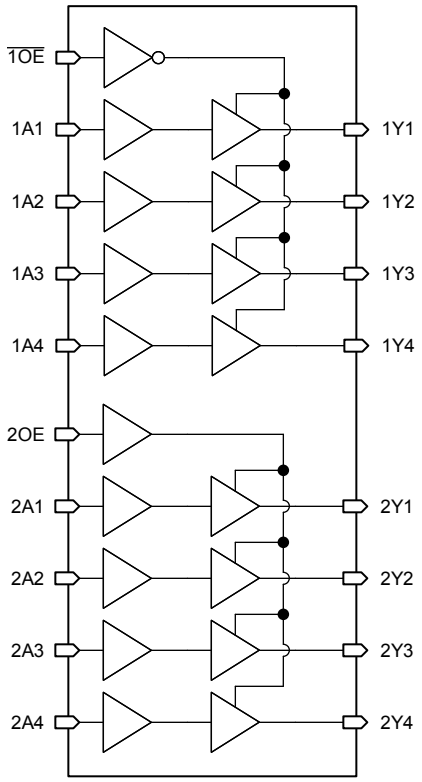


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3-state 出力 (High 駆動、Low 駆動、ハイ インピーダンス) が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮してください。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルよりも大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

ハイ インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。ハイ インピーダンス状態では、デバイスは出力電圧を制御しません。出力

電流は、外部要因に依存します。フローティング ノードは、他のドライバが接続されていないノードであり、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、デバイスがハイ インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、10kΩ 抵抗を使用すると、これらの要件を満たすことができます。

未使用の 3-state CMOS 出力は未接続のままにします。

7.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさなければ、消費電力が過剰になり、発振を引き起こす可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は V_{CC} または GND に終端させます。システムが常に入力を駆動していない場合は、有効な入力電圧を与えるために、プルアップ抵抗またはプルダウン抵抗を追加することを検討してください。抵抗値は複数の要因によって異なりますが、推奨される値である 10kΩ を使用すれば、通常はすべての要件を満たすことができます。

7.4 デバイスの機能モード

下表に SN74LVC241A の機能モードを示します。

表 7-1. 機能表

入力[(1)]		出力
$\overline{1OE}$	**A**	**Y**
L	L	L
L	H	H
H	X	Z

表 7-2. 機能表

入力[(1)]		出力
2OE	**A**	**Y**
H	L	L
H	H	H
L	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74LVC241A は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスミッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリンギングを低減できます。「アプリケーション曲線」セクションの図は、3 つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

8.2 代表的なアプリケーション

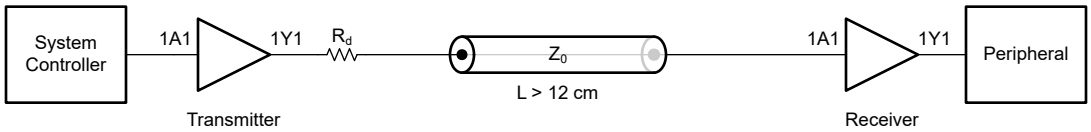


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「*電気的特性*」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LVC241A のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グランドは、SN74LVC241A のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LVC241A は、データシートの仕様をすべて満たしながら、合計容量 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えてはいけません。

SN74LVC241A は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、*CMOS の消費電力と Cpd の計算 アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

> **注意**
> *絶対最大定格*に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。*絶対最大定格*に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック LOW と見なされ、$V_{IH(min)}$ を超えるとロジック HIGH と見なされます。*「絶対最大定格」*に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVC241A へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74LVC241A は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

Copyright © 2026 Texas Instruments Incorporated

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、SN74LVC241A から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を (V_{CC} / $I_{O(max)}$)Ω より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

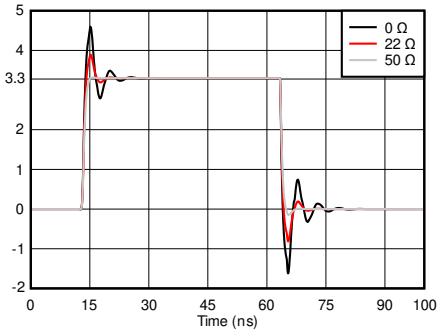


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでのシグナル インテグリティをシミュレート

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

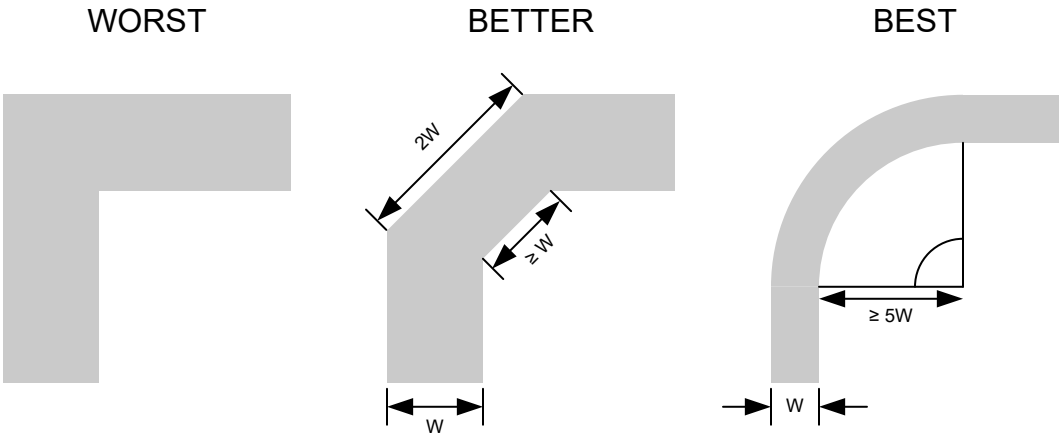


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2026 Texas Instruments Incorporated

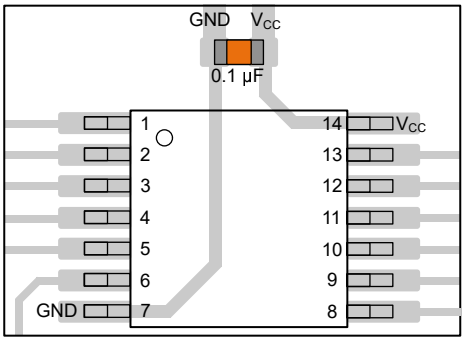


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

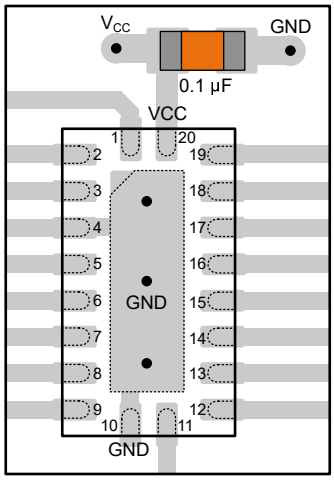


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

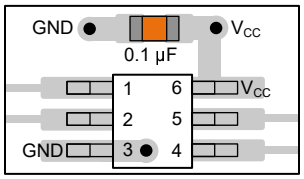


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

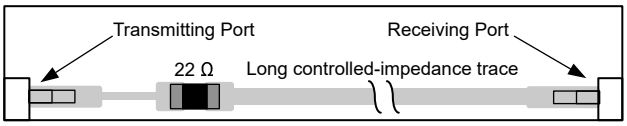


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC241ADGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C241A
SN74LVC241APWR	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC241A
SN74LVC241ARKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC241A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

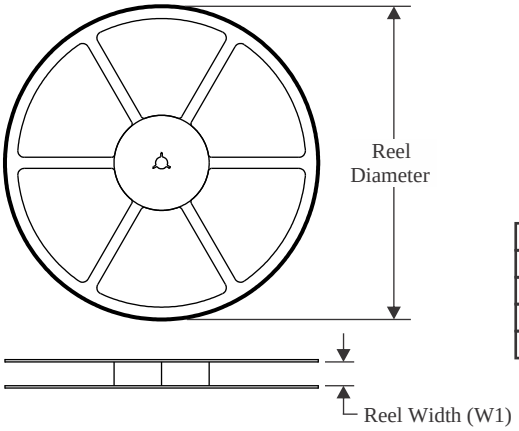
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

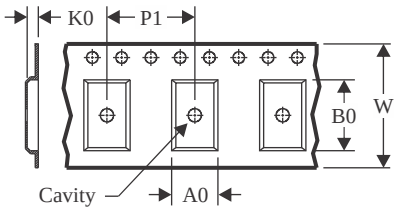
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

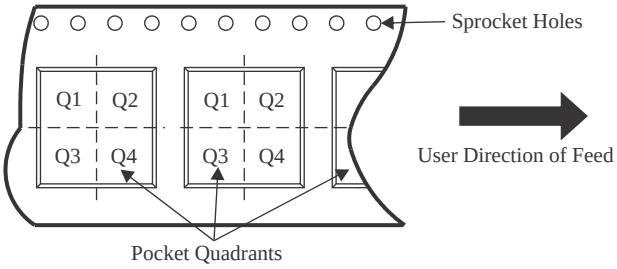


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

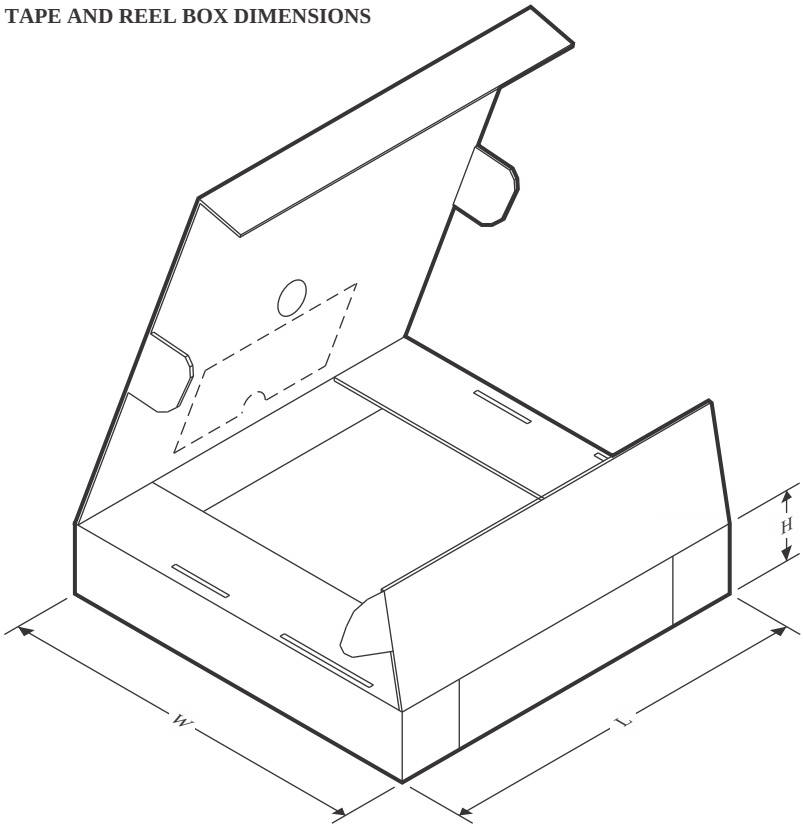
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

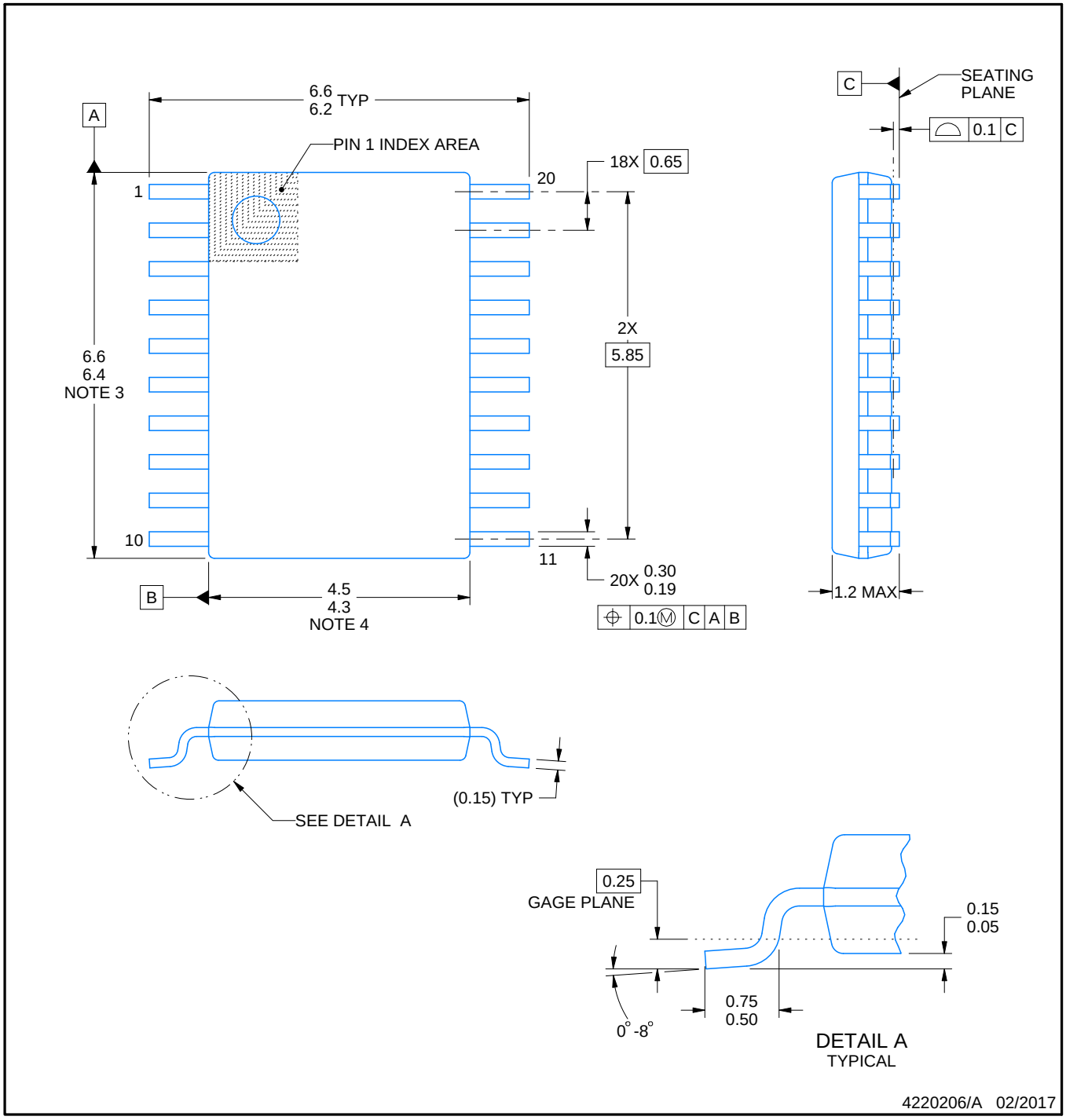
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC241ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LVC241APWR	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC241ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



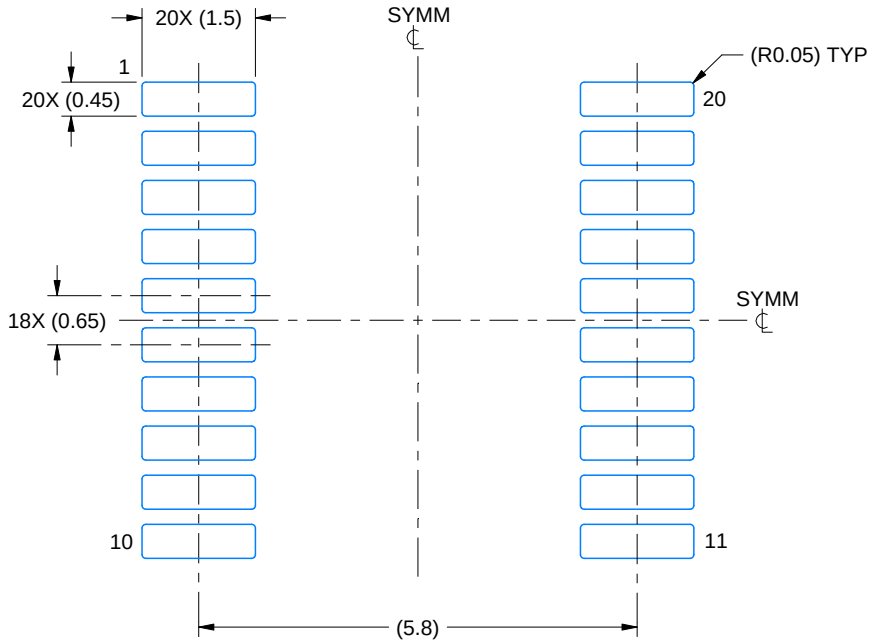
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC241ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LVC241APWR	TSSOP	PW	20	3000	353.0	353.0	32.0
SN74LVC241ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

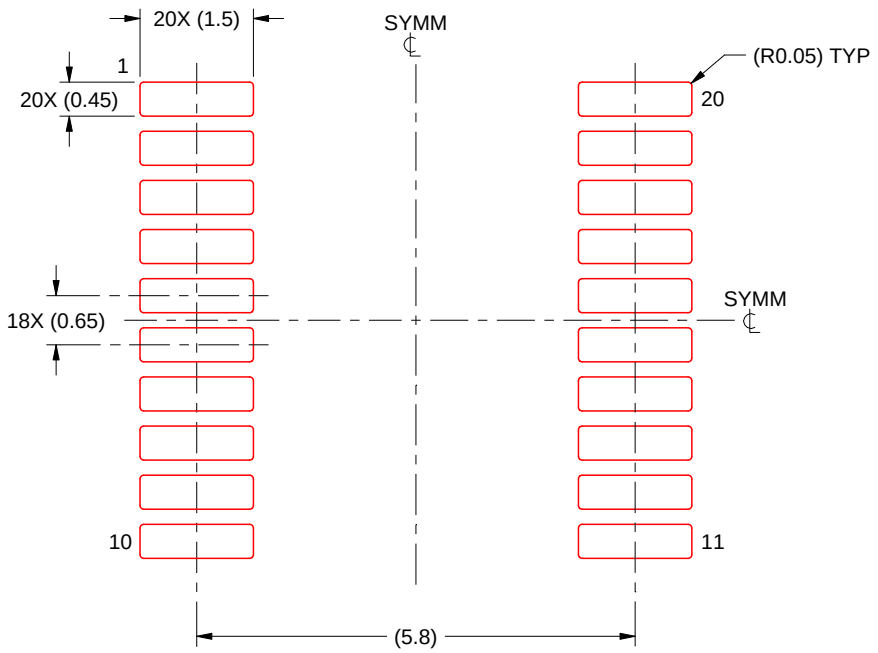
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

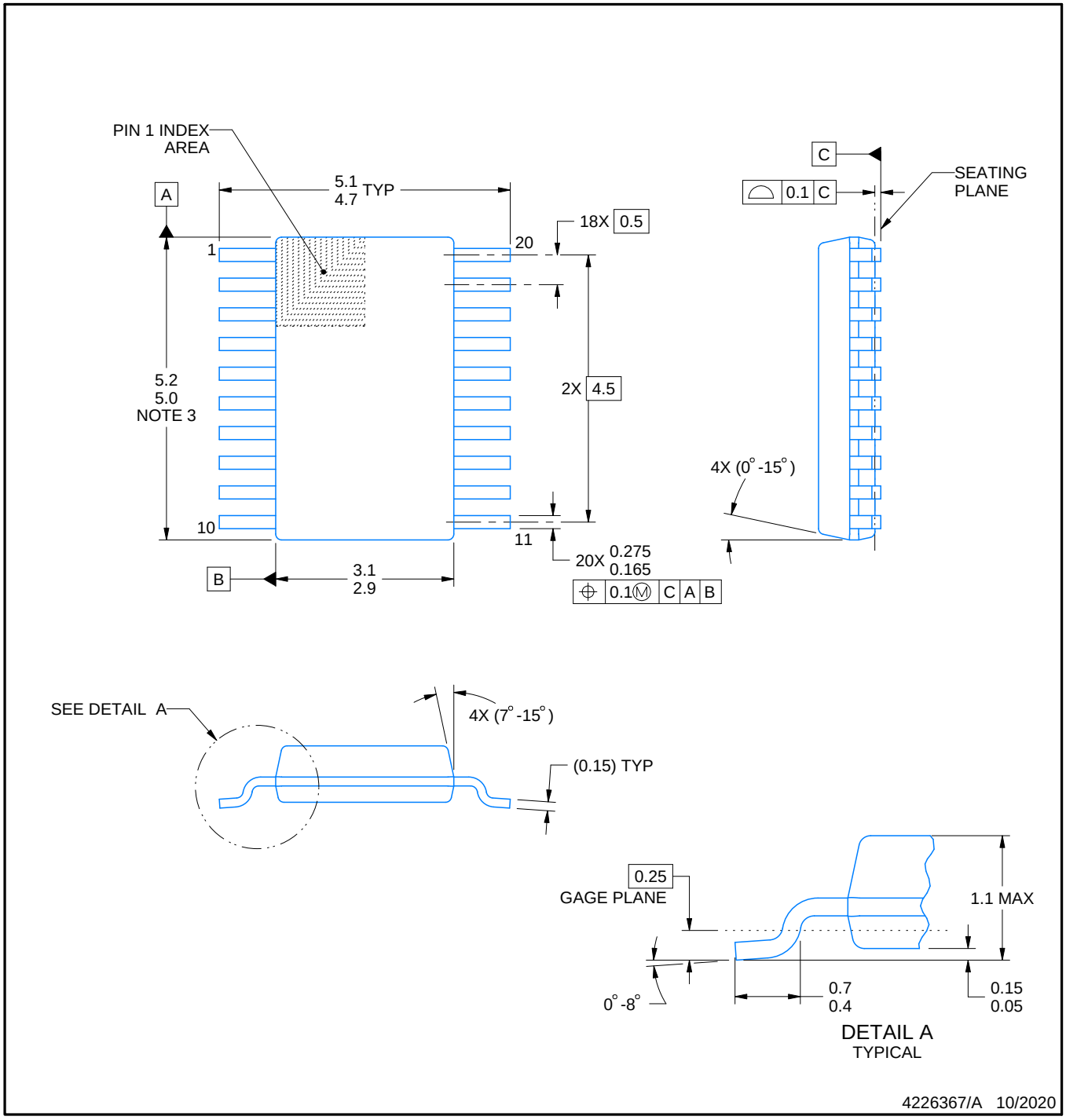


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

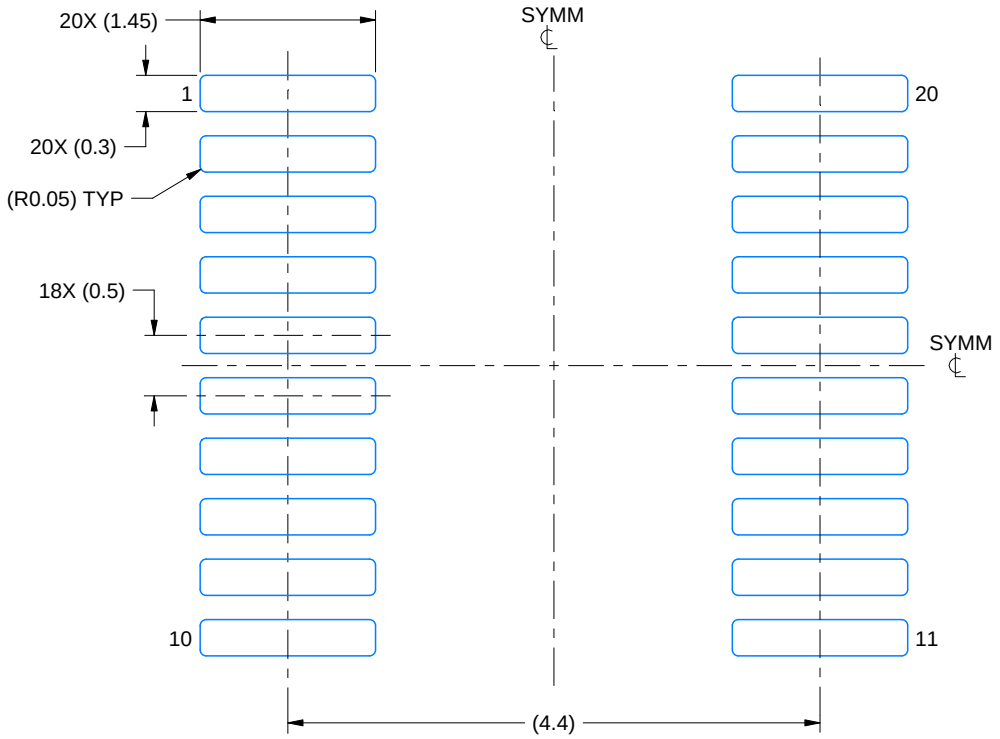
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



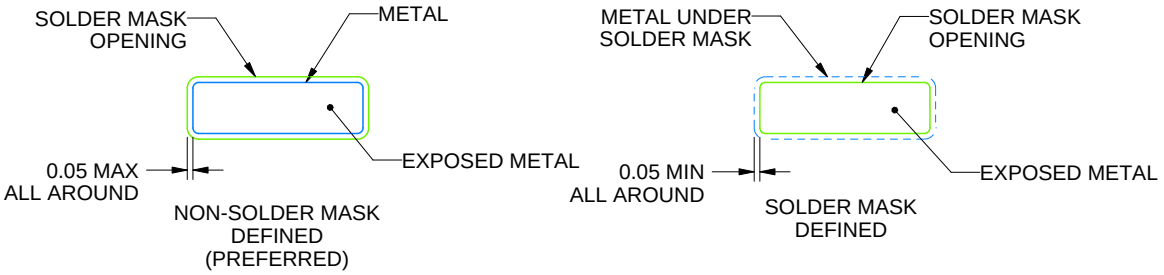
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

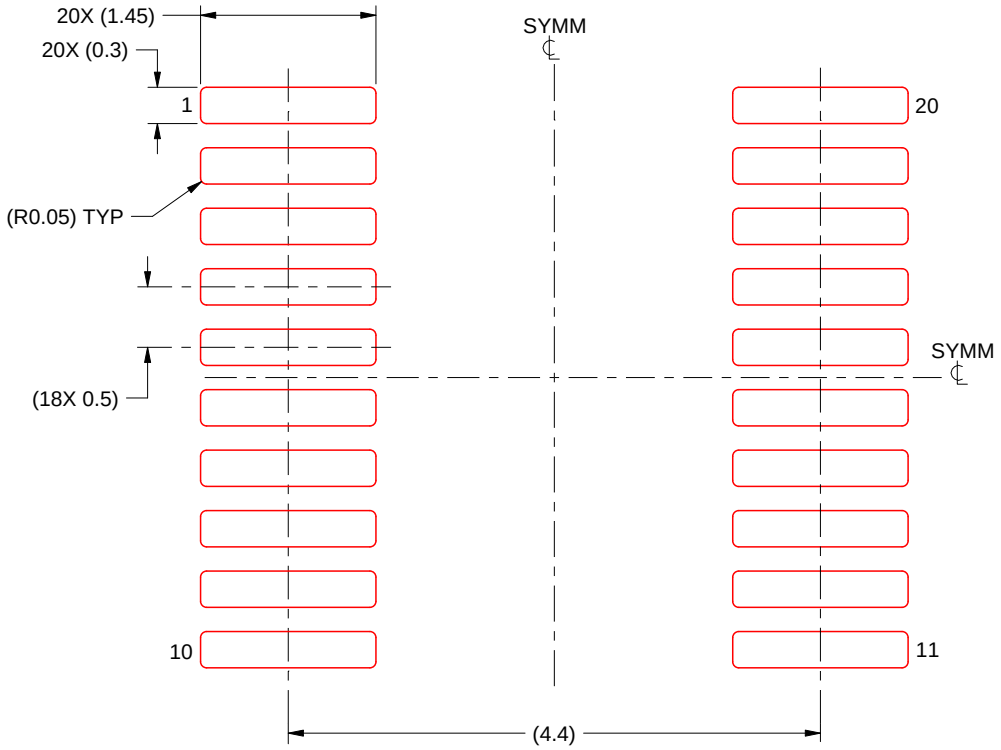


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

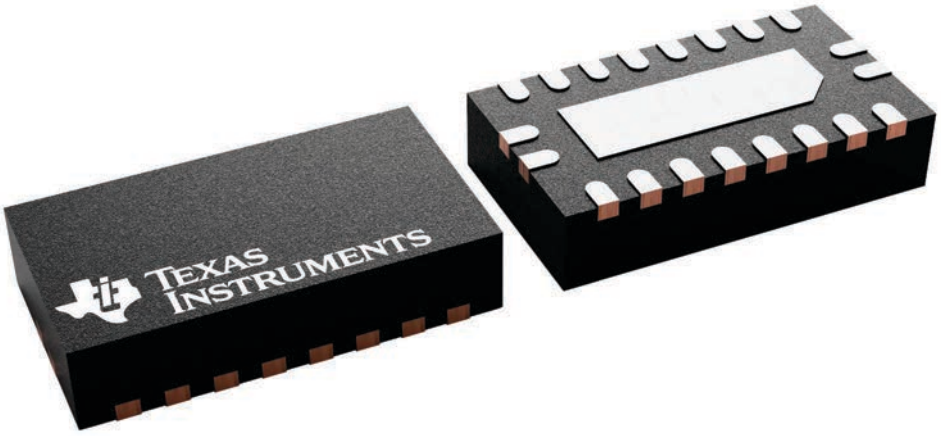
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



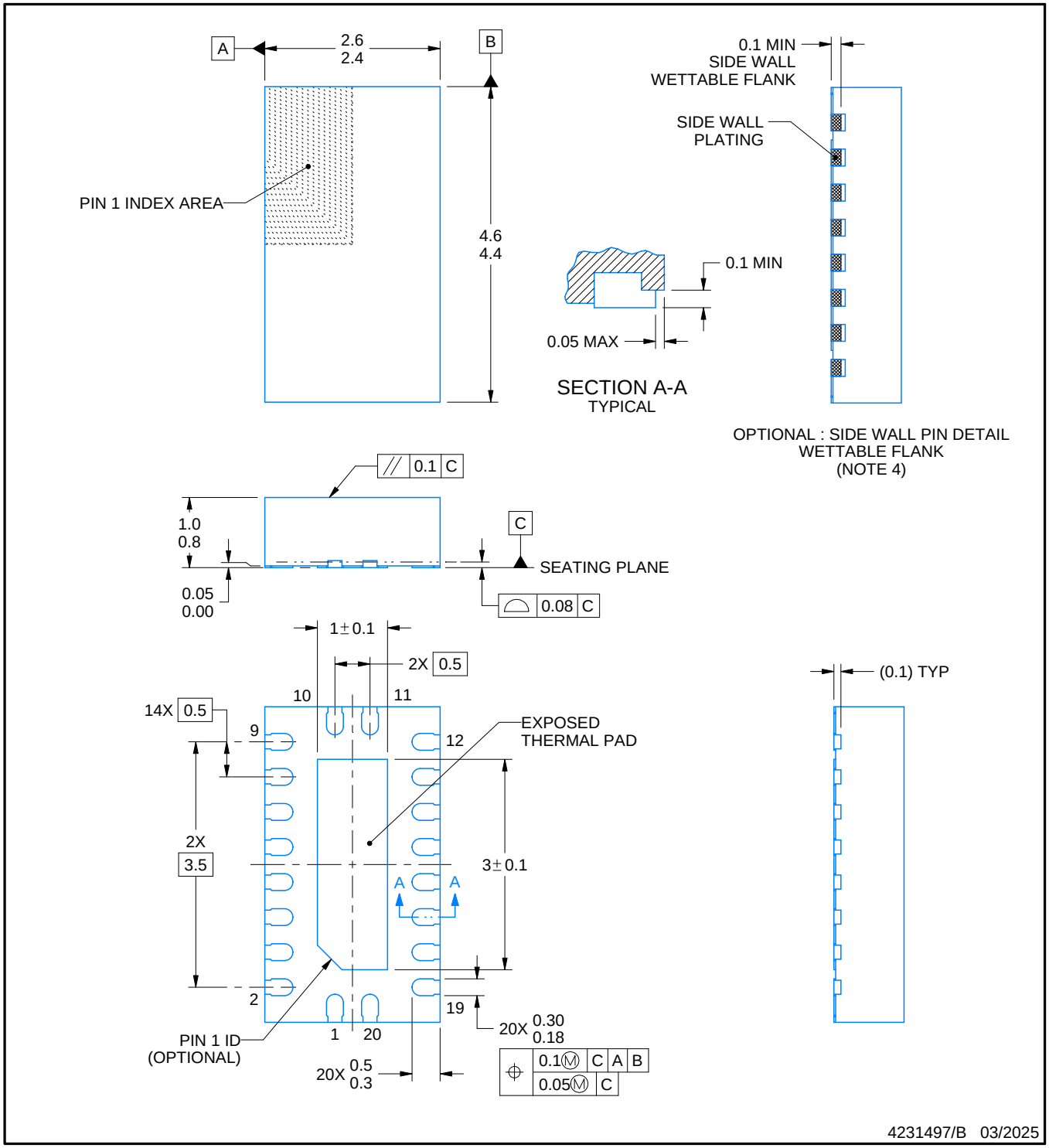
4226872/A

PACKAGE OUTLINE

RKS0020C

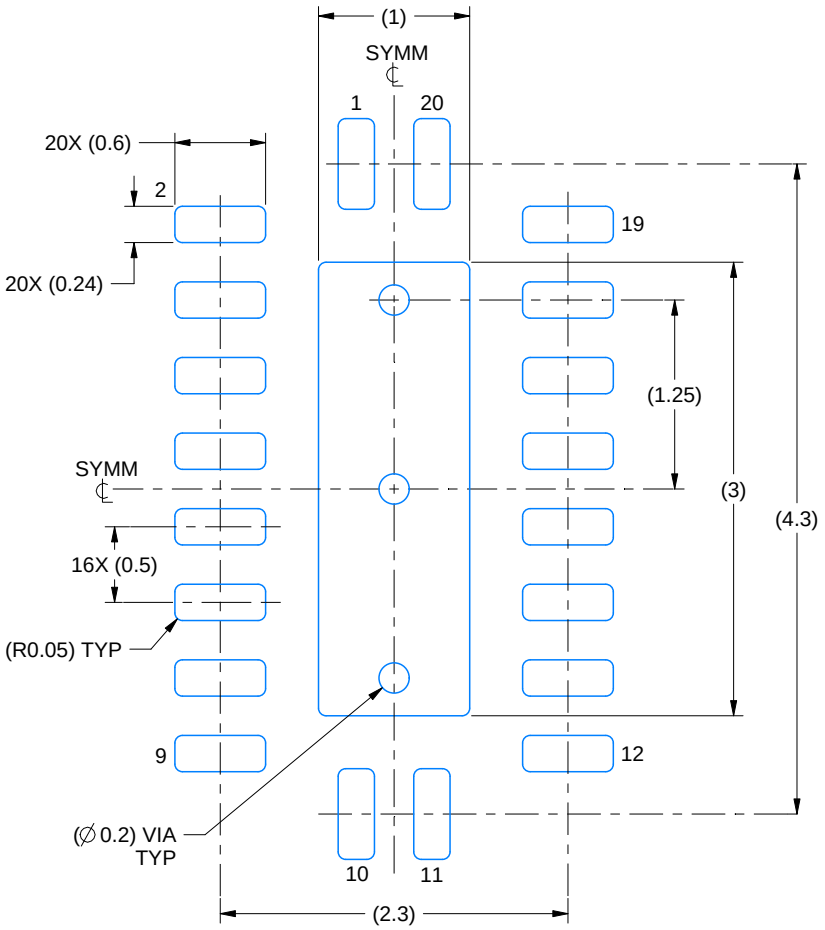
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

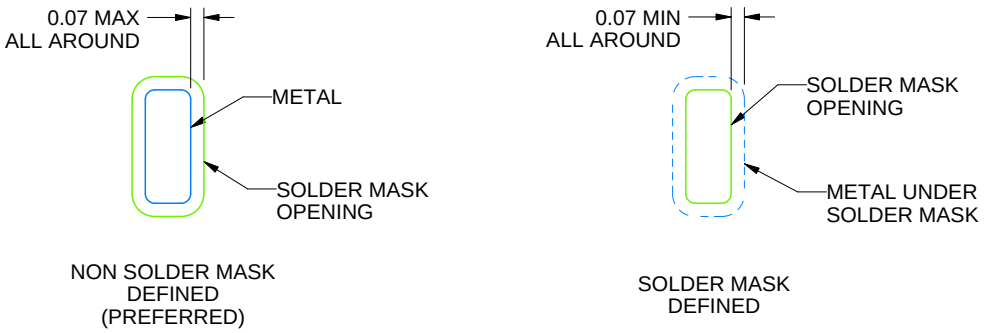


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only



LAND PATTERN EXAMPLE
SCALE:20X

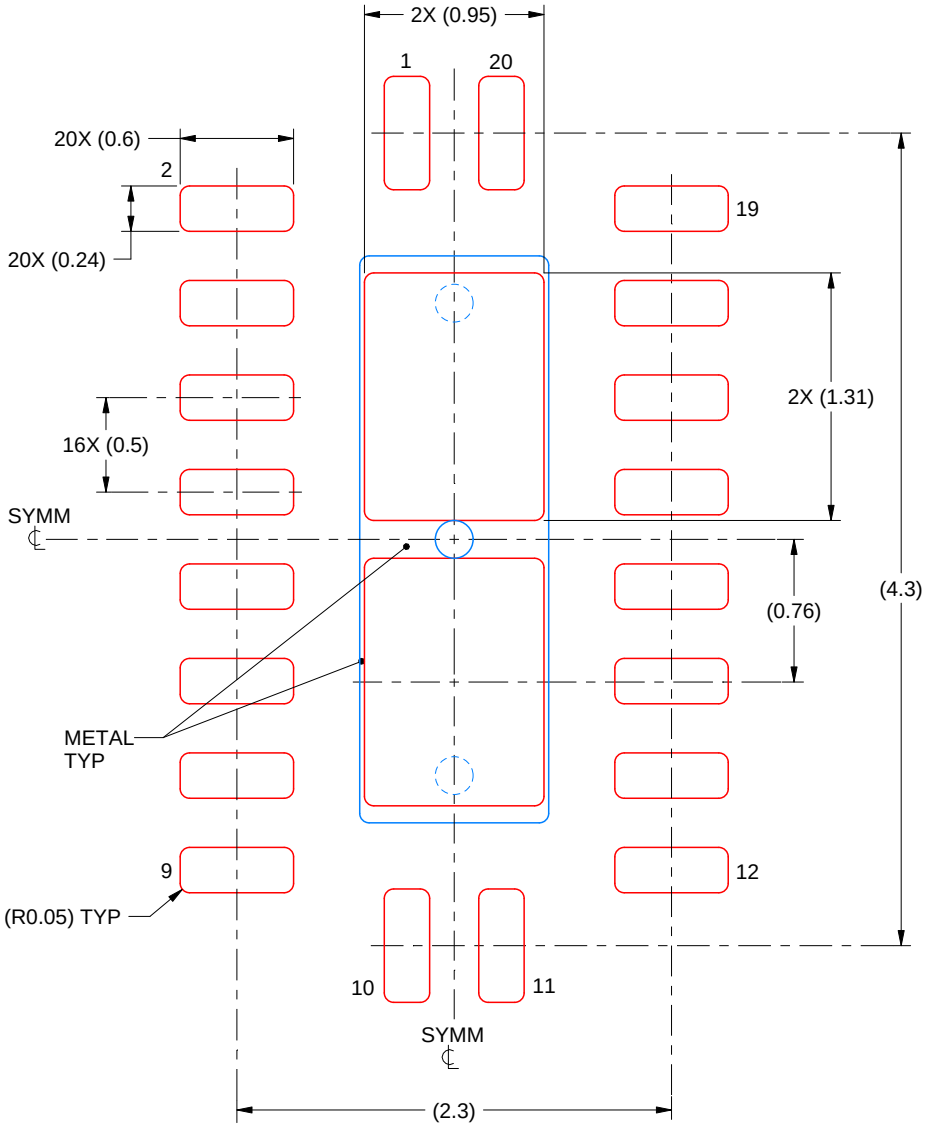


SOLDER MASK DETAILS

4231497/B 03/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4231497/B 03/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月