SN74LVC244A 、3 ステート出力のオクタル バッファ / ドライバ

1 特長

- 1.65 V～3.6 V で動作
- 5.5V までの入力電圧に対応
- –40℃ ～ +85℃ と –40℃ ～ +125℃ で動作が規定
- 5.9ns の最大 t_{pd} (3.3V 時)
- 標準 V_{OLP} (出力グランド バウンス) < 0.8V (V_{CC} = 3.3V、T_A = 25℃)
- 標準 V_{OHV} (出力 V_{OH} アンダーシュート) > 2V (V_{CC} = 3.3V、T_A = 25℃)
- すべてのポートでミクストモード シグナル動作をサポート (3.3V V_{CC} で 5V の入力または出力電圧)
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- 最高 5.5V の入力を V_{CC} レベルに変換する降圧トランスレータとして使用可能
- 超小型ロジック QFN パッケージ（最大高さ 0.5mm）で供給
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- サーバー
- LED ディスプレイ
- ネットワーク スイッチ
- 通信インフラ
- モーター ドライバ
- I/O エクスパンダ
- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム コントローラの間のレベル変換

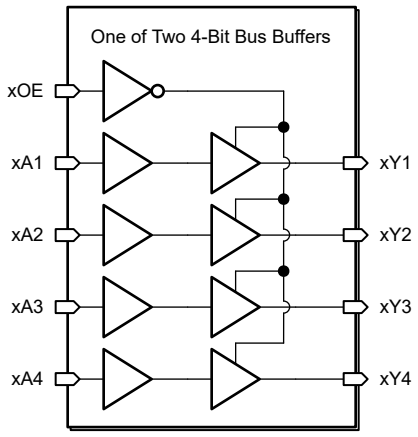
3 説明

これらのオクタル バス バッファ ゲートは、1.65V～3.6V の V_{CC} で動作するように設計されています。SN74LVC244A デバイスは、データ バス間の非同期通信用に設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74LVC244A	RKS (VQFN、20)	4.50mm × 2.50mm	4.50mm × 2.50mm
	N (PDIP、20)	24.33mm × 9.4mm	24.33mm × 6.35mm
	NS (SOP、20)	12.60mm × 7.8mm	12.60mm × 5.30mm
	DB (SSOP、20)	7.2mm × 7.8mm	7.2mm × 5.30mm
	DGV (TVSOP、20)	5.00mm × 6.4mm	5.00mm × 4.4mm
	DW (SOIC、20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	RGY (VQFN、20)	4.50mm × 3.50mm	4.50mm × 3.50mm
	ZQN (BGA、20)	4.00mm × 3.00mm	4.00mm × 3.00mm
	PW (TSSOP、20)	6.50mm × 6.4mm	6.50mm × 4.40mm
	RWP (X1QFN、20)	3.30mm × 2.50mm	3.30mm × 2.50mm
	DGS (VSSOP、20)	5.10mm × 4.90mm	5.10mm × 3.00mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

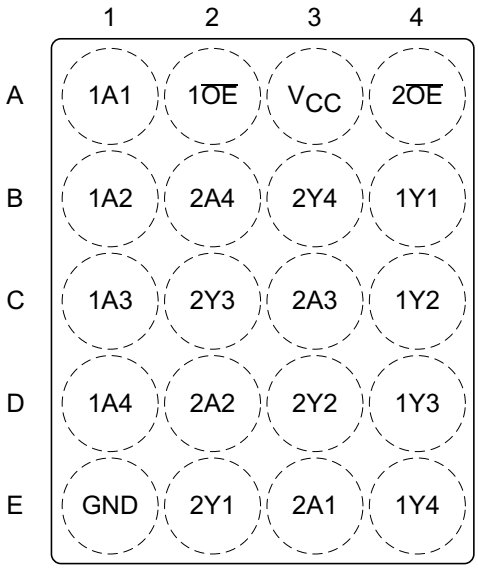
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....6
5.4 熱に関する情報.....6
5.5 電気的特性.....7
5.6 スイッチング特性.....8
5.7 動作特性.....8
5.8 代表的特性.....9
6 パラメータ測定情報.....10
7 詳細説明.....11
7.1 概要.....11
7.2 機能ブロック図.....11
7.3 機能説明.....11
7.4 デバイスの機能モード.....12
8 アプリケーションと実装.....14
8.1 アプリケーション情報.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....15
8.4 レイアウト.....15
9 デバイスおよびドキュメントのサポート.....17
9.1 ドキュメントのサポート.....17
9.2 ドキュメントの更新通知を受け取る方法.....17
9.3 サポート・リソース.....17
9.4 商標.....17
9.5 静電気放電に関する注意事項.....17
9.6 用語集.....17
10 改訂履歴.....17
11 メカニカル、パッケージ、および注文情報.....18

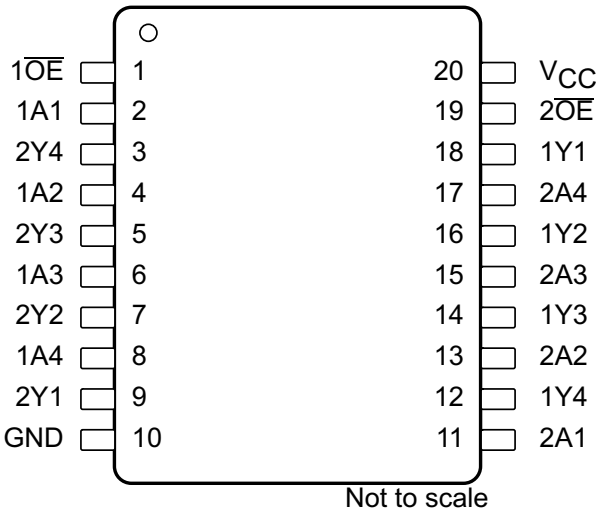
Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



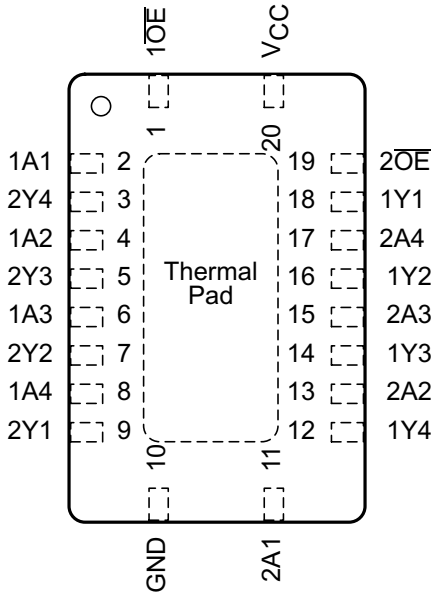
Not to scale

図 4-1. ZQN パッケージ 20 ピン BGA 上面図



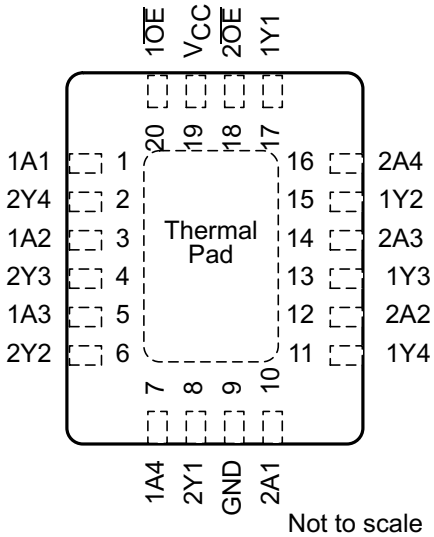
Not to scale

図 4-2. DB、DGV、DW、N、NS、DGS および PW パッケージ 20 ピン SSOP、TVSOP、SOIC、PDIP、SO、VSSOP および TSSOP 正面図



Not to scale

図 4-3. RGY および RKS パッケージ 20 ピン VQFN 上面図



Not to scale

図 4-4. RWP パッケージ 20 ピン X1QFN 上面図

表 4-1. ピンの機能

ピン				タイプ(1)	説明
名称	DB、DGV、DW、N、NS、PW、RGY、DGS および RKS	ZQN	RWP		
1A1	2	A1	1	I	ポート 1A1 入力
1A2	4	B1	3	I	ポート 1A2 入力
1A3	6	C1	5	I	ポート 1A3 入力
1A4	8	D1	7	I	ポート 1A4 入力
1 $\overline{OE}$	1	A2	20	I	出力イネーブル
1Y1	18	B4	17	O	ポート 1Y1 出力
1Y2	16	C4	15	O	ポート 1Y2 出力
1Y3	14	D4	13	O	ポート 1Y3 出力
1Y4	12	E4	11	O	ポート 1Y4 出力
2A1	11	E3	10	I	ポート 2A1 入力
2A2	13	D2	12	I	ポート 2A2 入力
2A3	15	C3	14	I	ポート 2A3 入力
2A4	17	B2	16	I	ポート 2A4 入力
2 $\overline{OE}$	19	A4	18	I	出力イネーブル
2Y1	9	E2	8	O	ポート 2Y1 出力
2Y2	7	D3	6	O	ポート 2Y2 出力
2Y3	5	C2	4	O	ポート 2Y3 出力
2Y4	3	B3	2	O	ポート 2Y4 出力
GND	10	E1	9	—	グランド
V_{CC}	20	A3	19	—	パワー ピン

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6.5	V
V_I	入力電圧(2)		-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	6.5	V
V_O	High または Low 状態にある任意の出力に印加される電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
P_{tot}	消費電力	T_A = -40℃～+125℃(4) (5)		500	mW
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) V_{CC} の値は、「*セクション 5.3*」の表に記載されています。
(4) DW パッケージの場合:70℃を上回ると、P_{tot} の値は 8mW/K で線形的に低下します。
(5) DB、DGV、N、NS、PW パッケージの場合:60℃を上回ると、P_{tot} の値は 5.5mW/K で線形的に低下します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)(1)

			T_A = 25℃		-40～+85℃		-40～+125℃		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	動作	1.65	3.6	1.65	3.6	1.65	3.6	V
		データ保持のみ	1.5		1.5		1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		0.65 × V_{CC}		0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		1.7		1.7		
		V_{CC} = 2.7V～3.6V	2		2		2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}		0.35 × V_{CC}		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7		0.7		0.7	
		V_{CC} = 2.7V～3.6V		0.8		0.8		0.8	
V_I	入力電圧		0	5.5	0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65V		-4		-4		-4	mA
		V_{CC} = 2.3V		-8		-8		-8	
		V_{CC} = 2.7V		-12		-12		-12	
		V_{CC} = 3V		-24		-24		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4		4		4	mA
		V_{CC} = 2.3V		8		8		8	
		V_{CC} = 2.7V		12		12		12	
		V_{CC} = 3V		24		24		24	
T_A	周辺温度	BGA パッケージ			-40	85			℃
		他のすべてのパッケージ					-40	125	

(1) デバイスが適切に動作することを検証するには、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	120.3	62.5	82.4	16.0	81.5	該当なし	°C/W
DGS (VSSOP)	20	124.5	62.9	79.2	7.8	78.7	該当なし	°C/W
RKS (VQFN)	20	87.2	93.4	59.8	24.9	59.6	44.3	°C/W
DB (SSOP)	20	121.7	86.8	87.8	44.7	87.0	該当なし	°C/W
DW (SOIC)	20	114.8	84.1	88.8	55.8	87.8	該当なし	°C/W
NS (SOP)	20	116.3	82.4	86.2	43.9	85.5	該当なし	°C/W
RGY (VQFN)	20	82.84	88.73	56.81	32.37	56.62	42.09	°C/W
N (PDIP)	20	61.6	46.5	42.5	34.6	42.4	該当なし	°C/W
NS (SO)	20	90.1	56.4	57.7	28.4	57.2	該当なし	°C/W
RWP (X1QFN)	20	79.9	63.2	46.4	2.6	46.3	該当なし	°C/W
DGV (TVSOP)	20	128.7	43.7	70.2	3.1	69.5	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	T_A = 25℃			-40～+85℃		-40～+125℃		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -100μA		1.65V～3.6V	V_{CC} - 0.2			V_{CC} – 0.2		V_{CC} – 0.3		V
	I_{OH} = -4mA		1.65V	1.29			1.2		1.05		
	I_{OH} = -8mA		2.3V	1.9			1.7		1.55		
	I_{OH} = -12mA		2.7V	2.2			2.2		2.05		
			3V	2.4			2.4		2.25		
	I_{OH} = -24mA		3V	2.3			2.2		2		
V_{OL}	I_{OL} = 100μA		1.65V～3.6V			0.1		0.2		0.3	V
	I_{OL} = 4mA		1.65V			0.24		0.45		0.6	
	I_{OL} = 8mA		2.3V			0.3		0.7		0.75	
	I_{OL} = 12mA		2.7V			0.4		0.4		0.6	
	I_{OL} = 24mA		3V			0.55		0.55		0.8	
I_I	V_I = 5.5 V または GND		3.6V			±1		±5		±20	μA
I_{off}	V_I または V_O = 5.5V		0			±1		±10		±20	μA
I_{OZ}	V_O = 0～5.5V		3.6V			±1		±10		±20	μA
I_{CC}	V_I = V_{CC} または GND	I_O = 0	3.6V			1		10		40	μA
	3.6 V ≤ V_I ≤ 5.5 V(1)					1		10		40	
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND		2.7V～3.6V			500		500		5000	μA
C_i	V_I = V_{CC} または GND		3.3V		4						pF
C_O	V_O = V_{CC} または GND		3.3V		5.5						pF

(1) これは、ディセーブル状態でのみ適用されます。

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			-40～+85℃		-40～+125℃		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A	Y	1.5V		7	14.4	14.9		16.4		ns
			1.8V ± 0.15V		5.9	10.4	10.9		12.4		
			2.5V ± 0.2V		4.2	7.4	7.9		10		
			2.7V		4.2	6.7	6.9		8.2		
			3.3V±0.3V		3.9	5.7	5.9		7.2		
t_{en}	$\overline{OE}$	Y	1.5V		8.3	17.8	18.3		19.8		ns
			1.8V±0.15V		6.4	12.1	12.6		14.1		
			2.5V±0.2V		4.6	9.1	9.6		11.7		
			2.7V		5	8.4	8.6		10.3		
			3.3V±0.3V		4.5	7.4	7.6		9.4		
t_{dis}	$\overline{OE}$	Y	1.5V		7.2	15.6	16.1		17.6		ns
			1.8V±0.15V		5.8	11.6	12.1		13.6		
			2.5V±0.2V		3.7	7.3	7.8		9.9		
			2.7V		3.8	6.6	6.8		8.6		
			3.3V±0.3V		3.8	6.3	6.5		8		
$t_{sk(o)}$			3.3V±0.3V				1		1.5		ns

5.7 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd} バッファ / ドライバあたりの消費電力容量	出力イネーブル	f = 10MHz	1.8V	43	pF
			2.5V	43	
			3.3V	44	
	出力ディセーブル	f = 10MHz	1.8V	1	
			2.5V	1	
			3.3V	2	

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

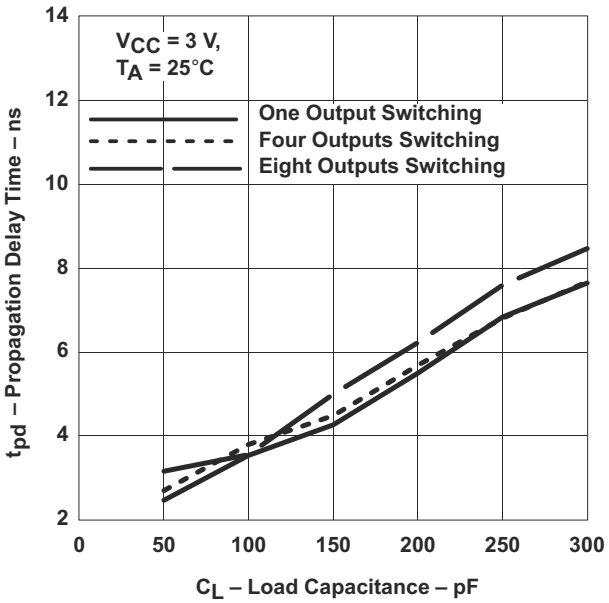


図 5-1. 伝搬遅延（Low から High への遷移）と負荷容量

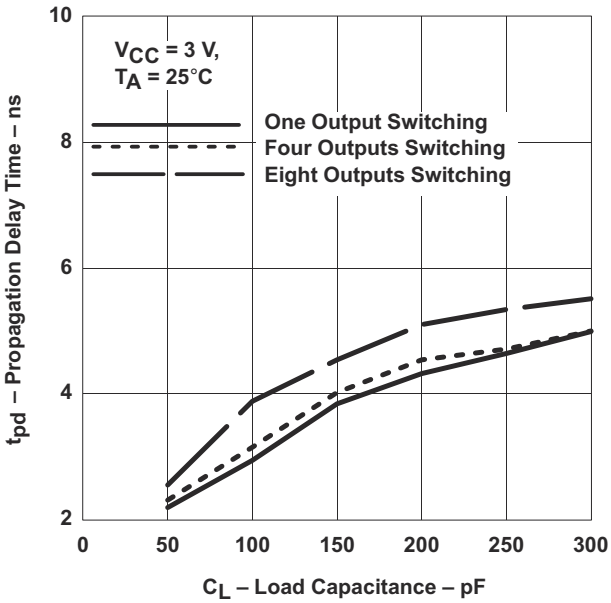
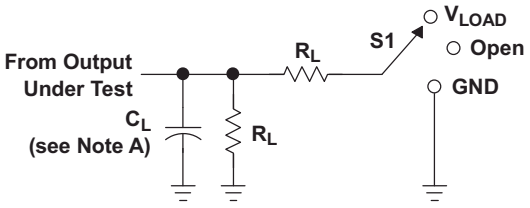


図 5-2. 伝搬遅延（High から Low への遷移）と負荷容量

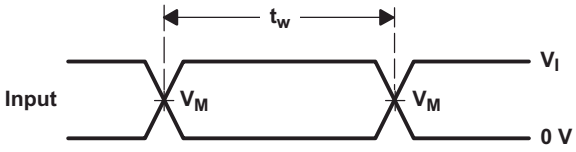
6 パラメータ測定情報



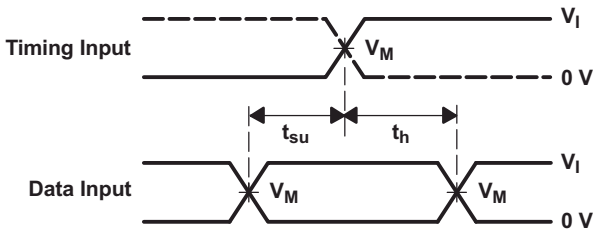
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

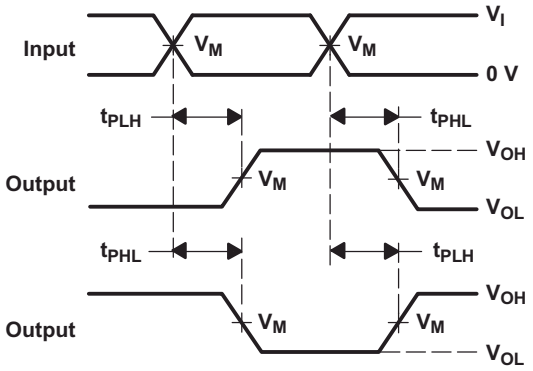
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.5 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	2 kΩ	0.1 V
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V



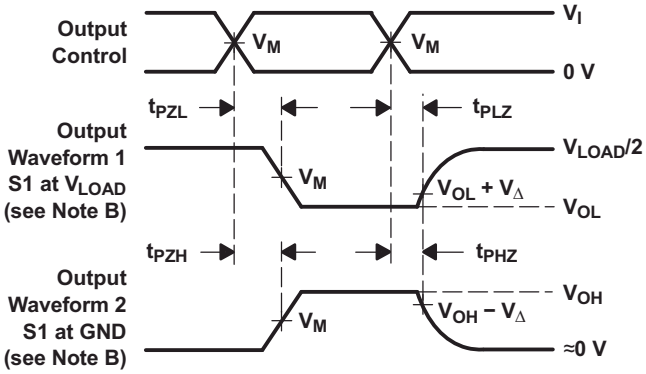
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC244A には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。*x* はバンク番号、*n*

各出力イネーブル (x$\overline{OE}$) は 4 つのバッファを制御します。x$\overline{OE}$ ピンが Low 状態のとき、バンク x のすべてのバッファの出力がイネーブルになります。x$\overline{OE}$ ピンが High 状態のとき、バンク x のすべてのバッファの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

電源オンまたは電源オフ時にデバイスを高インピーダンス状態にするには、両方の $\overline{OE}$ ピンをプルアップ抵抗経由で V_{CC} に接続します。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

7.2 機能ブロック図

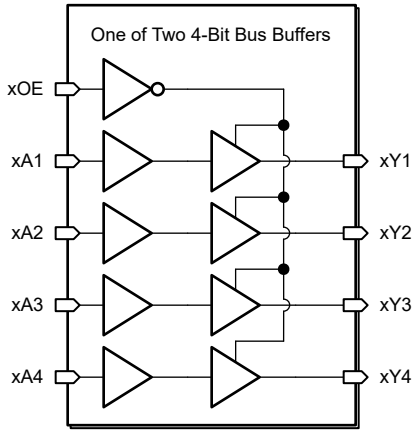


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3-state 出力 (High 駆動、Low 駆動、ハイ インピーダンス) が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮してください。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルよりも大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

ハイ インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。ハイ インピーダンス状態では、デバイスは出力電圧を制御しません。出力電流は、外部要因に依存します。フローティング ノードは、他のドライバが接続されていないノードであり、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、デバイスがハイ インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、10kΩ 抵抗を使用すると、これらの要件を満たすことができます。

未使用の 3-state CMOS 出力は未接続のままにします。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディスエーブルになっているときは、入力電圧に関係なく、出力は電流のソースとシンクのどちらも行いません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさなければ、消費電力が過剰になり、発振を引き起こす可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は V_{CC} または GND に終端させます。システムが常に入力を駆動していない場合は、有効な入力電圧を与えるために、プルアップ抵抗またはプルダウン抵抗を追加することを検討してください。抵抗値は複数の要因によって異なりますが、推奨される値である 10kΩ を使用すれば、通常はすべての要件を満たすことができます。

7.3.4 クランプ ダイオード構造

図 7-2 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

注意
*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

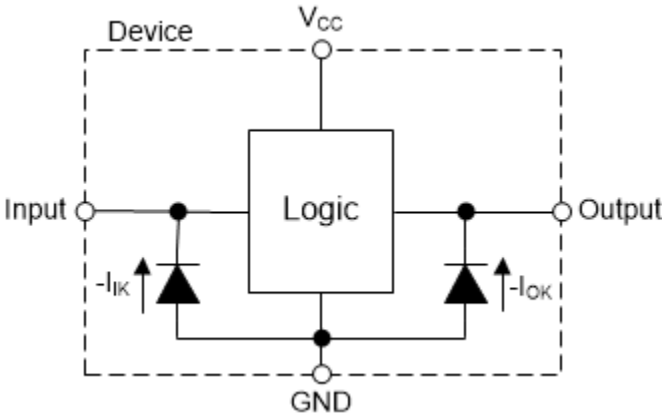


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SN74LVC244A の機能モードを示します。

表 7-1. 機能表

入力 (1)		出力
$\overline{OE}$	A	Y
L	L	L
L	H	H

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 機能表 (続き)

入力 (1)		出力
$\overline{OE}$	A	Y
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC244A は出力ドライブまたは PCB パターン長が懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる高駆動能力の CMOS デバイスです。

8.2 代表的なアプリケーション

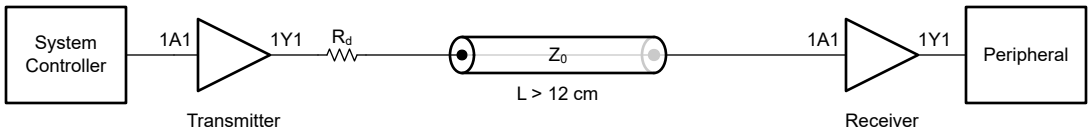


図 8-1. アプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合することを避けてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、「*推奨動作条件*」表の (Δt/ΔV) を参照してください。
   - 規定された High および Low レベルについては、「*推奨動作条件*」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 推奨最大出力条件:
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、「*絶対最大定格*」表に記載されています。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

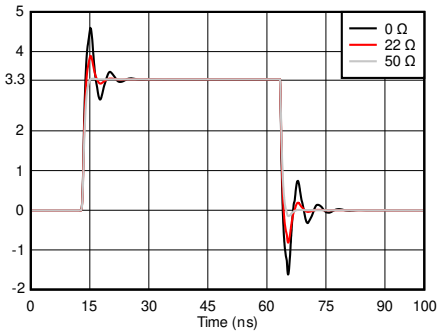


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでのシグナル インテグリティをシミュレート

Copyright © 2026 Texas Instruments Incorporated

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

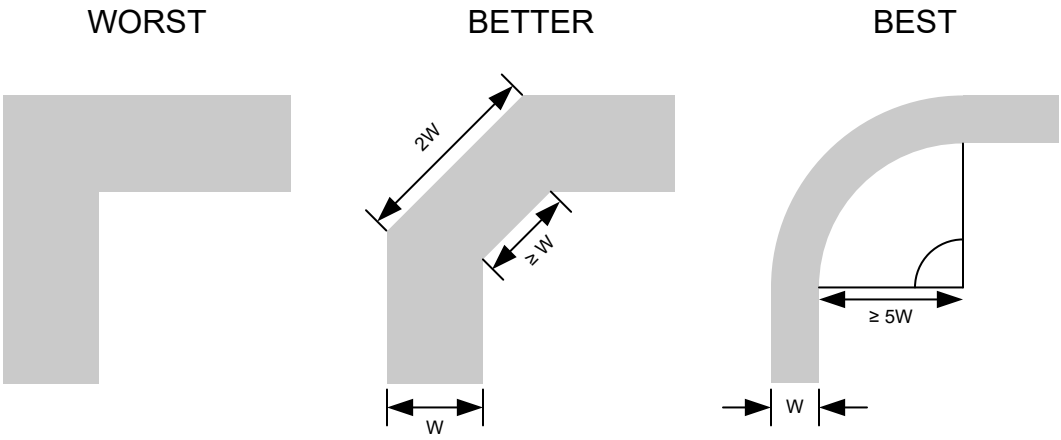


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

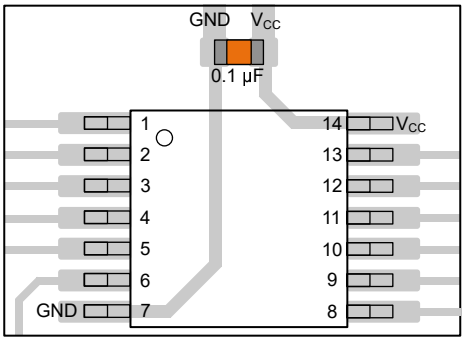


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

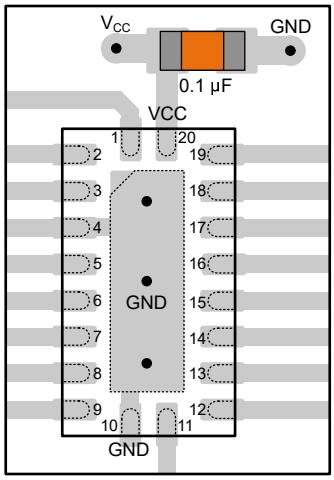


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

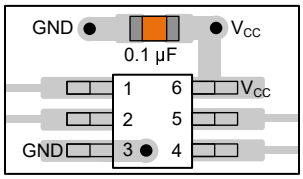


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

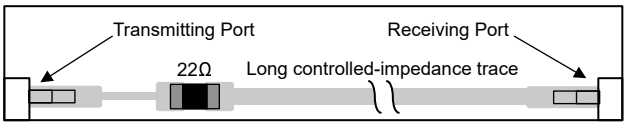


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from FEBRUARY 2, 2026 to JUNE 26, 2026 (from Revision AF (February 2026) to Revision AG (June 2026)) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- DB パッケージの RθJA を以下のとおり変更：108.1℃/W >>121.7℃/W 6
- DB パッケージの RθJC(top) を以下のとおり変更：70.2℃/W >>86.8℃/W 6
- DB パッケージの ΨJT を以下のとおり変更：63.3℃/W >>87.8℃/W 6
- DB パッケージの ΨJB を以下のとおり変更：30.6℃/W >>44.7℃/W 6

Copyright © 2026 Texas Instruments Incorporated

- DW パッケージの RθJA を以下のとおり変更：90.9℃/W >>114.8℃/W 6
- DW パッケージの RθJC(top) を以下のとおり変更：55.3℃/W >>84.1℃/W 6
- DW パッケージの ΨJT を以下のとおり変更：58.8℃/W >>88.8℃/W 6
- DW パッケージの ΨJB を以下のとおり変更：29.1℃/W >>55.8℃/W 6
- NS パッケージの RθJA を以下のとおり変更：90.1℃/W >>116.3℃/W 6
- NS パッケージの RθJC(top) を以下のとおり変更：56.4℃/W >>82.4℃/W 6
- NS パッケージの ΨJT を以下のとおり変更：57.7℃/W >>86.2℃/W 6
- NS パッケージの ΨJB を以下のとおり変更：28.4℃/W >>43.9℃/W 6
- PW パッケージの RθJA を以下のとおり変更：114.7℃/W >>120.3℃/W 6
- PW パッケージの RθJC(top) を以下のとおり変更：48.4℃/W >>62.5℃/W 6
- PW パッケージの ΨJT を以下のとおり変更：65.6℃/W >>82.4℃/W 6
- PW パッケージの ΨJB を以下のとおり変更：6.8℃/W >>16℃/W 6
- RGY パッケージの RθJA を以下のとおり変更：50.3℃/W >>82.84℃/W 6
- RGY パッケージの RθJC(top) を以下のとおり変更：58.4℃/W >>88.73℃/W 6
- RGY パッケージの ΨJT を以下のとおり変更：28.3℃/W >>56.81℃/W 6
- RGY パッケージの ΨJB を以下のとおり変更：4.9℃/W >>32.37℃/W 6
- RGY パッケージの RθJC(bot) を以下のとおり変更：28.4℃/W >>56.62℃/W 6

Changes from Revision AE (August 2025) to Revision AF (February 2026) **Page**

- DGS (VSSOP、20) パッケージオプションを追加。 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC244ADBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBR.B	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBRE4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBRG4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C244A
SN74LVC244ADGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVR.B	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVRG4	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVRG4.B	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADW	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADW.B	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWE4	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWG4	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR.B	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4.B	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244AN	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74LVC244AN
SN74LVC244AN.B	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74LVC244AN
SN74LVC244ANSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSR.B	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4.B	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244APW	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC244APW.B	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWE4	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWG4	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWT	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWT.B	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWTE4	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWTG4	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARGYR	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYR.A	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYR.B	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYRG4	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPR	Active	Production	X1QFN (RWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPR.A	Active	Production	X1QFN (RWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPR.B	Active	Production	X1QFN (RWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPRG4.A	Active	Production	X1QFN (RWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPRG4.B	Active	Production	X1QFN (RWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC244A :

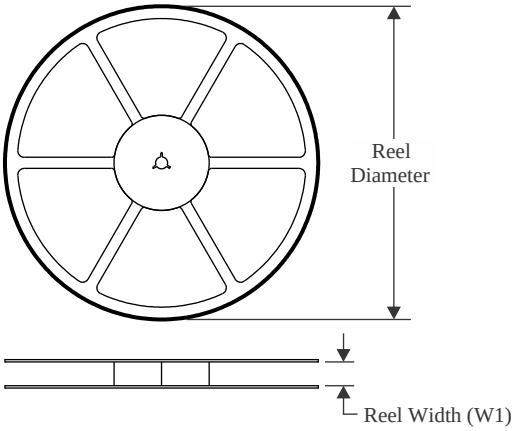
- Automotive : SN74LVC244A-Q1

NOTE: Qualified Version Definitions:

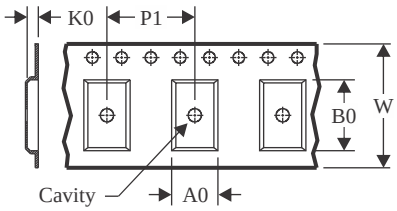
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

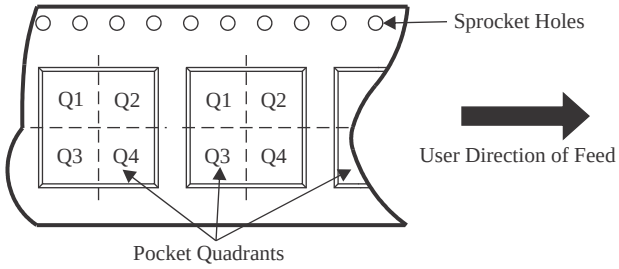


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

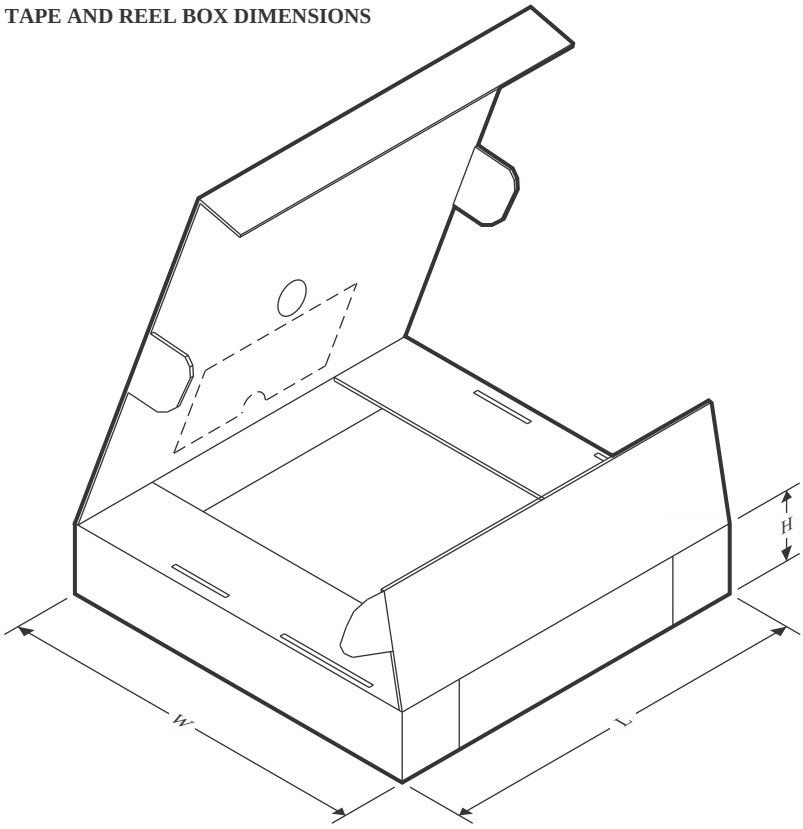
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC244ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LVC244ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LVC244ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC244ADGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC244ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LVC244ADWRG4	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LVC244ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVC244ANSRG4	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVC244APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74LVC244APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244APWRG3	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74LVC244APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244APWT	TSSOP	PW	20	250	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LVC244ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
SN74LVC244ARWPR	X1QFN	RWP	20	2000	178.0	13.5	2.85	3.65	0.75	8.0	12.0	Q1

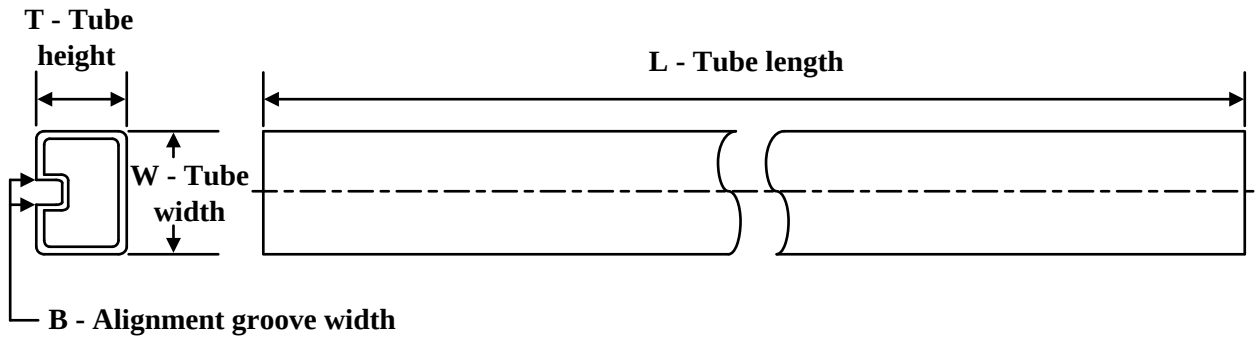
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC244ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LVC244ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LVC244ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LVC244ADGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LVC244ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LVC244ADWRG4	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LVC244ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVC244ANSRG4	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVC244APWR	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74LVC244APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244APWRG3	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74LVC244APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244APWT	TSSOP	PW	20	250	353.0	353.0	32.0
SN74LVC244ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LVC244ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0
SN74LVC244ARWPR	X1QFN	RWP	20	2000	189.0	185.0	36.0

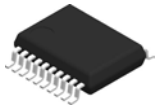
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74LVC244ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADWE4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADWG4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244AN	N	PDIP	20	20	506	13.97	11230	4.32
SN74LVC244AN.B	N	PDIP	20	20	506	13.97	11230	4.32
SN74LVC244APW	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APWE4	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APWG4	PW	TSSOP	20	70	530	10.2	3600	3.5

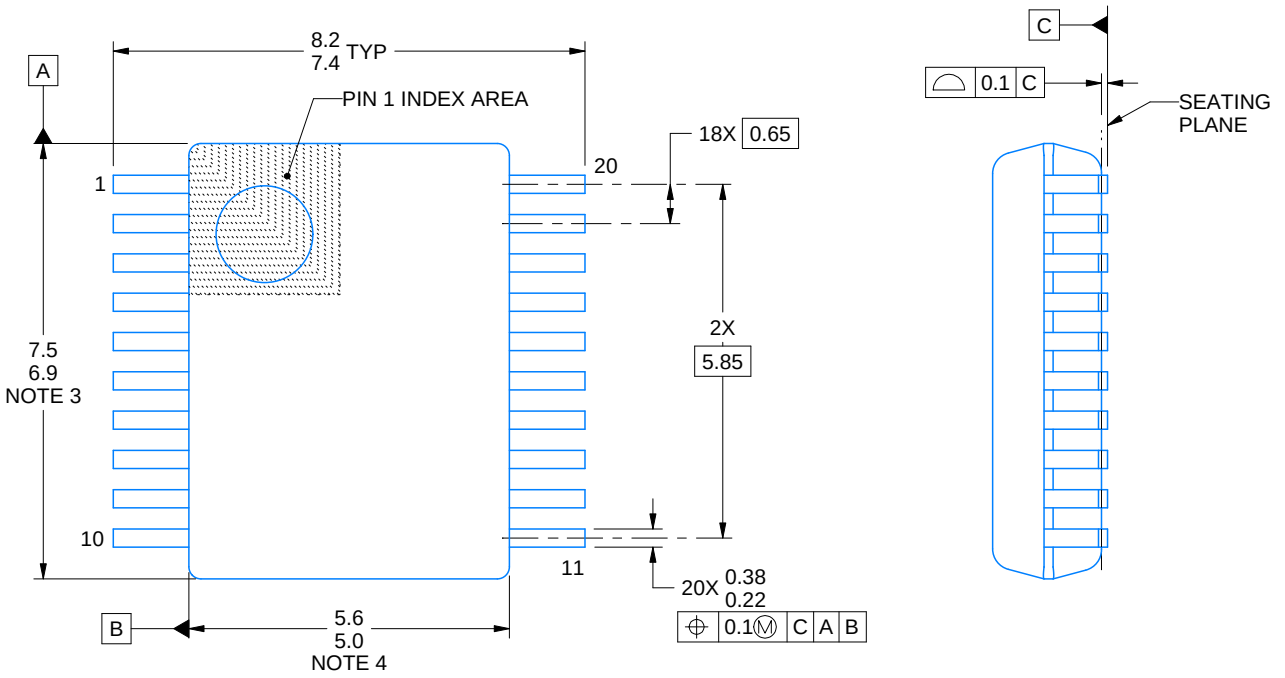
DB0020A

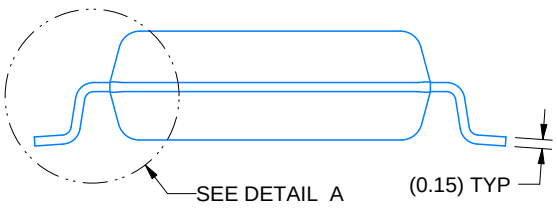


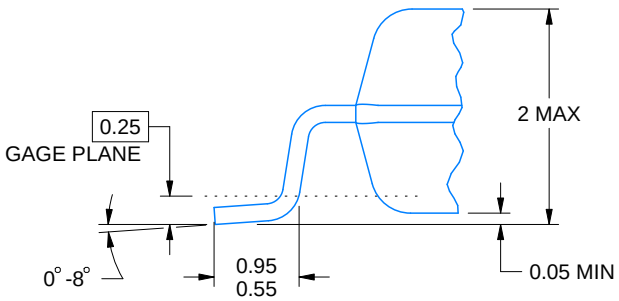
PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE





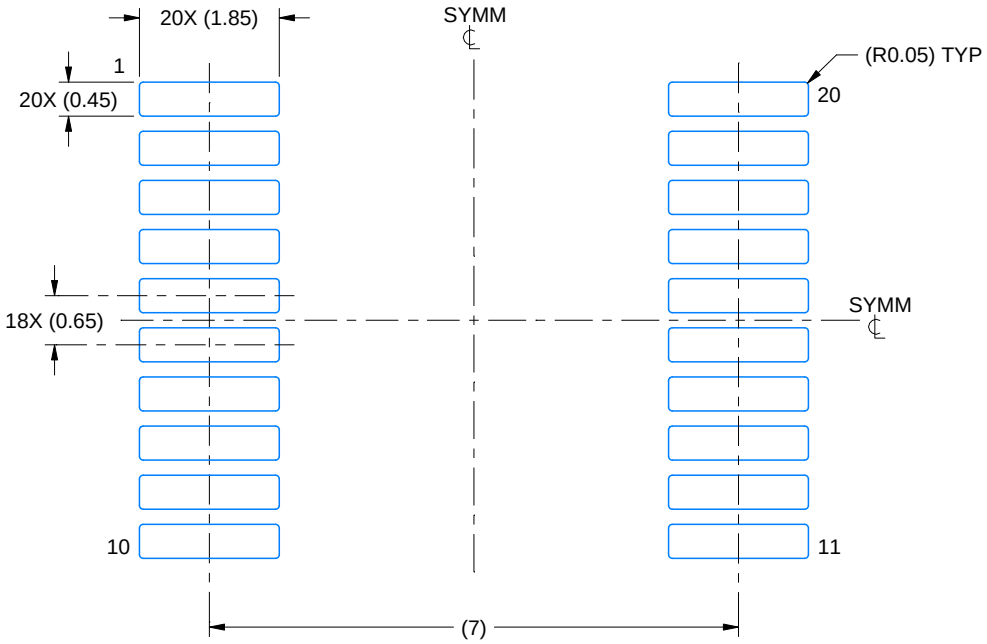


DETAIL A
TYPICAL

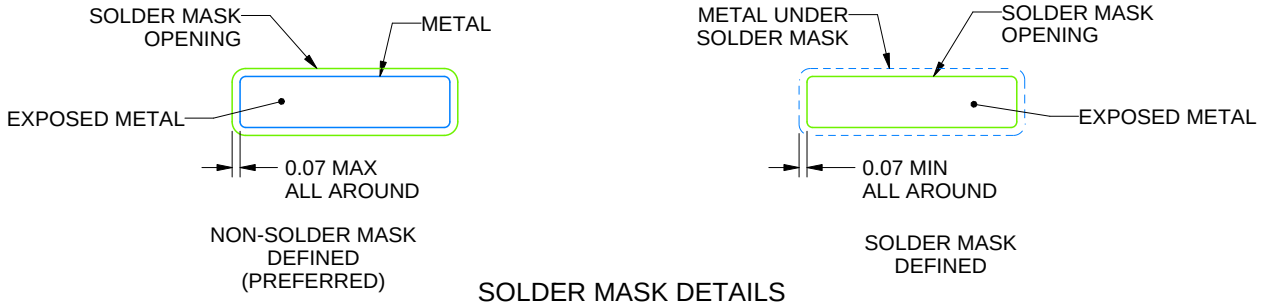
4214851/B 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

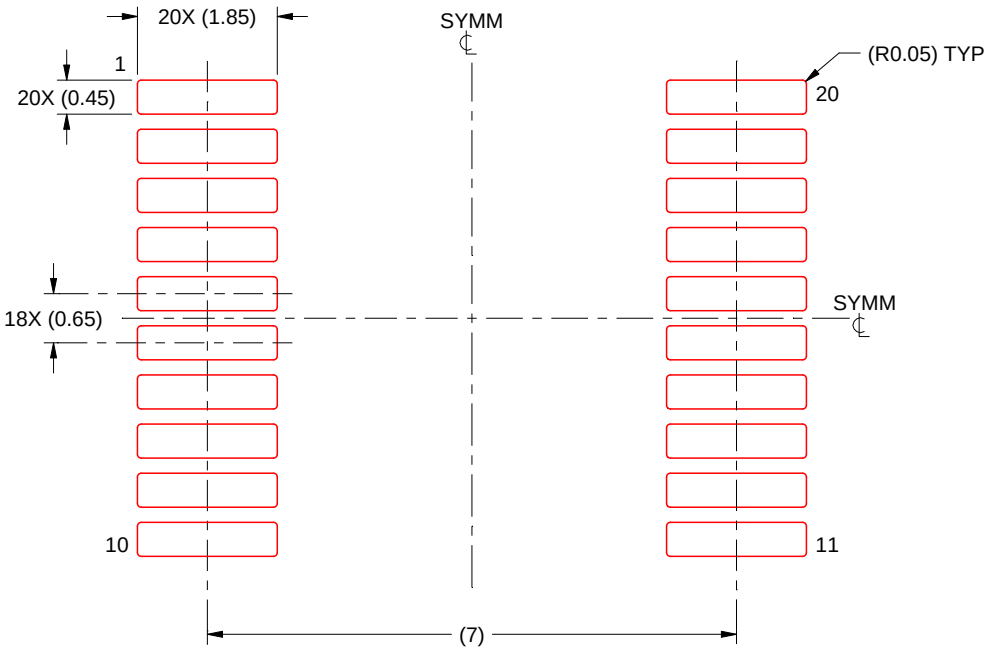
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

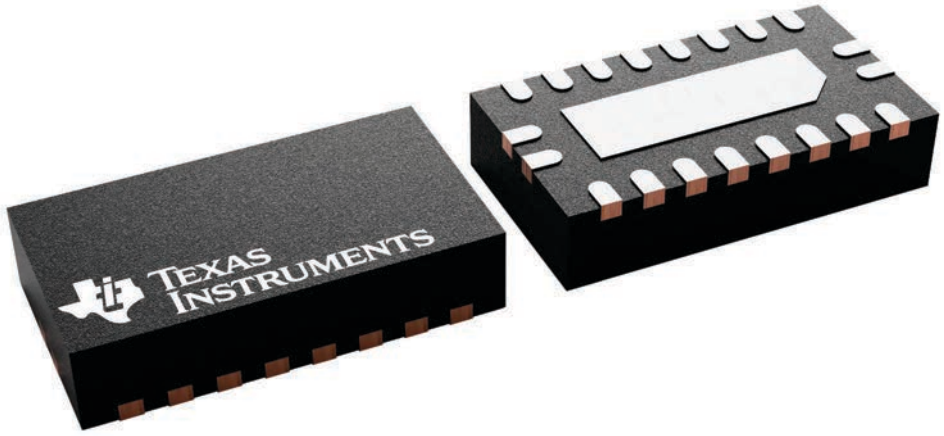
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



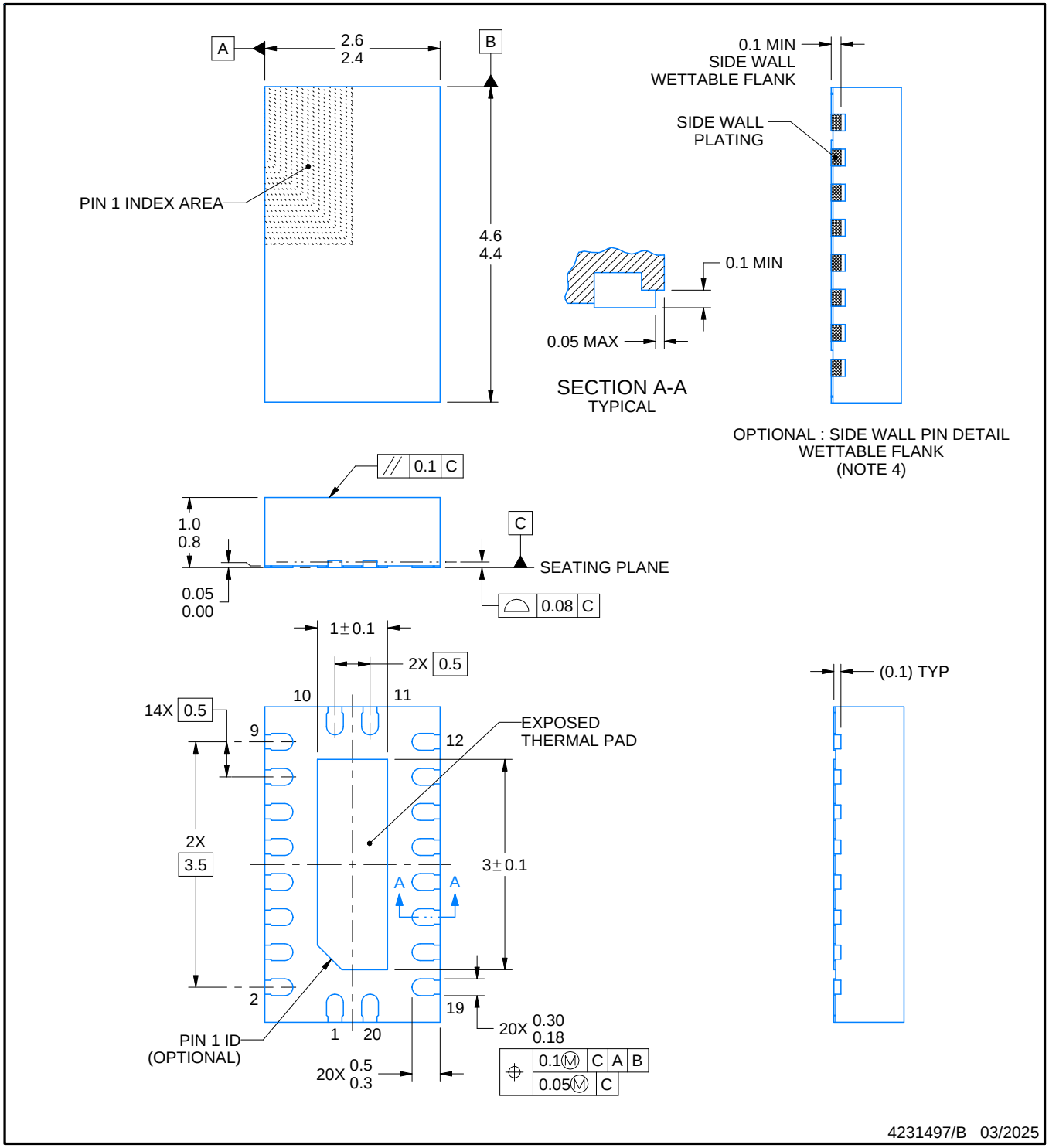
4226872/A

RKS0020C

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

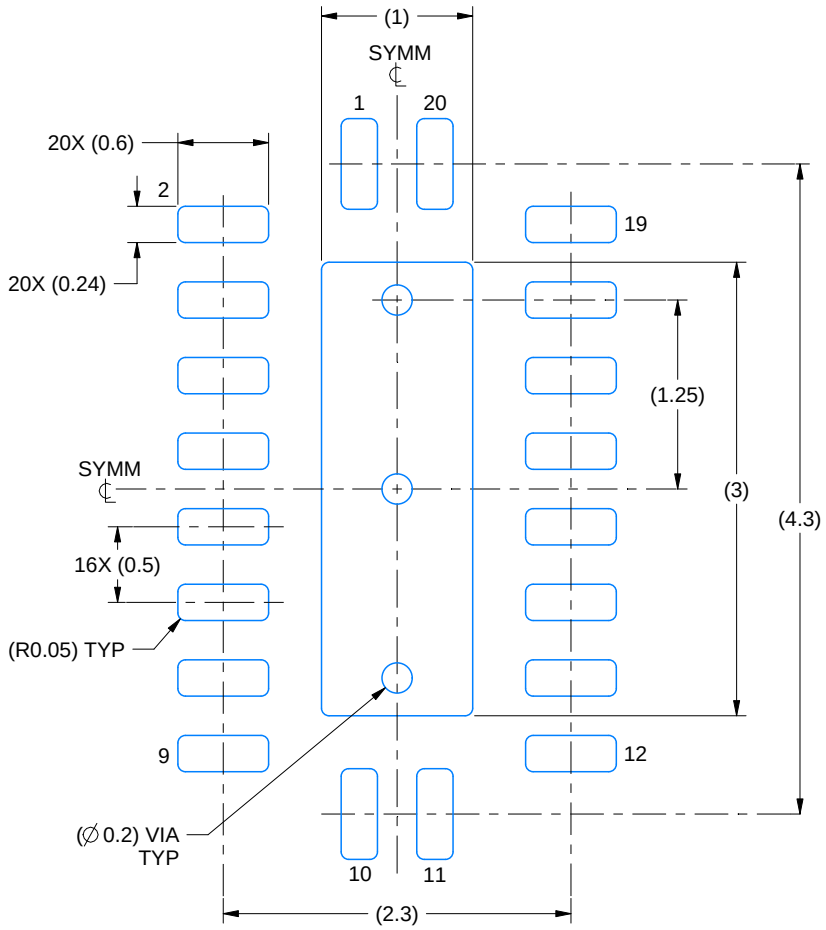
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only

EXAMPLE BOARD LAYOUT

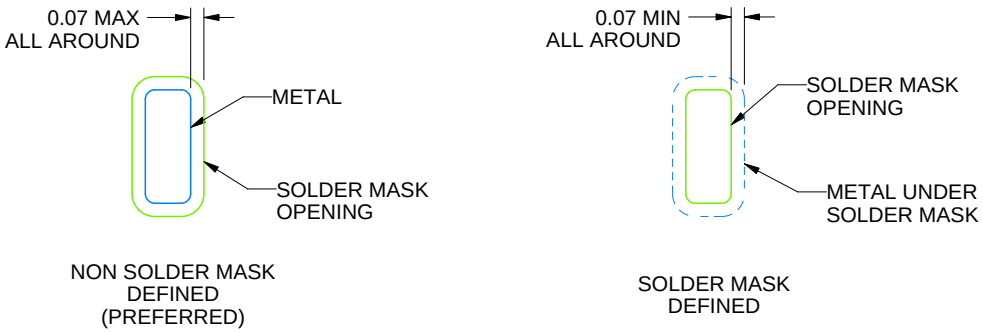
RKS0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X

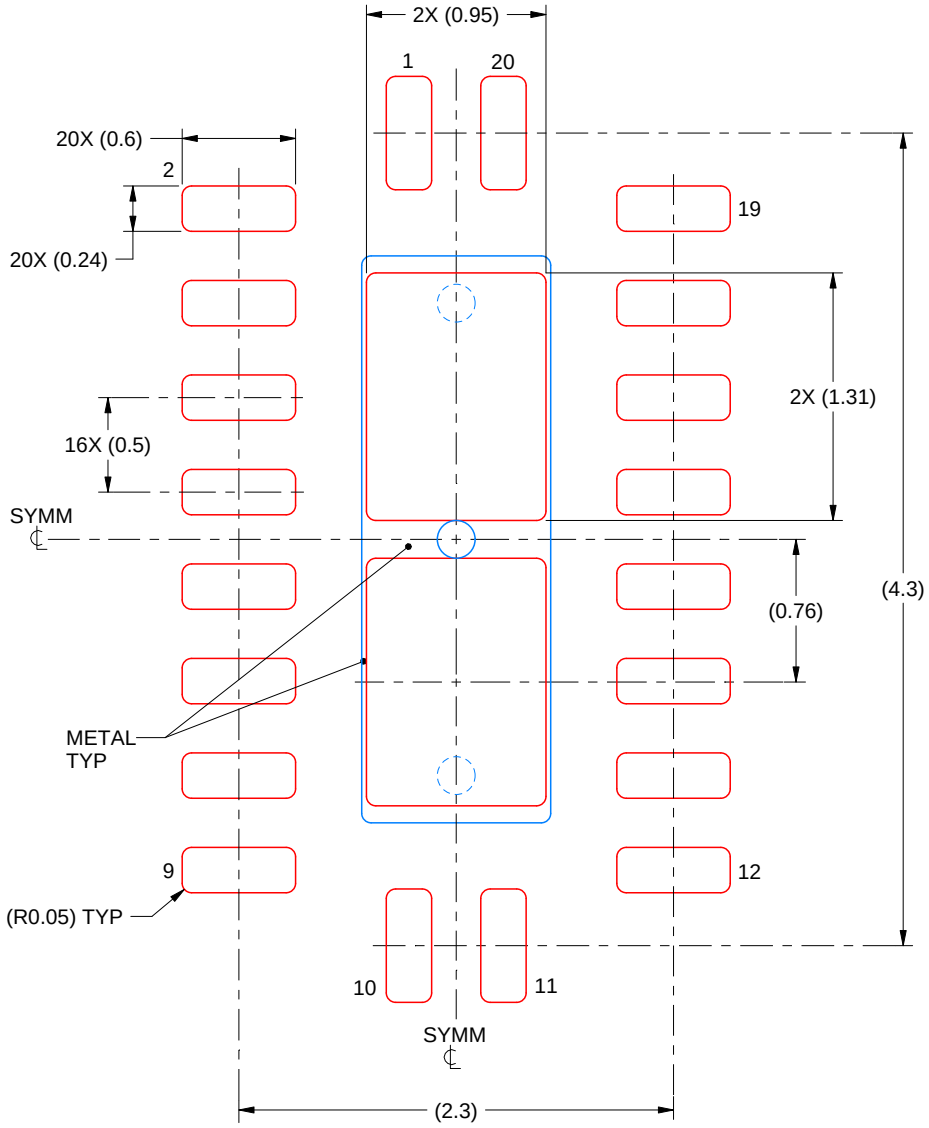


SOLDER MASK DETAILS

4231497/B 03/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4231497/B 03/2025

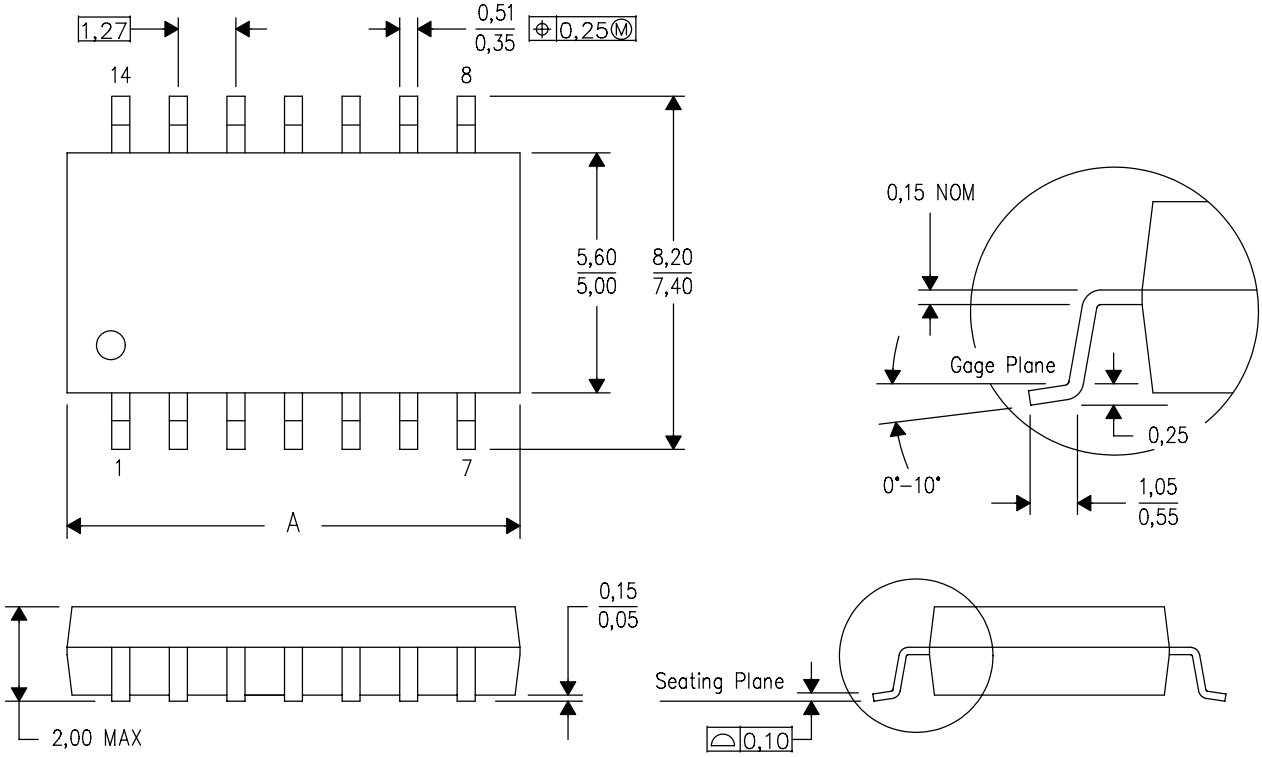
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

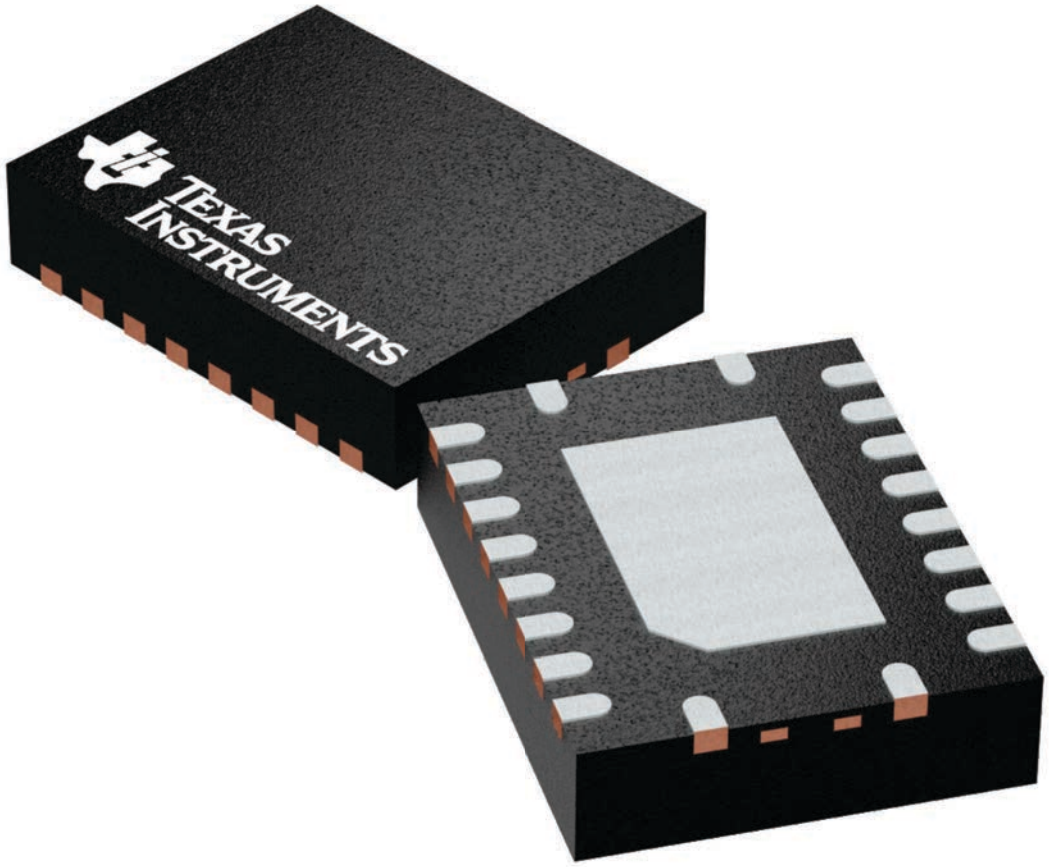
RGY 20

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



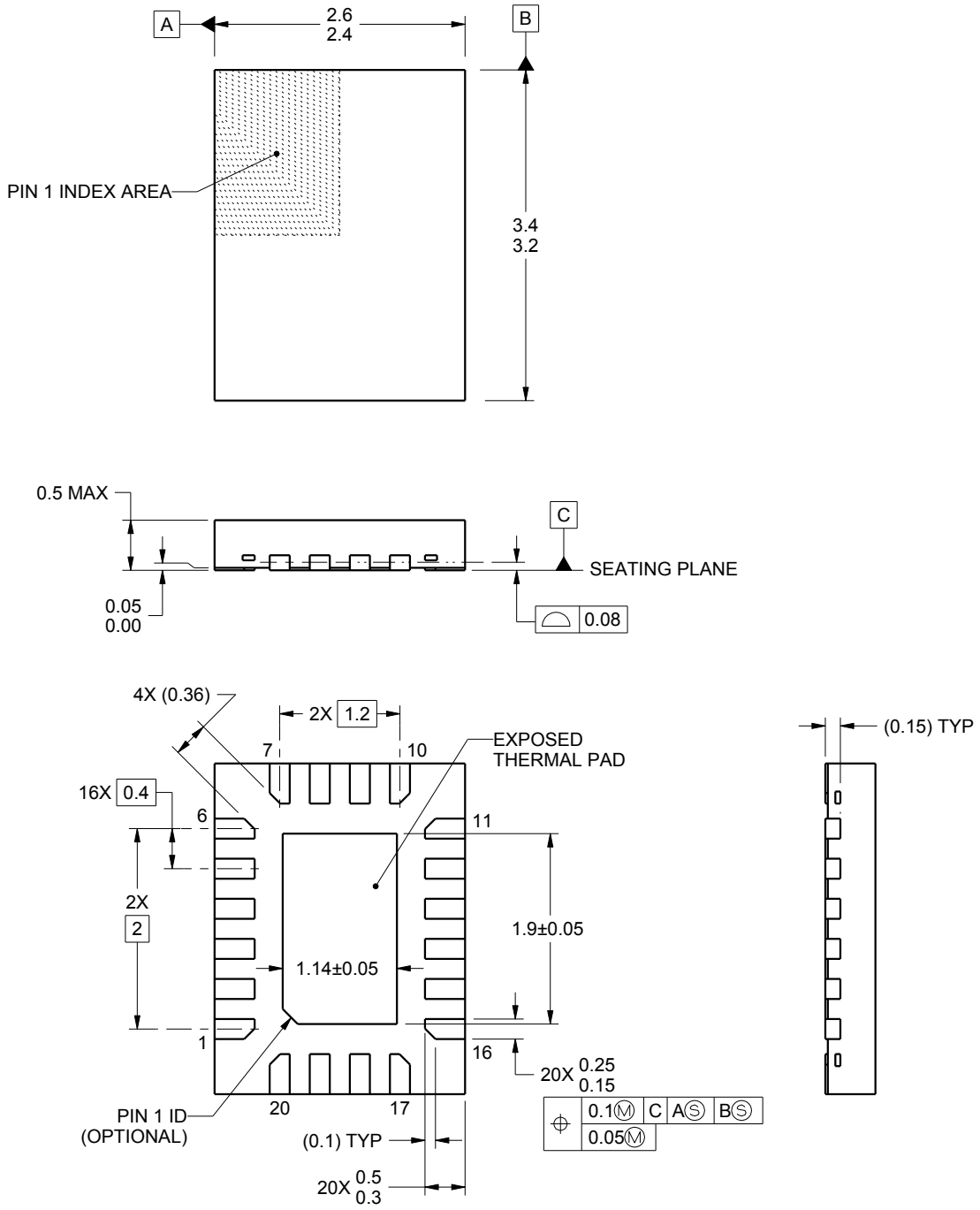
4225264/A

PACKAGE OUTLINE

RWP0020A

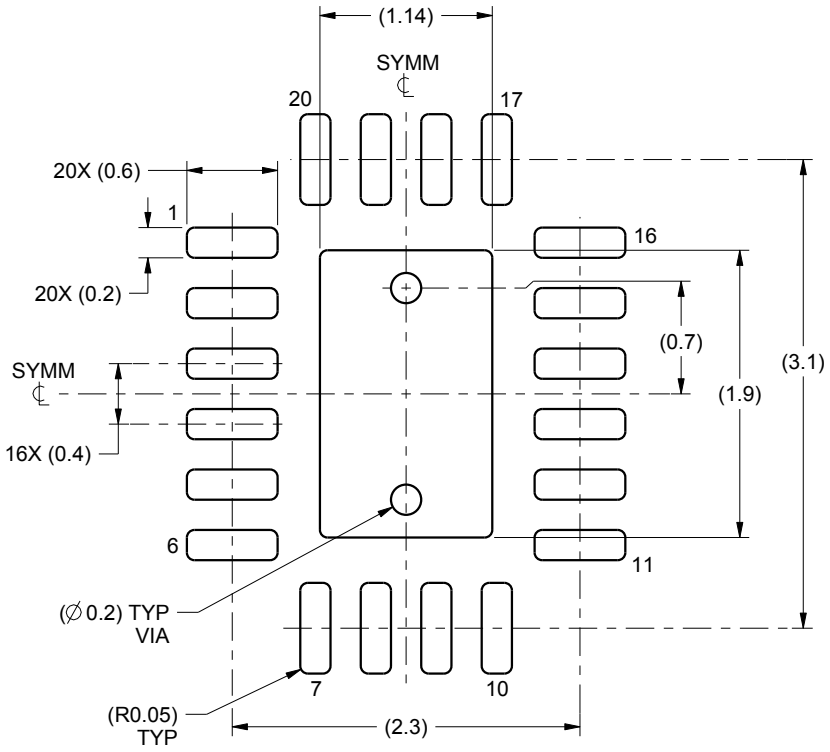
X1QFN - 0.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

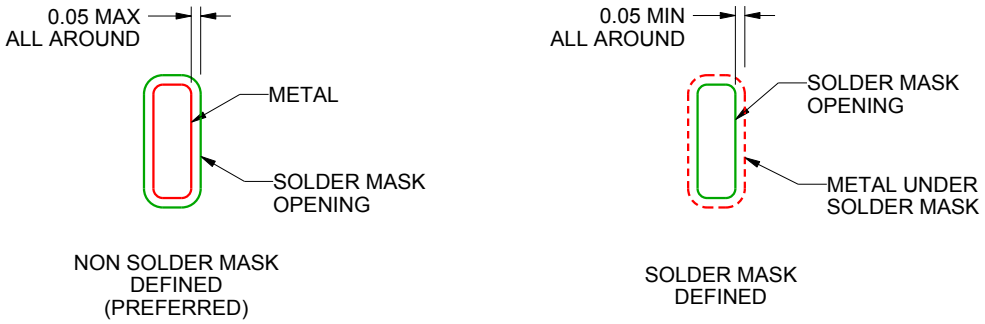


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

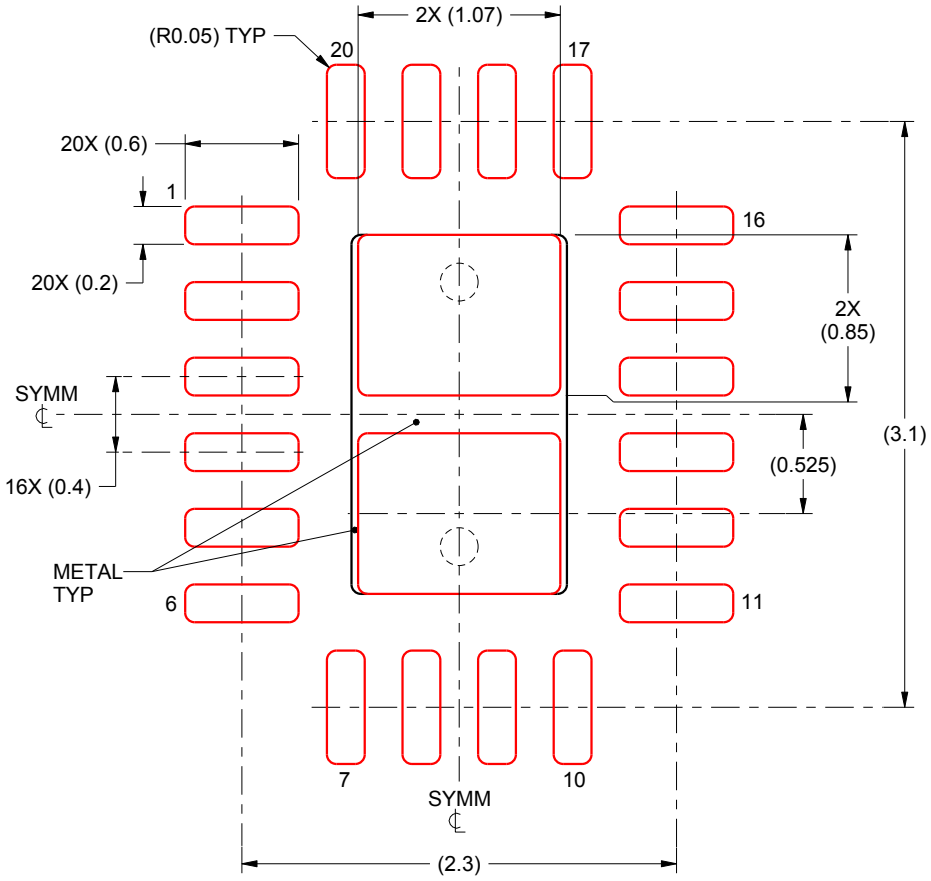


SOLDER MASK DETAILS

4221912/A 03/2015

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4221912/A 03/2015

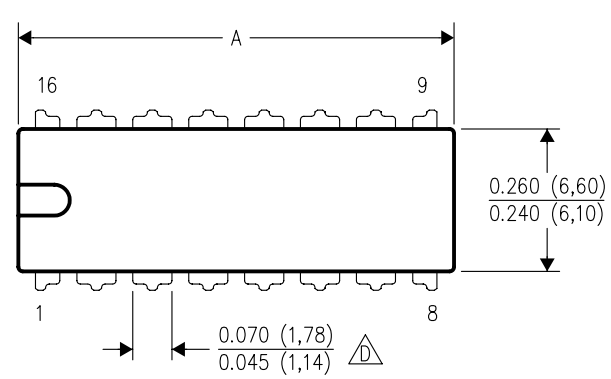
NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

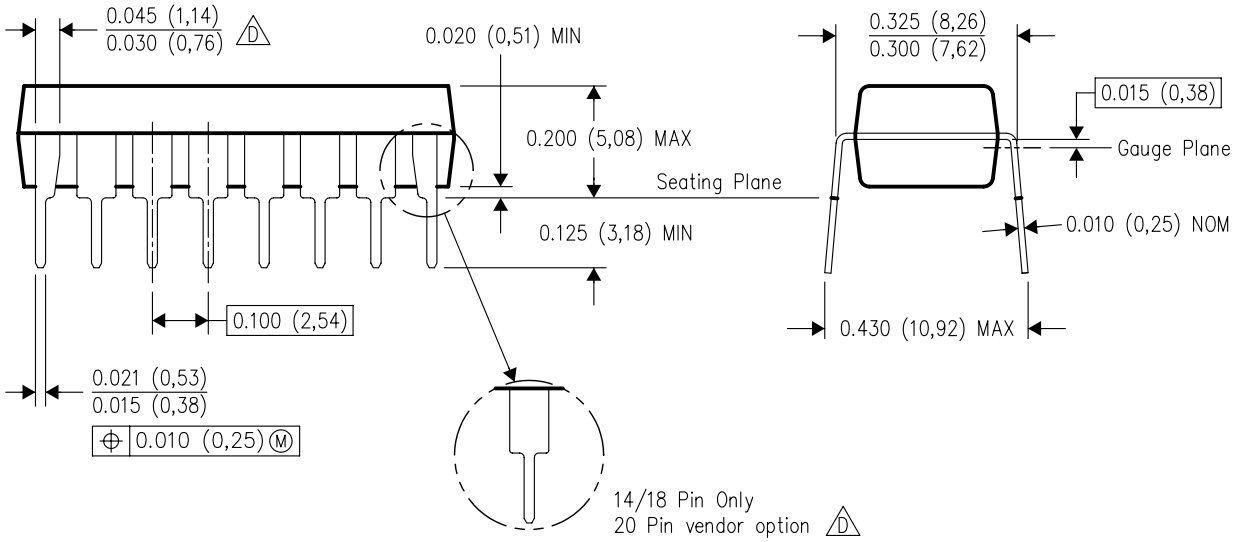
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

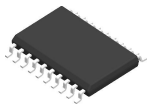


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

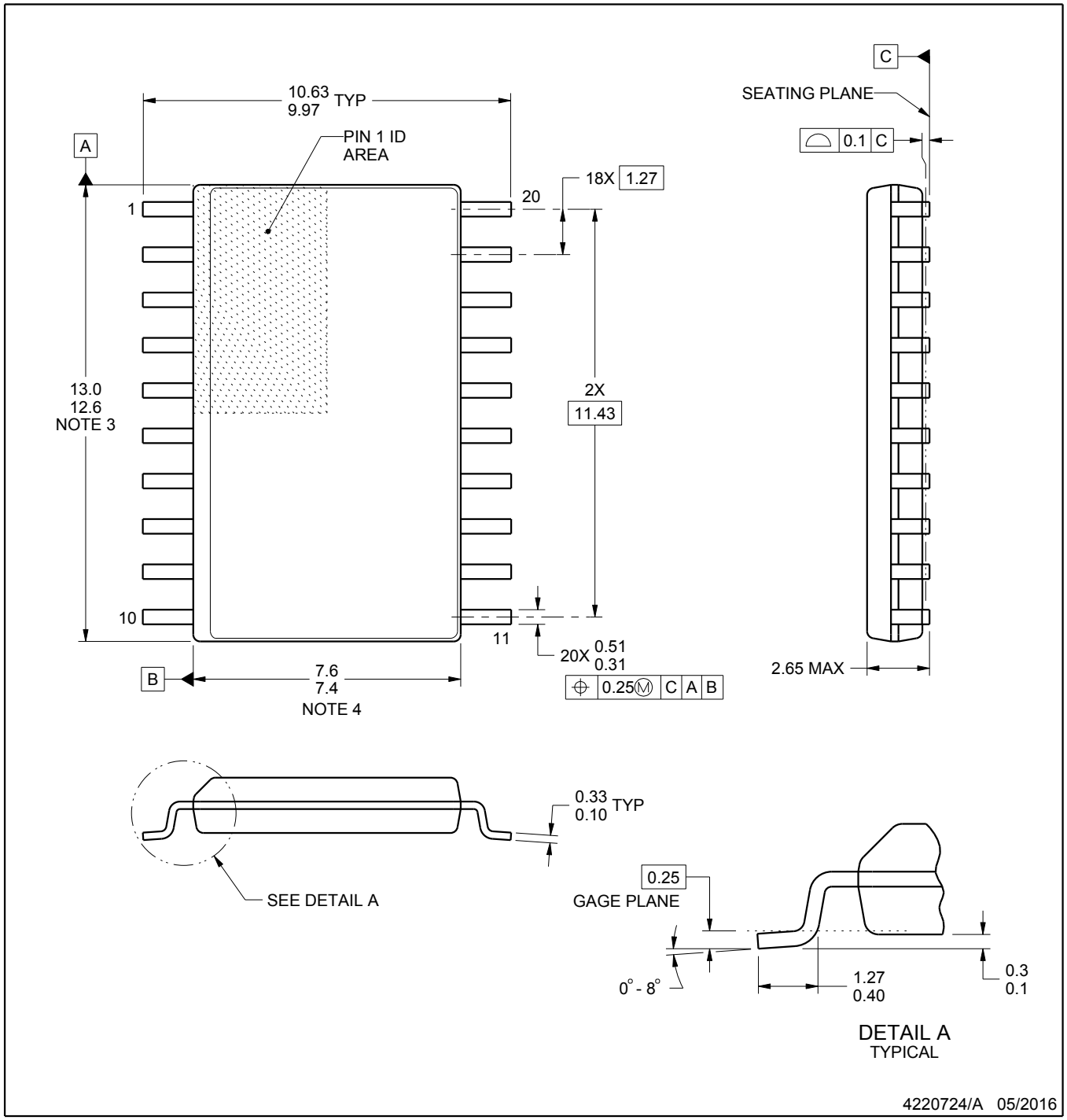


PACKAGE OUTLINE

DW0020A

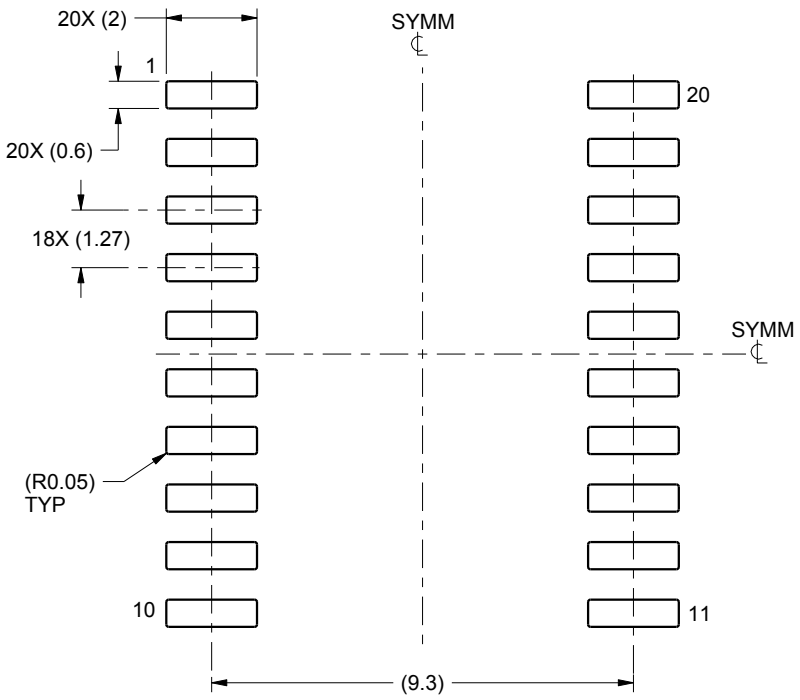
SOIC - 2.65 mm max height

SOIC

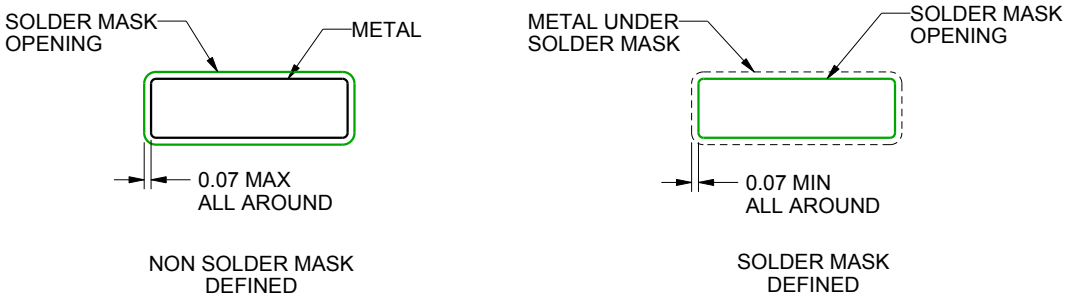


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

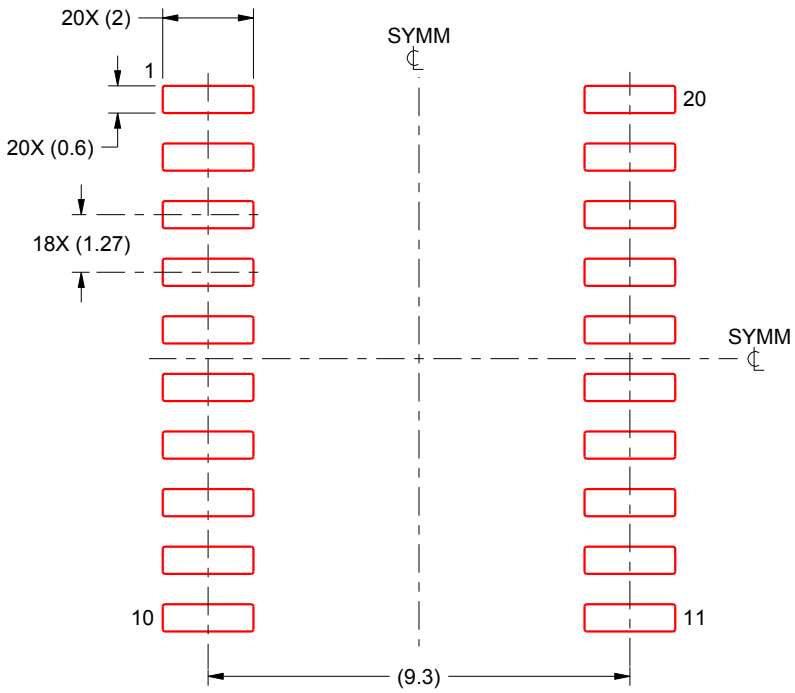


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

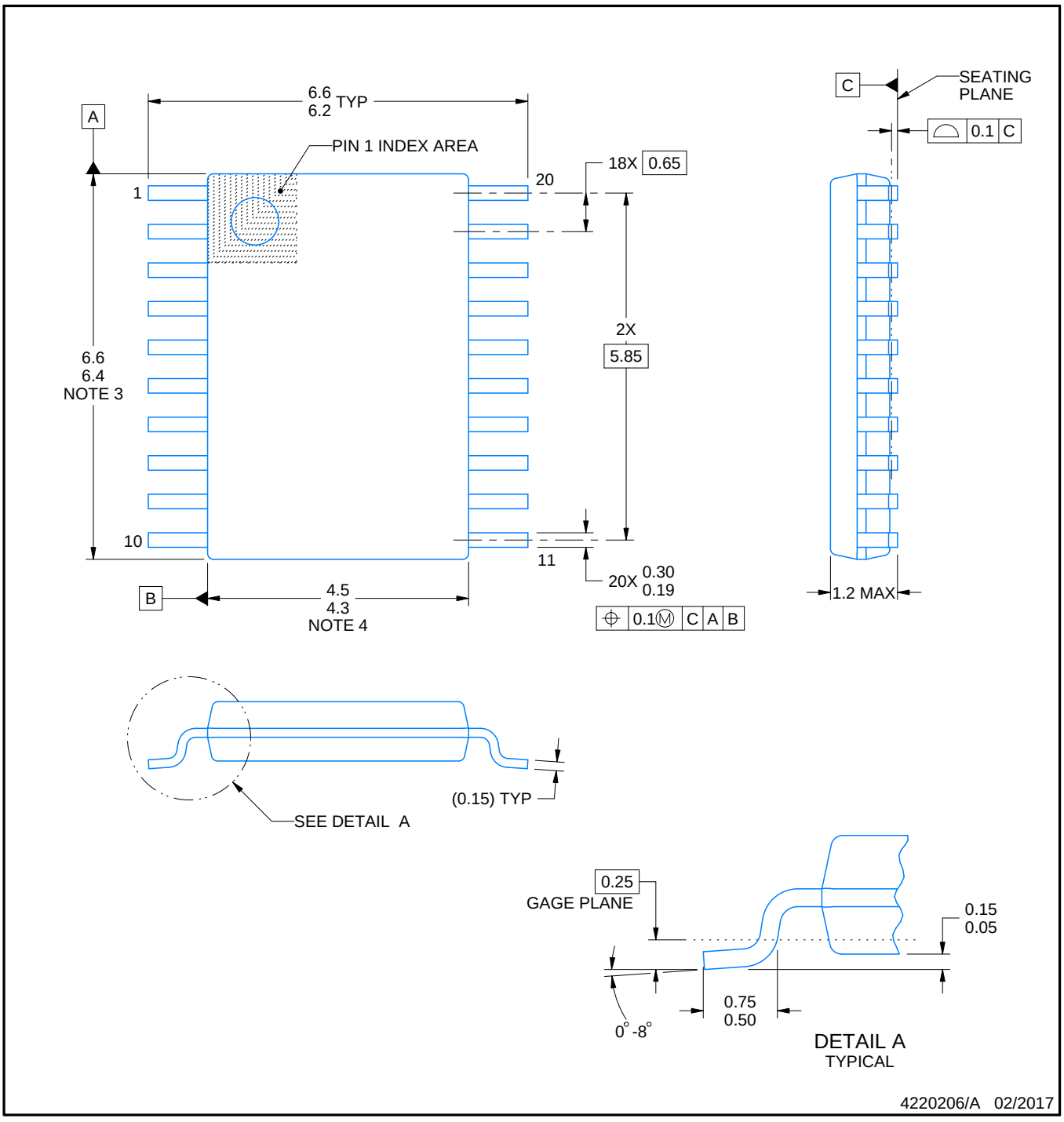
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

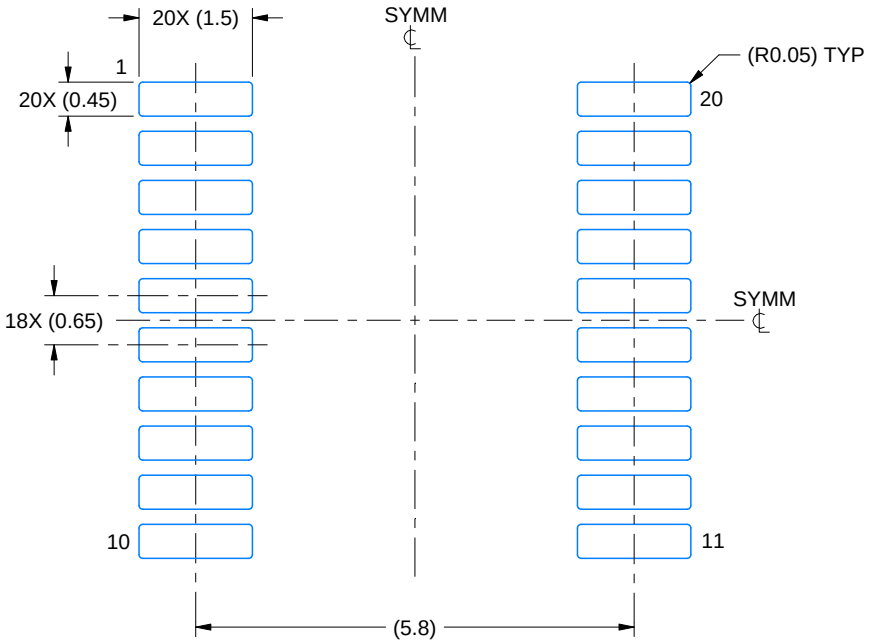
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

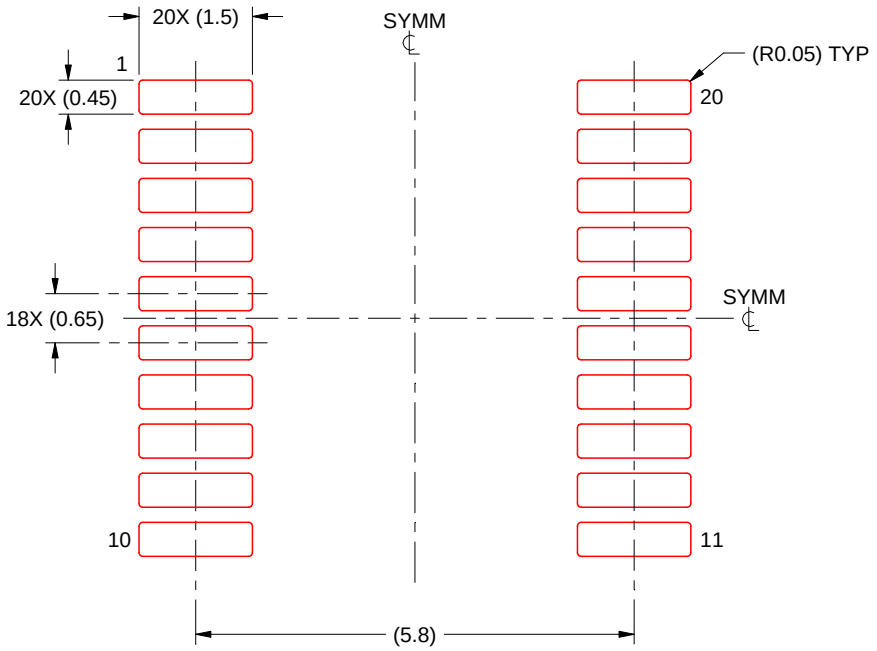
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

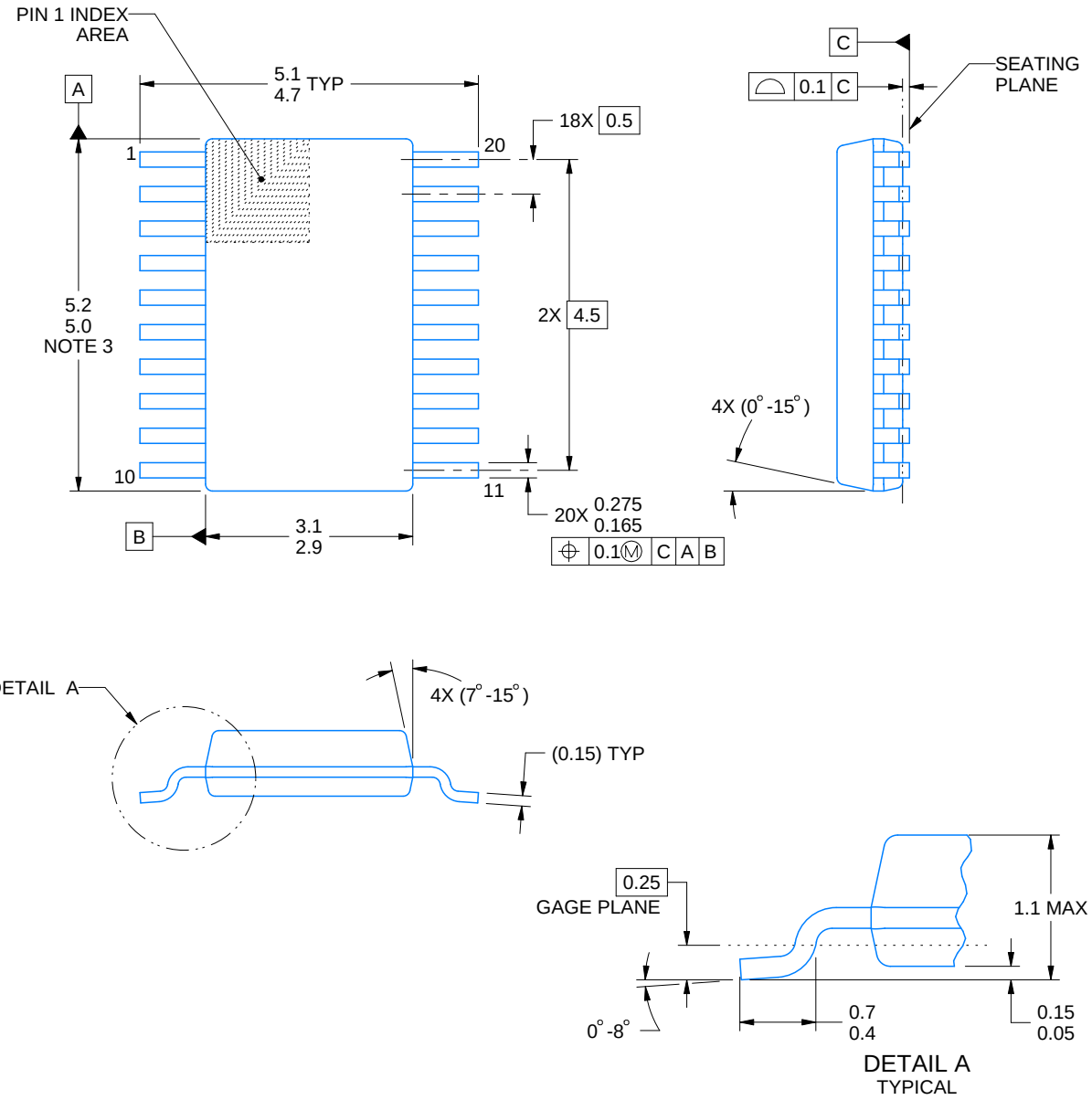
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

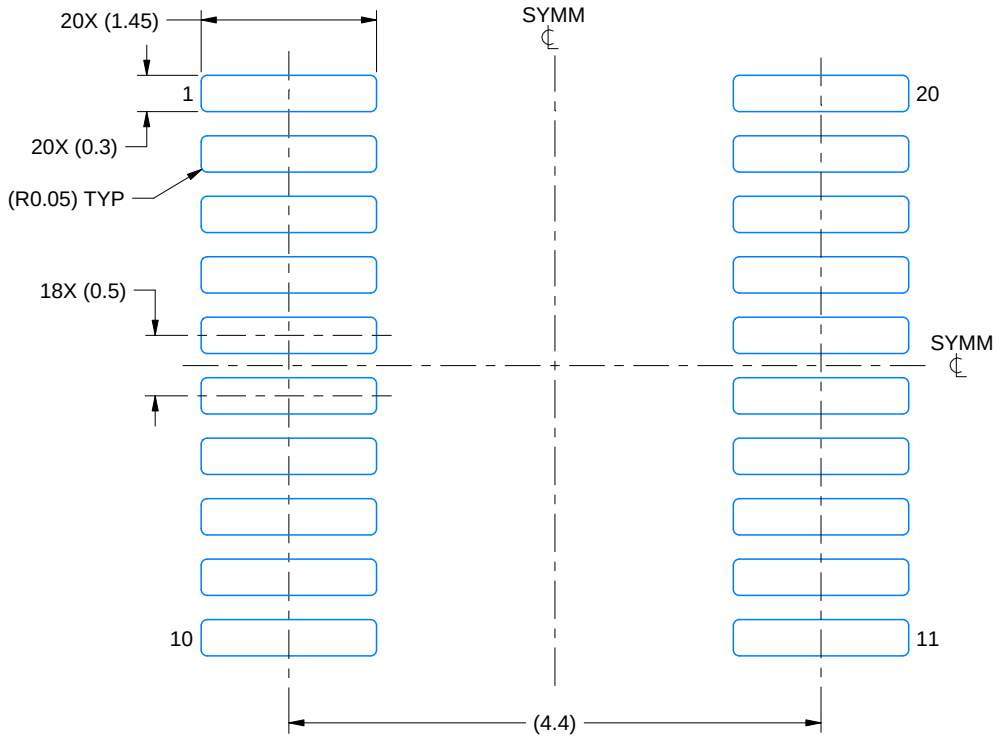
SMALL OUTLINE PACKAGE



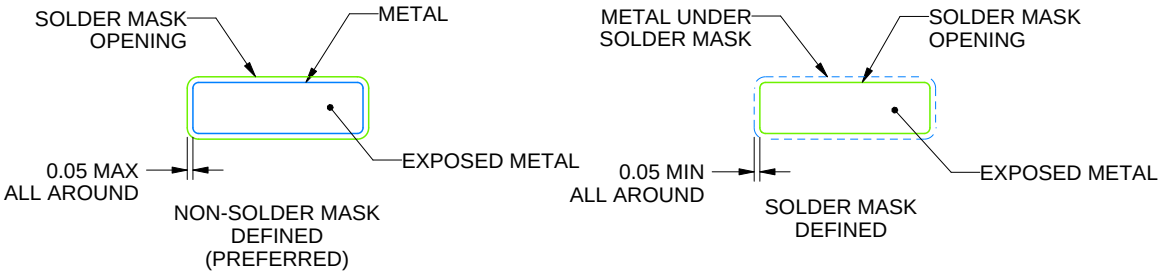
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

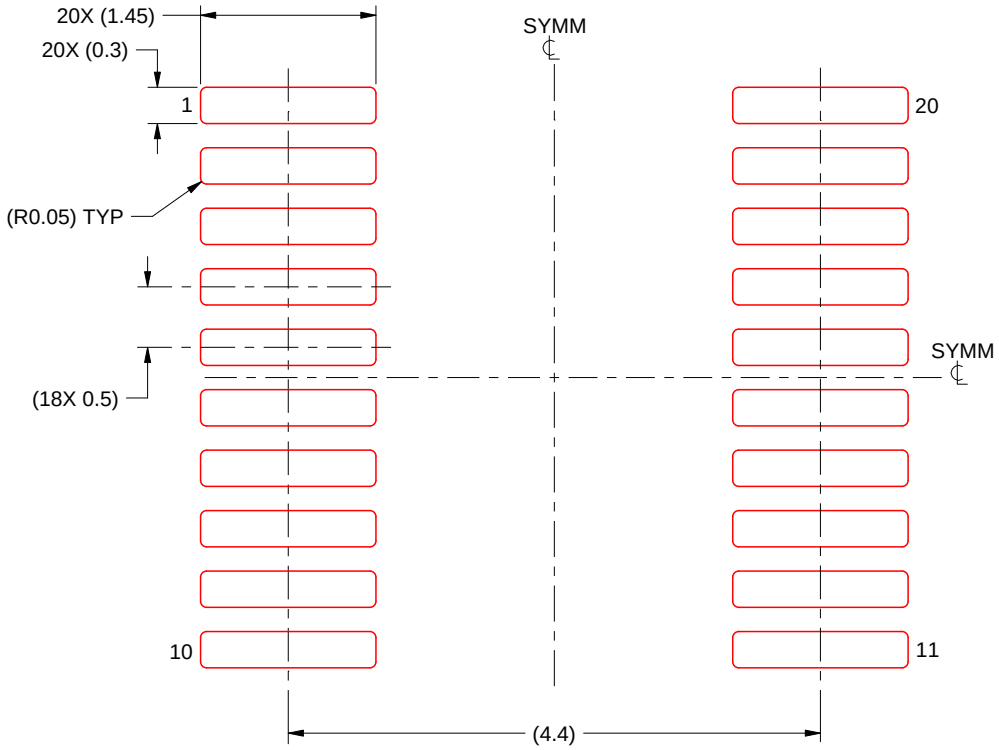


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月