SN74LVC2GU04Q1 デュアル インバータ（バッファなし）

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃ ～ +125℃、T_A
- 5V V_{CC} 動作をサポート
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 3.7ns (3.3V 時)
- 低消費電力、最大 I_{CC}:10µA
- 3.3V で ±24mA の出力駆動能力
- 標準 V_{OLP} (出力グランド バウンス)
  < 0.8V (V_{CC} = 3.3V、T_A = 25℃)
- V_{OHV} (代表値) (出力 V_{OH} アンダーシュート)
  > 2V (V_{CC} = 3.3V、T_A = 25℃時)
- 最高 5.5V
  の入力を V_{CC} レベルに変換する降圧トランスレータとして使用可能
- バッファリングされていない出力

2 アプリケーション

- AV レシーバ
- デスクトップ PC またはノートブック PC
- ブルーレイ プレーヤおよびホーム シアター
- DVD レコーダおよびプレーヤ
- デジタル ラジオまたはインターネット ラジオ プレーヤ
- デジタル ビデオ カメラ (DVC)
- 組み込み用 PC
- GPS:パーソナル ナビゲーション デバイス
- モバイル インターネット デバイス
- ネットワーク プロジェクタ フロント エンド
- ポータブル メディア プレーヤ
- プロ オーディオ ミキサ
- 煙感知器
- ソリッドステートドライブ (SSD):エンタープライズ
- HD (HDTV)
- タブレット:エンタープライズ
- オーディオ ドック:ポータブル
- DLP フロント プロジェクション システム
- DVR および DVS
- デジタル ピクチャ フレーム(DPF)
- デジタル スチル カメラ

3 説明

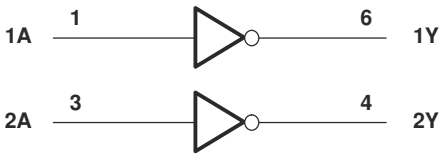
このデュアル インバータは、1.65V ～ 5.5V V_{CC} 動作用に設計されています。

SN74LVC2GU04-Q1 デバイスには、バッファなし出力を持つインバータが 2 つ搭載されており、ブール関数 $Y = \overline{A}$ を実行します。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (公称) (3)
SN74LVC2GU04-Q1	DRY (SON、6)	1.45mm × 1.00mm	1.45mm × 1.00mm
	DCK (SC-70、6)	2.00mm × 2.10mm	2.00mm × 1.25mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性 - –40°C ～ 85°C.....6
5.7 スイッチング特性 - –40°C ～ 125°C.....6
5.8 動作特性.....6
5.9 代表的特性.....6
6 パラメータ測定情報.....7
7 詳細説明.....8
7.1 概要.....8
7.2 機能ブロック図.....8
7.3 機能説明.....8
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....10
8.1 アプリケーション情報.....10
8.2 代表的なアプリケーション.....10
8.3 電源に関する推奨事項.....11
8.4 レイアウト.....11
9 デバイスおよびドキュメントのサポート.....13
9.1 ドキュメントの更新通知を受け取る方法.....13
9.2 サポート・リソース.....13
9.3 商標.....13
9.4 静電気放電に関する注意事項.....13
9.5 用語集.....13
10 改訂履歴.....13
11 メカニカル、パッケージ、および注文情報.....13
11.1 テープおよびリール情報.....14
11.2 メカニカル データ.....16

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

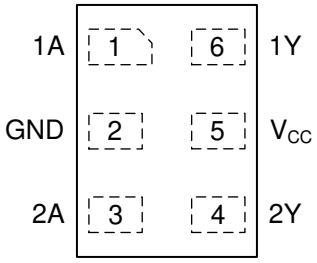


図 4-1. DRY パッケージ、 6 ピン SON (上面図)

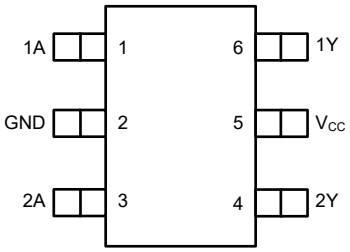


図 4-2. DCK パッケージ、 6 ピン SC70 (上面図)

表 4-1. ピンの機能

ピン			I/O	説明
名称	DRY (SON) (1)	DCK (SC70)		
1A	1	1	I	入力
1Y	6	6	O	出力
2A	3	3	I	入力
2Y	4	4	O	出力
V_{CC}	5	5	—	正の電源
GND	2	2	—	グランド

(1) 寸法については、データシート巻末のパッケージ図をご覧ください

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲(2)		-0.5	6.5	V
V_O	High または Low 状態にある任意の出力に印加される電圧範囲(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_A	外気温度での動作時		-40	125	°C
T_J	動作時接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「*推奨動作条件*」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

			最大値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠(1) HBM ESD 分類レベル	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

(1)			最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_{IH}	High レベル入力電圧	I_O = -100µA	0.75 × V_{CC}		V
V_{IL}	Low レベル入力電圧	I_O = 100µA		0.25 × V_{CC}	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-32	

Copyright © 2025 Texas Instruments Incorporated

(1)			最小値	最大値	単位
I_{OL}	Low レベル出力電流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート『*低速またはフローティング CMOS 入力の影響*』(文献番号 SCBA004) を参照してください。

5.4 熱に関する情報

熱評価基準(1)		DCK (6 PINS)	DRY (6 PINS)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	187.7	233.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	115.2	144.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	48.4	119.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	30.9	15.8	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	48.2	119.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		V_{CC}	–40°C ～ 85°C 最小値	–40°C ～ 85°C 標準値(1)	–40°C ～ 85°C 最大値	–40°C ～ 125°C 最小値	–40°C ～ 125°C 標準値(1)	–40°C ～ 125°C 最大値	単位
V_{OH}		V_{IL} = 0V	I_{OH} = -100μA	1.65V ～ 5.5V	V_{CC} - 0.1			V_{CC} - 0.1			V
			I_{OH} = -4mA	1.65V	1.2			1.2			
			I_{OH} = -8mA	2.3V	1.9			1.9			
			I_{OH} = -16mA	3V	2.4			2.4			
			I_{OH} = -24mA		2.3			2.3			
			I_{OH} = -32mA	4.5V	3.8			3.8			
V_{OL}		V_{IH} = V_{CC}	I_{OL} = 100μA	1.65V ～ 5.5V			0.1			0.1	V
			I_{OL} = 4mA	1.65V			0.45			0.45	
			I_{OL} = 8mA	2.3V			0.3			0.3	
			I_{OL} = 16mA	3V			0.4			0.4	
			I_{OL} = 24mA				0.55			0.55	
			I_{OL} = 32mA	4.5V			0.55			0.55	
I_I	A 入力	V_I = 5.5 V または GND		0～5.5V			±5			±5	μA
I_{CC}		V_I = 5.5V または GND、	I_O = 0	1.65V ～ 5.5V			10			10	μA
C_I		V_I = V_{CC} または GND		3.3V		7					pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

5.6 スイッチング特性 - –40°C ～ 85°C

自由気流での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報を参照)

パラメータ	始点 (入力)	終点 (出力)	–40°C ～ 85°C								単位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A	Y	1.2	5.5	1	4	1.1	3.7	1	3	ns

5.7 スイッチング特性 - –40°C ～ 125°C

自由気流での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報を参照)

パラメータ	始点 (入力)	終点 (出力)	–40°C ～ 125°C								単位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A	Y	1.2	6.3	1	4.5	1.1	4.2	1	3.5	ns

5.8 動作特性

T_A = 25°C

パラメータ	テスト条件	V_{CC} = 1.8V	V_{CC} = 2.5V	V_{CC} = 3.3V	V_{CC} = 5V	単位
		標準値	標準値	標準値	標準値	
C_{pd} 電力散逸容量	f = 10MHz	7	7	8	23	pF

5.9 代表的特性

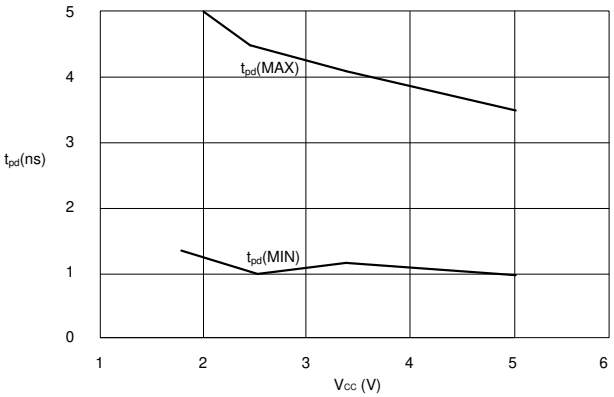
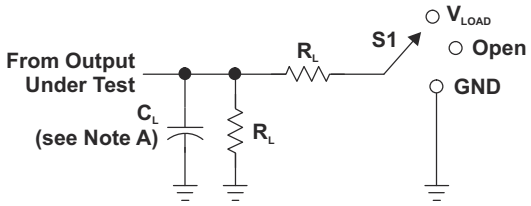


図 5-1. V_{pd} と V_{CC} との関係

Copyright © 2025 Texas Instruments Incorporated

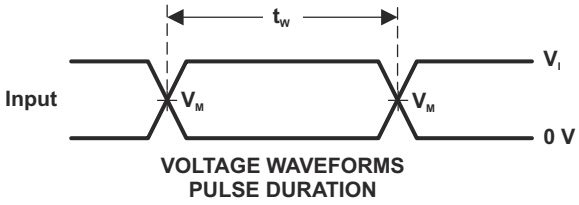
6 パラメータ測定情報



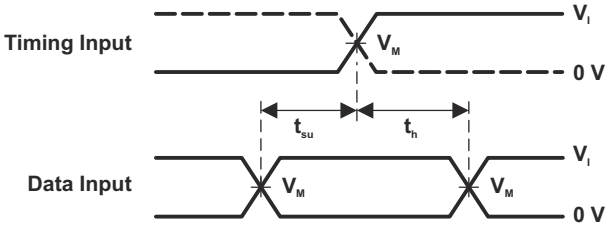
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

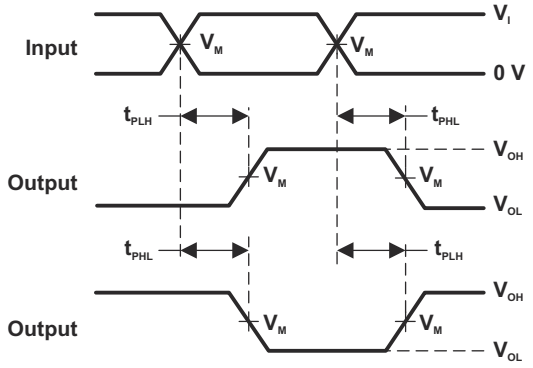
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



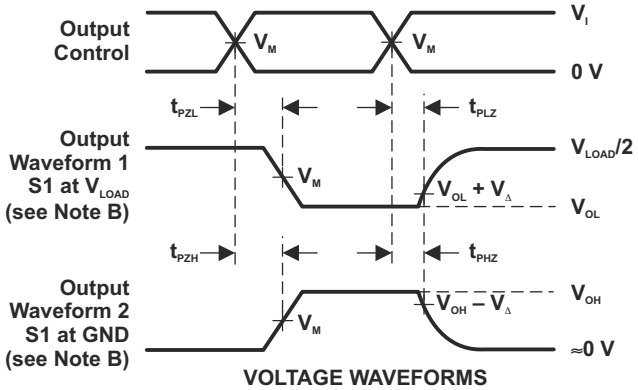
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

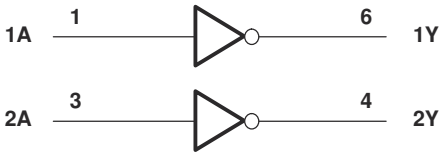
Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LVC2GU04Q1 デバイスには、
32mA の最大シンク電流を持つバッファなし出力を備えた 2 つのインバータが搭載されています。

7.2 機能ブロック図



論理図 (正論理)

7.3 機能説明

7.3.1 バランスのとれた高駆動能力の CMOS プッシュプル出力

バランスのとれた出力により、このデバイスは同程度の電流をシンクおよびソースすることができます。このデバイスは高駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による熱暴走と損傷を防止するため、デバイスの電力出力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

7.3.2 標準 CMOS 入力

標準 CMOS 入力は高インピーダンスであり、通常は「*電気的特性*」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は*「絶対最大定格」*に示されている最大入力電圧と、*「電気的特性」*に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

過剰な消費電流と発振を避けるため、入力に印加する信号は、「*推奨動作条件*」の Δt/Δv で定義される高速なエッジ レートを持つ必要があります。低速またはノイズの多い入力信号への対応が必要な場合は、シュミット トリガ入力を備えたデバイスを使用して、標準 CMOS 入力の前に入力信号をコンディショニングする必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 負のクランプ ダイオード

このデバイスの入力と出力には、図 7-1 に示すように負のクランプ ダイオードがあります。

注意

*「絶対最大定格」*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

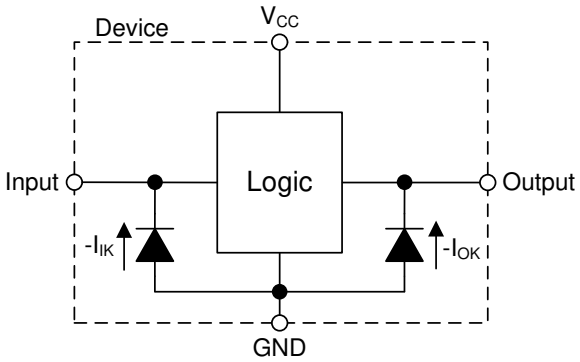


図 7-1. 各入力と出力に対するクランプ ダイオードの電気的配置

7.3.4 過電圧許容入力

このデバイスへの入力信号は、「推奨動作条件」に記載されている最大入力電圧値を下回っている限り、電源電圧以上で駆動できます。

7.3.5 バッファなしロジック

標準の CMOS ロジック機能は通常、入力インバータ、ロジック機能、出力インバータの 3 つの段で構成されます。一部のデバイスでは、さまざまな理由から、入力または出力に複数の段があります。バッファなしの CMOS ロジック機能により、追加の入力および出力の段が不要になります。このデバイスには、入力から直接駆動され、出力を直接駆動する必要なロジック機能のみが搭載されています。

バッファなしインバータは、同等のバッファ付きインバータよりも総ゲインが小さいために発振器回路のパラメータ変化の影響を受けにくいため、発振器回路で一般的に使用されます。発振器回路でバッファなしインバータを使用する方法の詳細については、『*『発振器回路での CMOS バッファなしインバータの使用』*を参照してください。

7.4 デバイスの機能モード

表 7-1. 機能表 (各インバータ)

入力 A	出力 Y
H	L
L	H

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

バッファなしインバータは、同等のバッファ付きインバータよりも総ゲインが小さいために発振器回路のパラメータ変化の影響を受けにくいため、発振器回路で一般的に使用されます。図 8-1 に、アプリケーション回路の例を示します。発振器回路でバッファなしインバータを使用する方法の詳細については、*『発振器回路での CMOS バッファなしインバータの使用』*アプリケーション レポートを参照してください。

8.2 代表的なアプリケーション

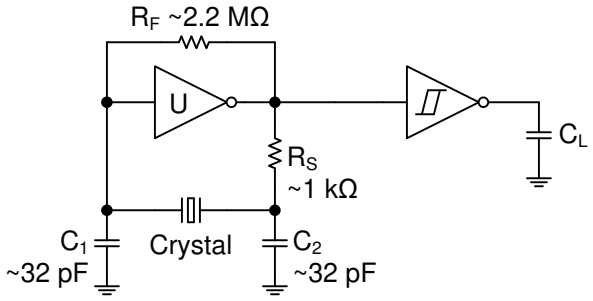


図 8-1. 代表的なアプリケーションの図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

発振器回路でバッファなしインバータを使用する方法の詳細については、*『発振器回路での CMOS バッファなしインバータの使用』*アプリケーション レポートを参照してください。

1. 推奨入力条件
   - High レベルと Low レベルを規定。「推奨動作条件」の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、*「推奨動作条件」*で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 絶対最大値出力条件
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、*「絶対最大定格」*に記載されています。
   - 出力は*「絶対最大定格」*の定格電圧を超えてプルされないようにしてください。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

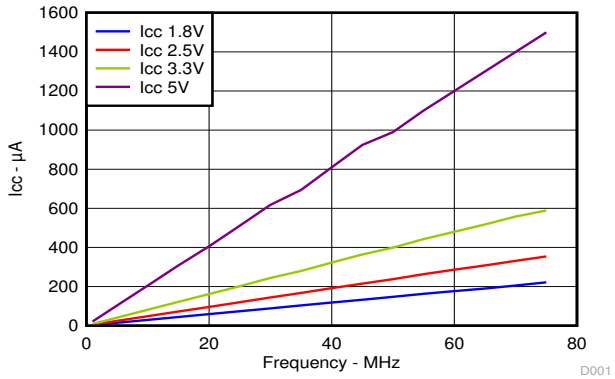


図 8-2. I_{CC} と周波数との関係

8.3 電源に関する推奨事項

電源には、「*推奨動作条件*」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。0.1µF のコンデンサが推奨され、複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

データ レートが低いデジタル信号であっても、高速エッジレートにより、高周波信号成分を含んでいる可能性があります。プリント基板 (PCB) パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。

図 8-3 に、DRY (SON) パッケージのレイアウト例を示します。このサンプル レイアウトには 0402 (メトリック) コンデンサが含まれており、このデータシートの最後に添付されているサンプル ボード レイアウトにある測定値を使用します。直径 0.1mm (3.973mil) のビアが本デバイスの中央に直接配置されています。別の基板層を経由してセンター ピン接続を引き出すためにこのビアを使うことも、これをレイアウトから除外することもできます

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

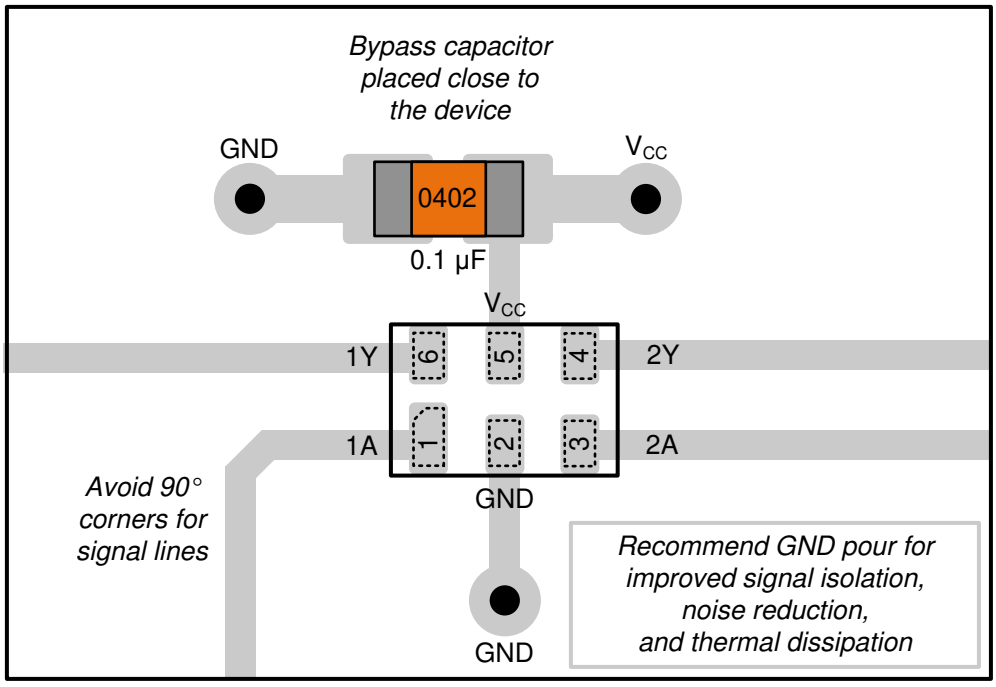


図 8-3. DRY パッケージのレイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2019) to Revision A (October 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• DCK パッケージ オプションを追加	1
• DCK の熱に関する情報を追加	5

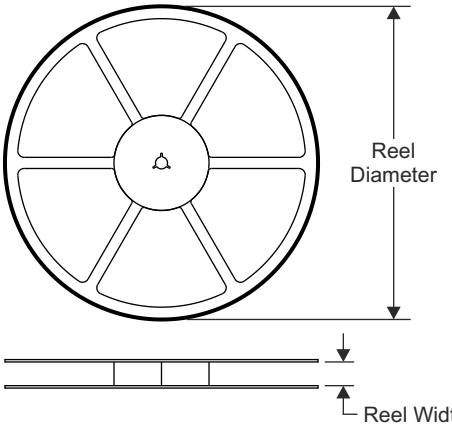
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

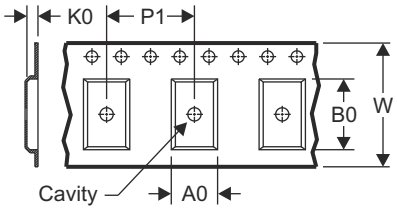
Copyright © 2025 Texas Instruments Incorporated

11.1 テープおよびリール情報

REEL DIMENSIONS

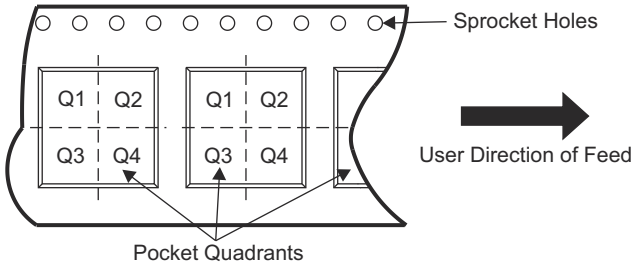


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

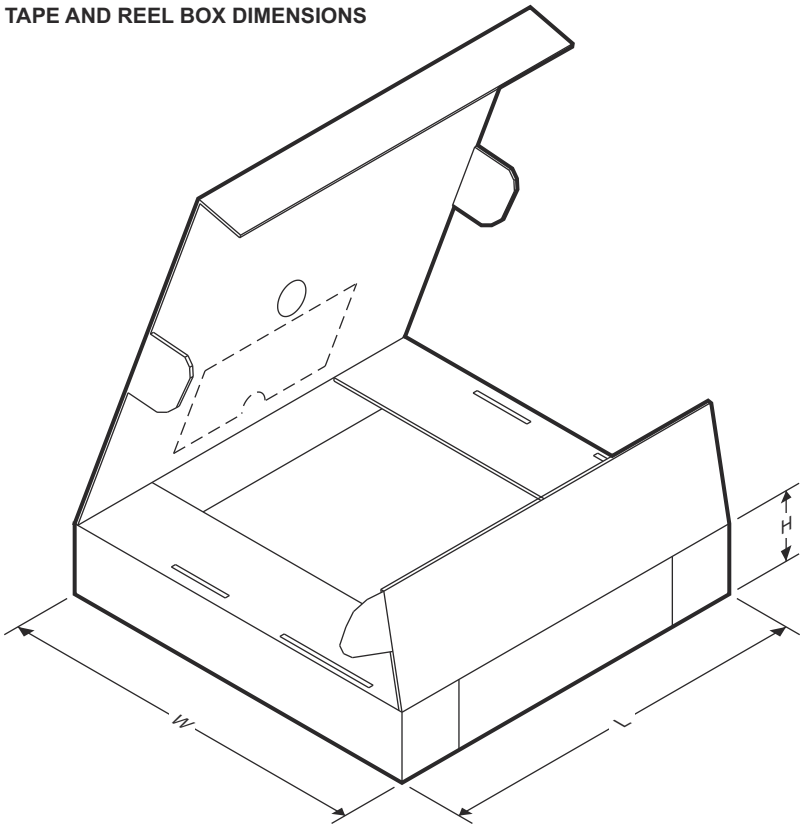
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PCLVC2GU04QDCKRQ1	SC70	DCK	6	3000	180	8.4	2.3	2.5	1.2	4	8	Q3
1P2GU04QDRYRQ1	SON	DRY	6	5000	180.0	9.5	1.2	1.65	0.7	4.0	8.0	Q1

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PCLVC2GU04QDCKRQ1	SC70	DCK	6	3000	210	185	35
1P2GU04QDRYRQ1	SON	DRY	6	5000	189.0	185.0	36.0

Copyright © 2025 Texas Instruments Incorporated

11.2 メカニカル データ

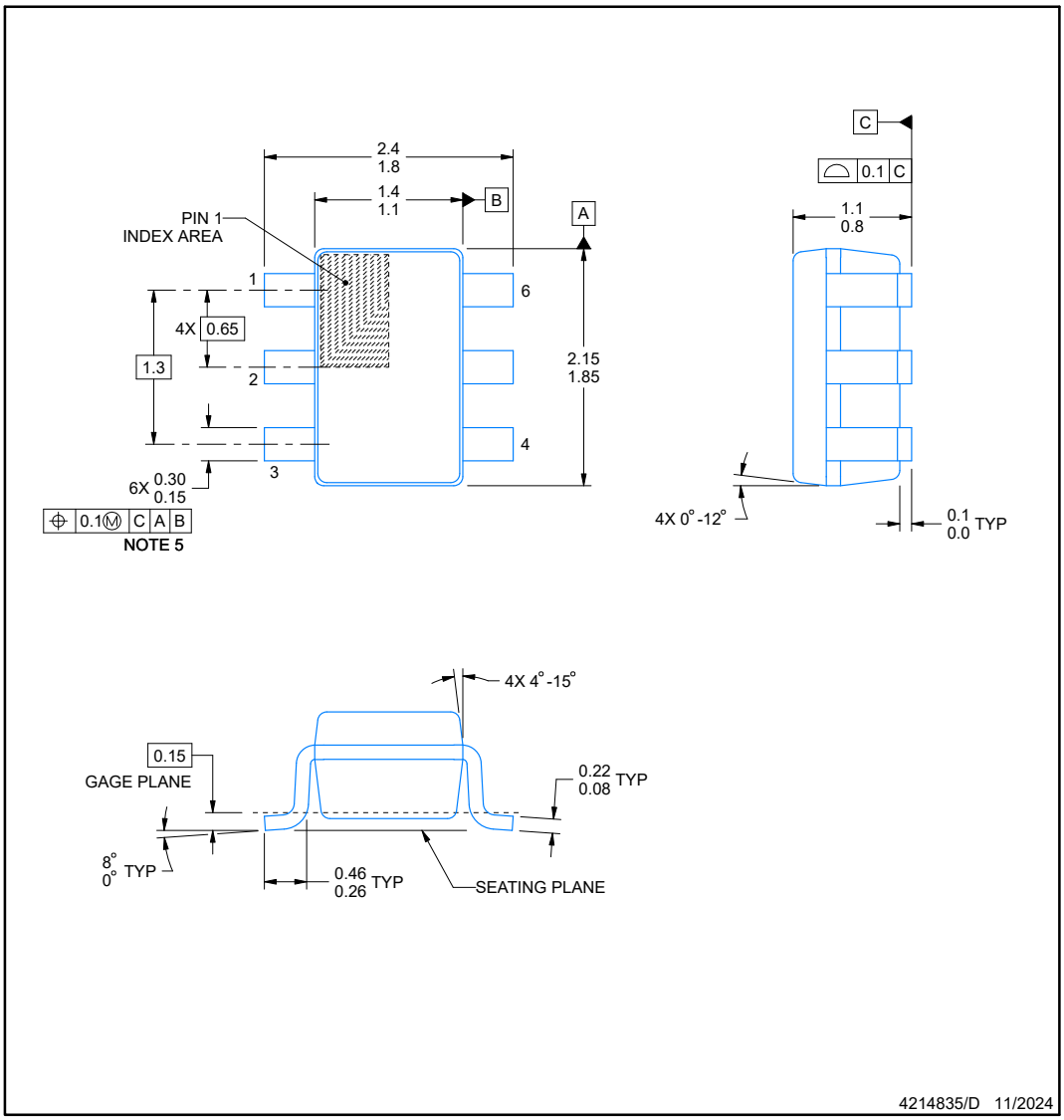
DCK0006A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

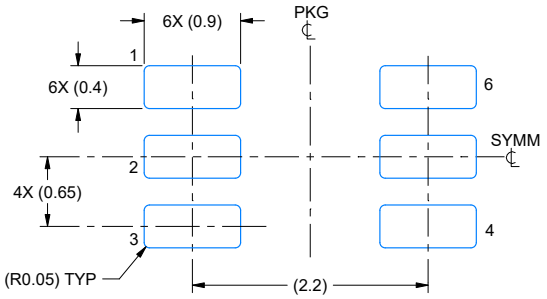
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

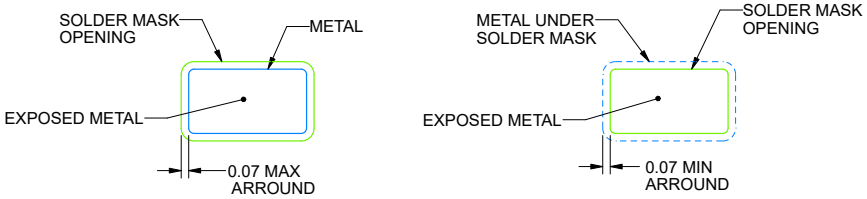
EXAMPLE BOARD LAYOUT

DCK0006A — **SOT - 1.1 max height**

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

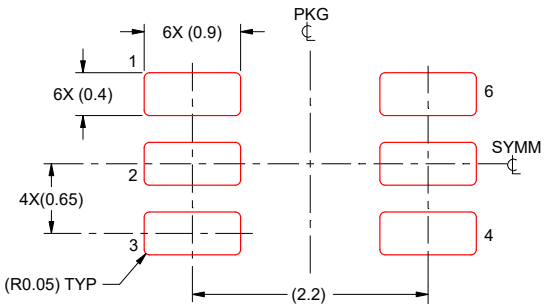
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DCK0006A — **SOT - 1.1 max height**

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

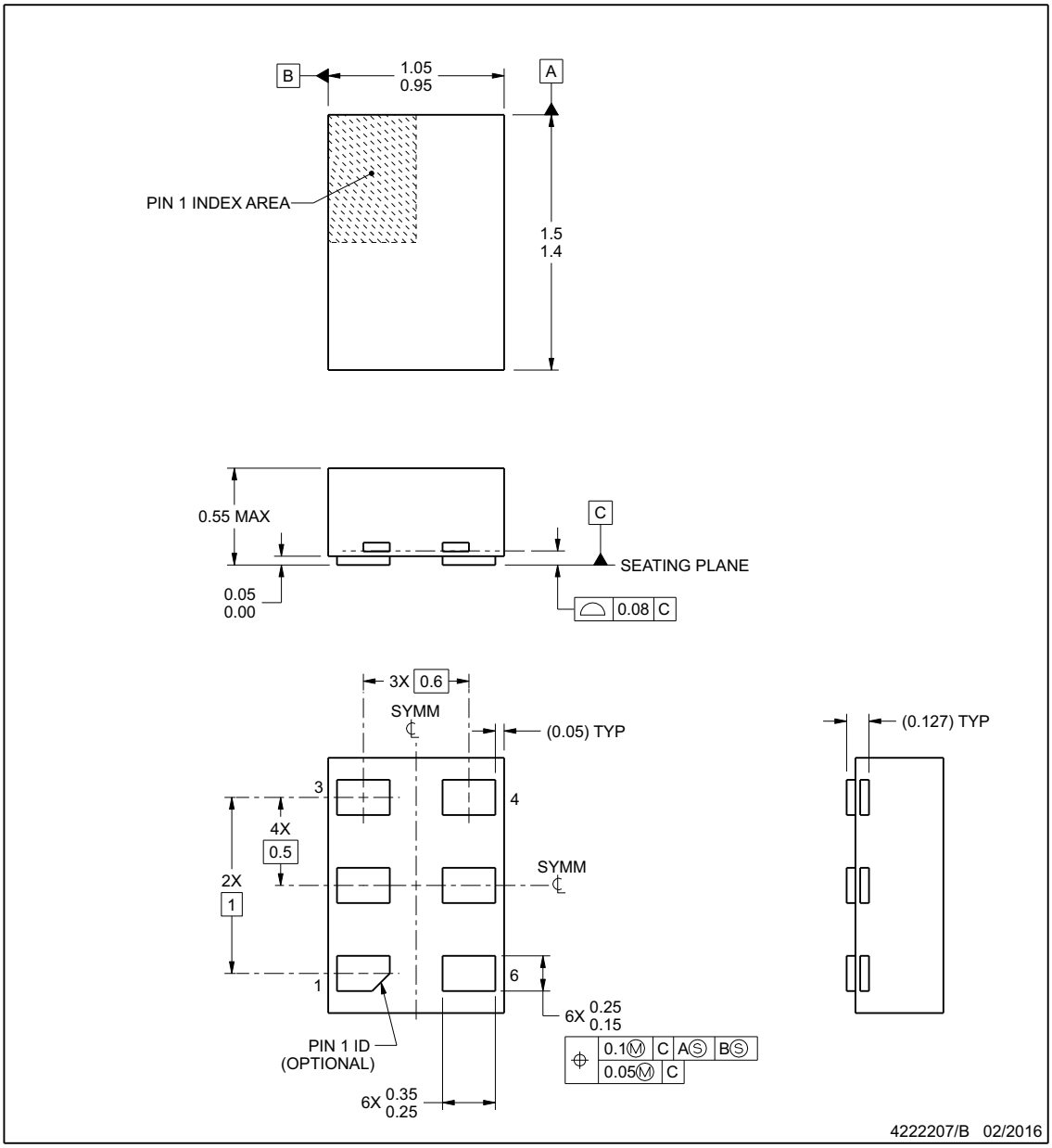
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

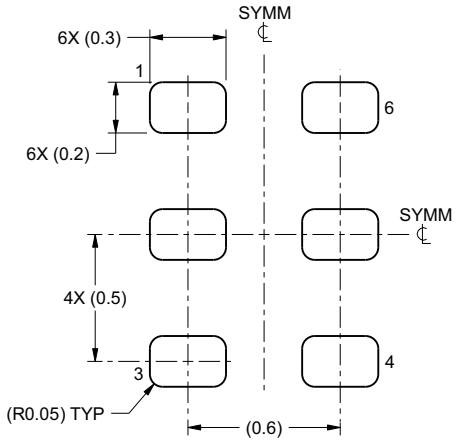
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

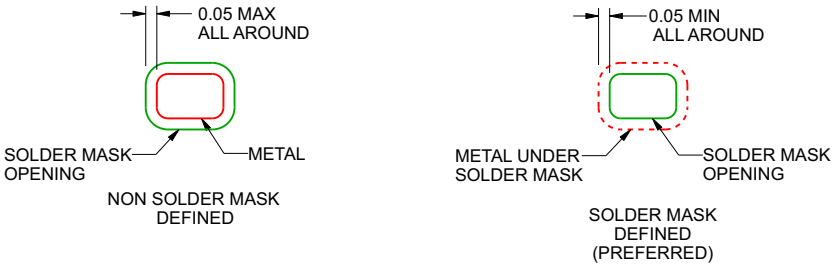
DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
SCALE:40X



SOLDER MASK DETAILS

4222207/B 02/2016

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

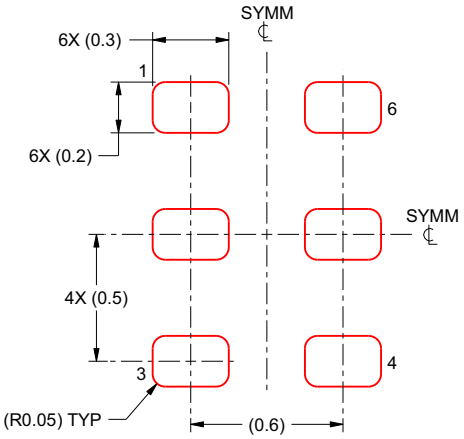
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222207/B 02/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
1P2GU04QDRYRQ1	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	FZ
1P2GU04QDRYRQ1.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	FZ
CLVC2GU04QDCKRQ1	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1KR

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC2GU04-Q1 :

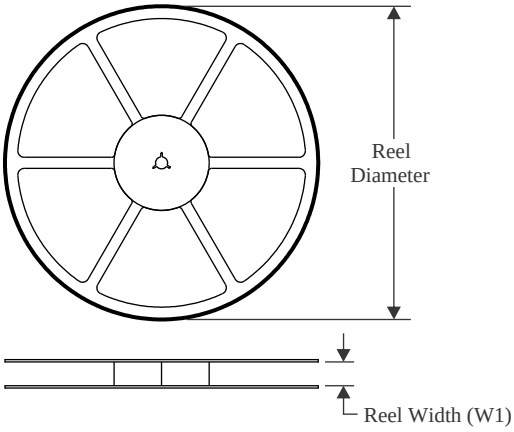
- Catalog : SN74LVC2GU04

NOTE: Qualified Version Definitions:

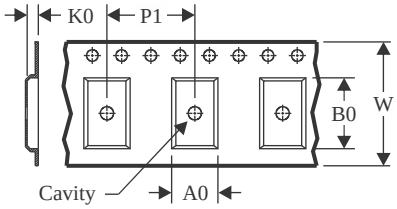
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

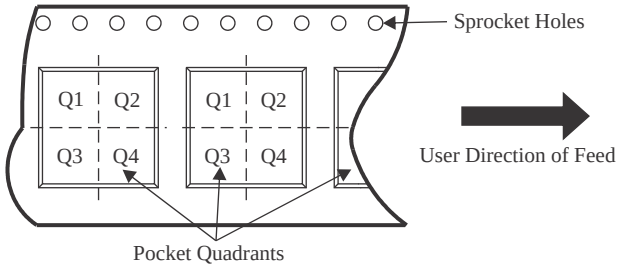


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

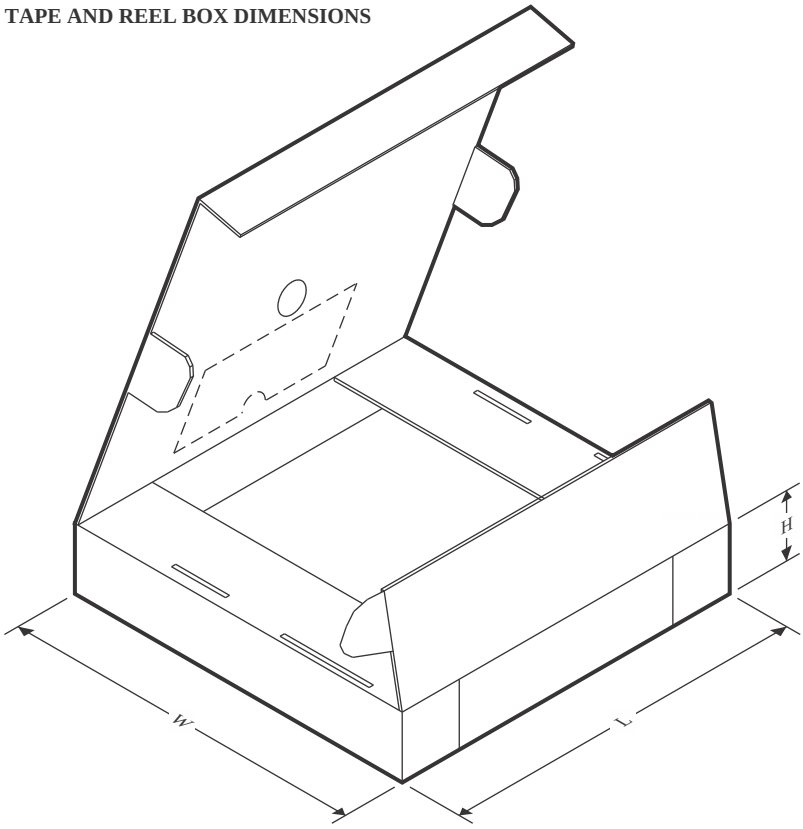
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
1P2GU04QDRYRQ1	SON	DRY	6	5000	180.0	9.5	1.2	1.65	0.7	4.0	8.0	Q1
CLVC2GU04QDCKRQ1	SC70	DCK	6	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
CLVC2GU04QDCKRQ1	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

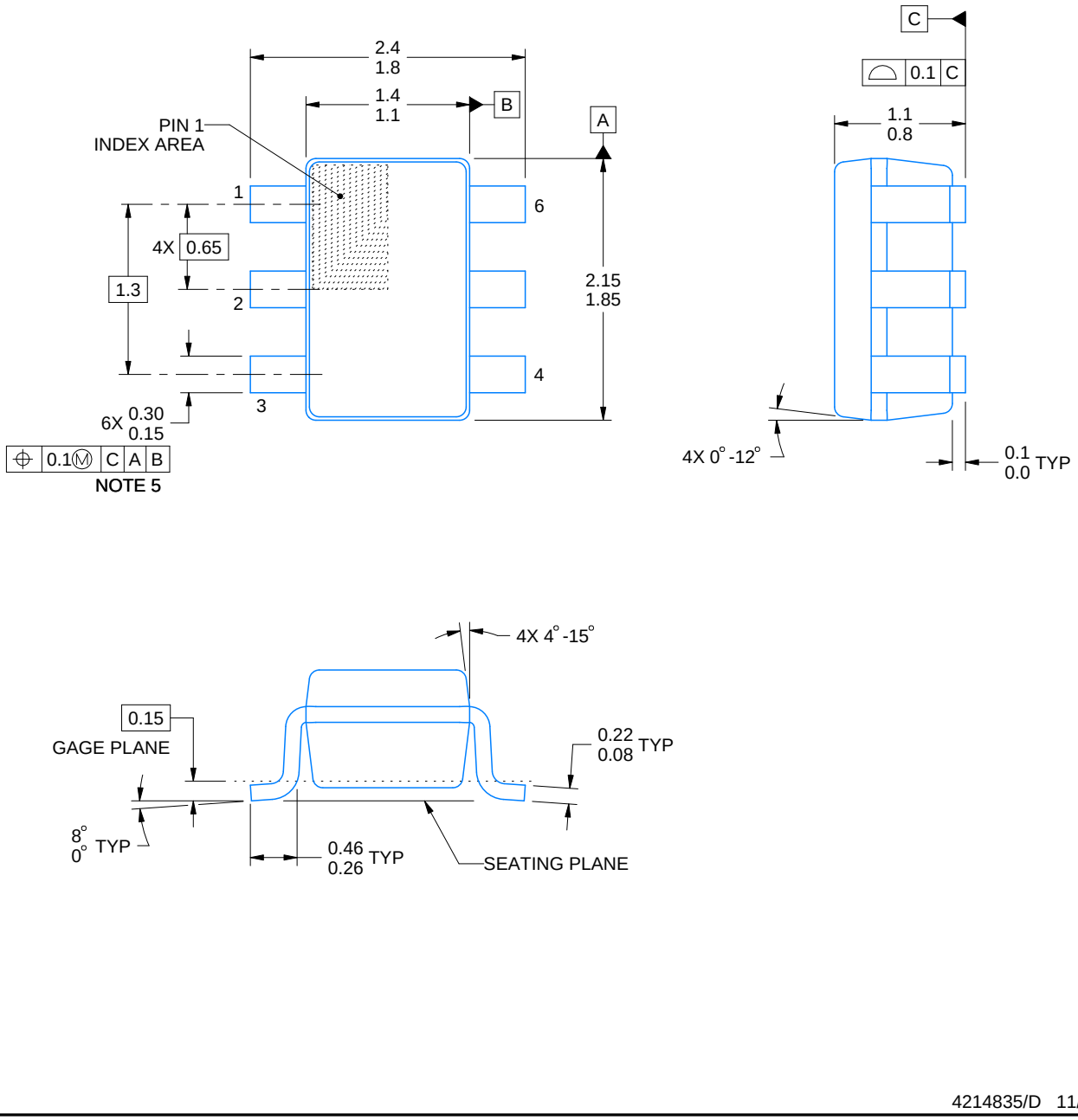
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
1P2GU04QDRYRQ1	SON	DRY	6	5000	189.0	185.0	36.0
CLVC2GU04QDCKRQ1	SC70	DCK	6	3000	208.0	191.0	35.0
CLVC2GU04QDCKRQ1	SC70	DCK	6	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

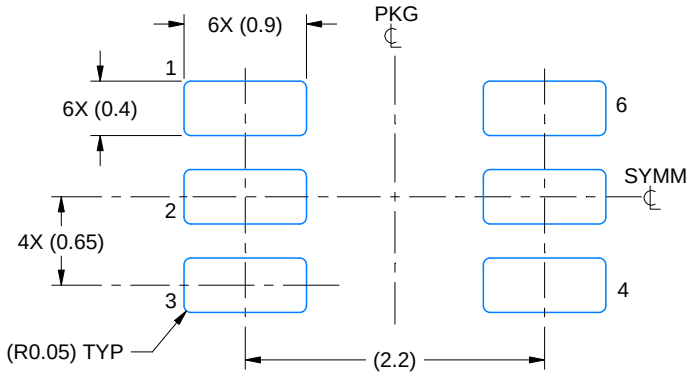
SMALL OUTLINE TRANSISTOR



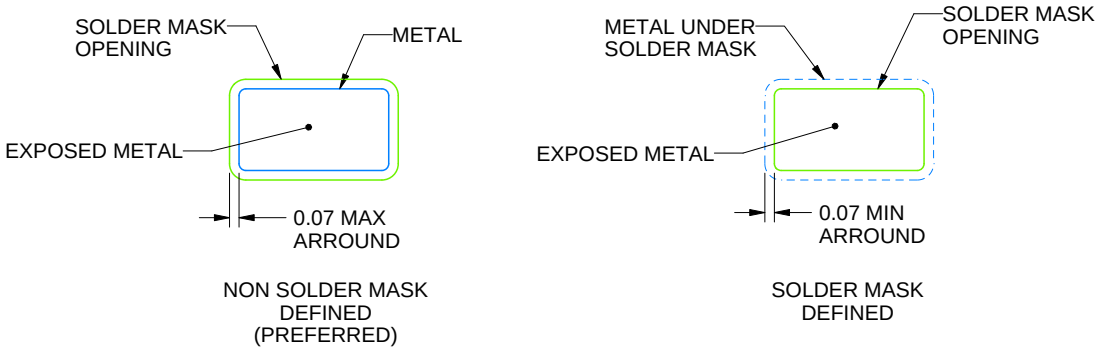
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

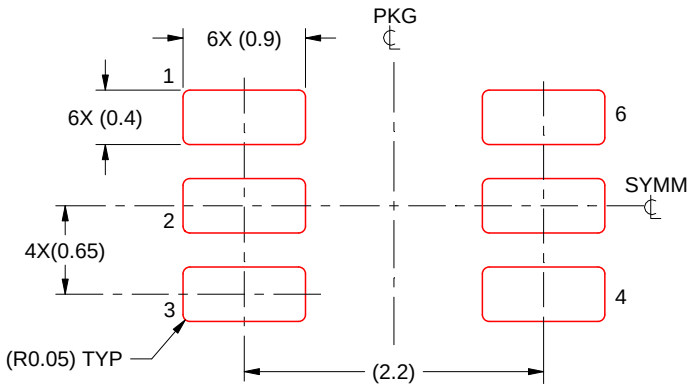


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



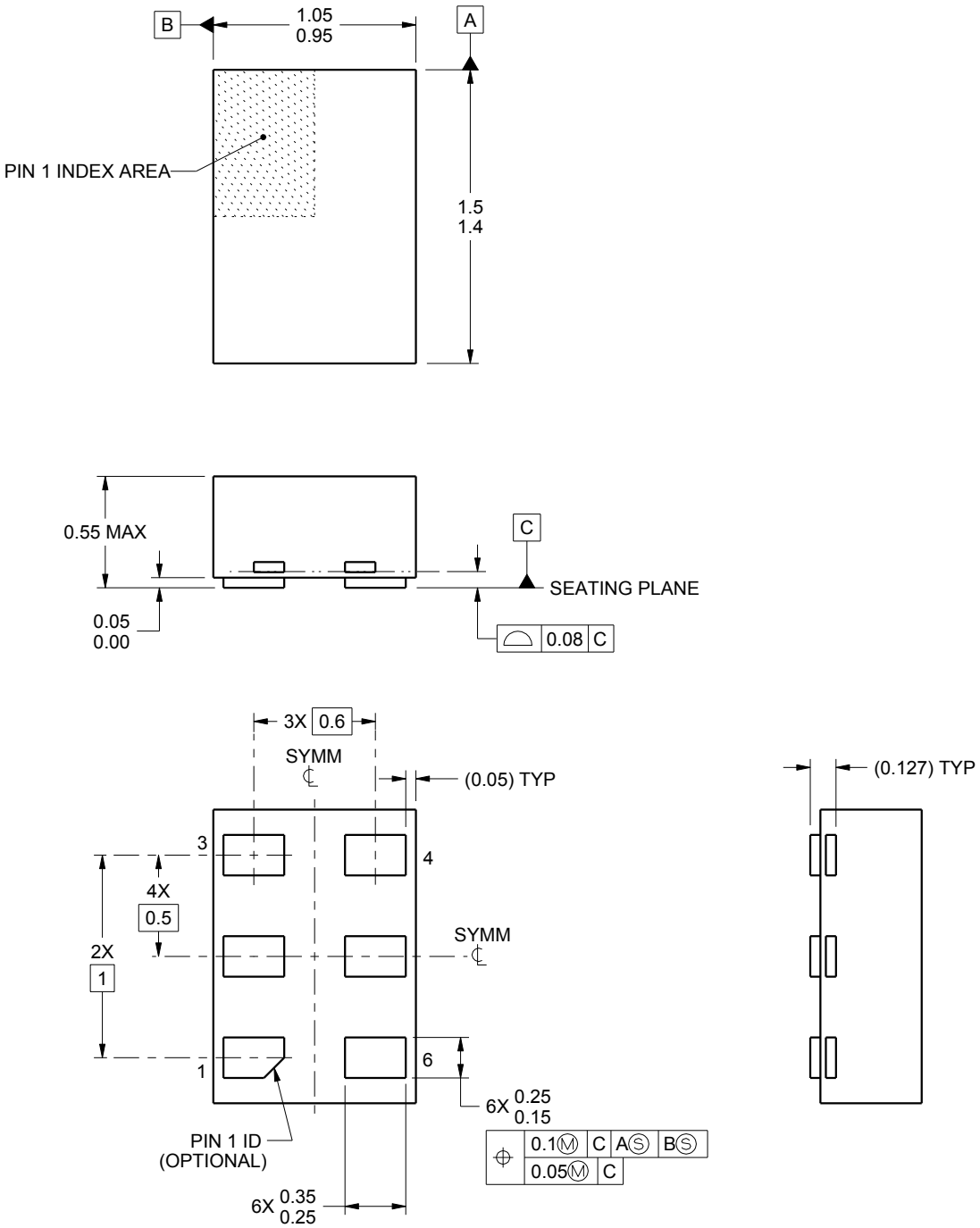
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DRY0006B

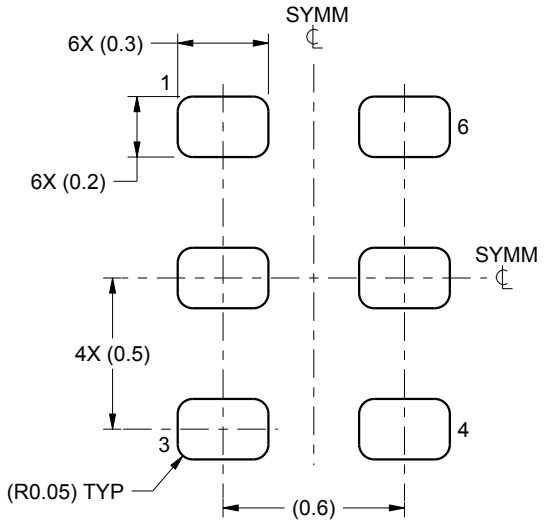
USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

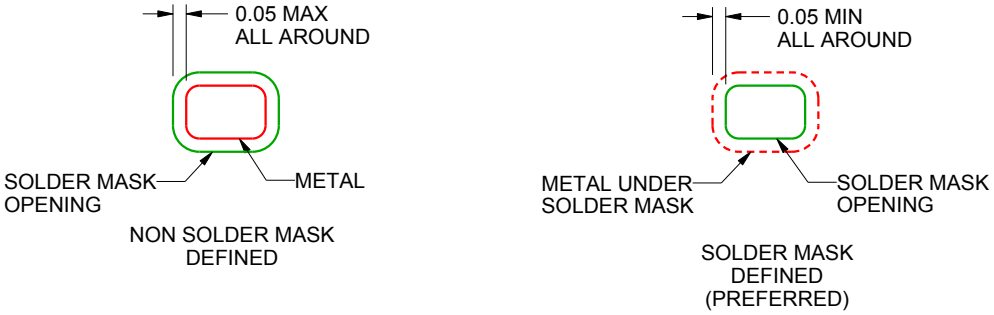


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
SCALE:40X



SOLDER MASK DETAILS

4222207/B 02/2016

NOTES: (continued)

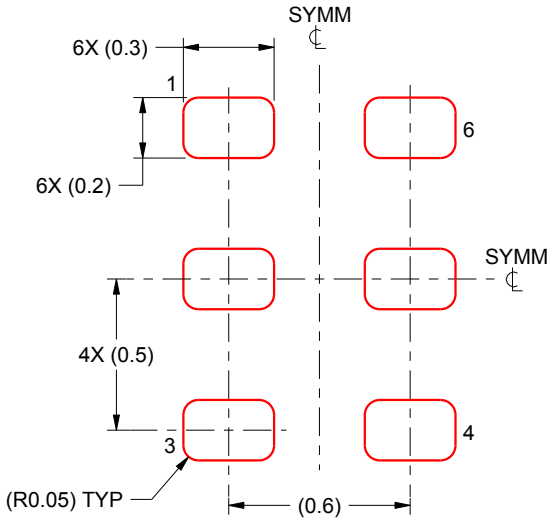
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006B

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222207/B 02/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月