SN74LVCC3245A 調整可能な出力電圧、3 ステート出力、オクタル バス トランシーバ

1 特長

- 8 ビットの方向制御変換バストランシーバ
- 2.3V～3.6V (A ポート)、3V～5.5V (B ポート)
- 堅牢でグリッチの発生しない電源シーケンシング
- V_{CC} 絶縁および VCC 切断機能
  - どちらかの V_{CC} 入力が 100mV 未満またはフローティング状態の場合、すべての I/O 出力がディセーブルになり、高インピーダンス状態に移行
- V_{CCA} 電圧基準の制御入力 V_{IH}/V_{IL} レベル
- 重い負荷に対応する高い駆動能力:3V 電源での 24mA 駆動
- JESD 17 準拠
  250mA 超のラッチアップ性能
- 動作時の温度範囲:–40℃ ～ 85℃
- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- 超音波スキャナ
- ストリング インバータ
- 集中型インバータ
- シングル ボード コンピュータ

3 説明

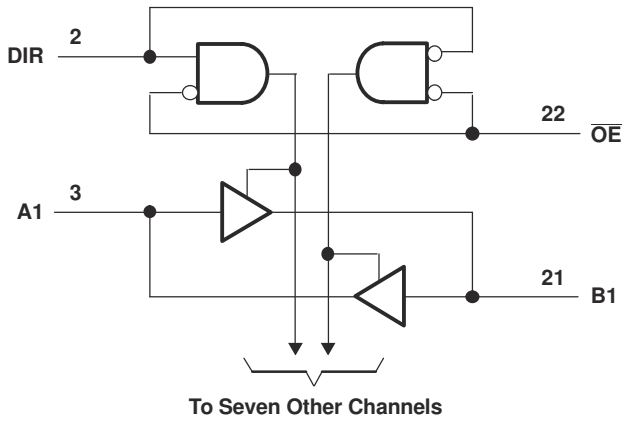
SN74LVCC3245A デバイスは、8 ビット (オクタル) 非反転バストランシーバで、2 つの独立した電源レールを搭載しています。B ポートは 3V ～ 5.5V の電圧を入力できる V_{CCB} に追従するように設計されており、A ポートは 2.3V ～ 3.6V で動作する V_{CCA} に追従するように設計されています。これにより、3.3V から 5V のシステム環境へ、またはその逆方向への変換が可能になり、2.5V から 3.3V のシステム環境への変換、およびその逆方向への変換が可能になります。

このデバイスは、Ioff を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。Ioff 回路で出力をディセーブルすることにより、電源がオフの時に電流が逆流してデバイスが損傷するのの防ぎます。V_{CC} 絶縁機能により、V_{CCA} と V_{CCB} のどちらかが 100mV を下回ると、両方の出力をディセーブルにすることで、両方の I/O ポートがハイ インピーダンス状態になるように設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74LVCC3245A	DB (SSOP、24)	8.2mm × 7.8mm
	DW (SOIC、24)	15.5mm × 10.3mm
	DBQ (SSOP、24)	8.65mm × 6mm
	NS (SO、24)	15mm × 7.8mm
	PW (TSSOP、24)	7.8mm × 6.4mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

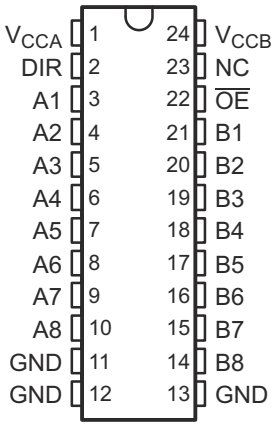
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 動作特性.....9
5.8 代表的特性.....9
6 パラメータ測定情報.....10
6.1 A ポート (V_{CCA} = 2.5V ± 0.2V および V_{CCB} = 3.3V ± 0.3V).....10
6.2 B ポート (V_{CCA} = 2.5V ± 0.2V および V_{CCB} = 3.3V ± 0.3V).....11
6.3 B ポート (V_{CCA} = 3.6V および V_{CCB} = 5.5V).....12
6.4 A および B ポート (V_{CCA} および V_{CCB} = 3.6V).....13
7 詳細説明.....14
7.1 概要.....14
7.2 機能ブロック図.....14
7.3 機能説明.....14
7.4 グリッチの発生しない電源シーケンシング.....14
7.5 V_{CC} 絶縁および V_{CC} 切断.....14
7.6 デバイスの機能モード.....14
8 アプリケーションと実装.....15
8.1 使用上の注意.....15
8.2 代表的なアプリケーション.....15
8.3 電源に関する推奨事項.....16
8.4 レイアウト.....16
9 デバイスおよびドキュメントのサポート.....18
9.1 ドキュメントのサポート.....18
9.2 ドキュメントの更新通知を受け取る方法.....18
9.3 サポート・リソース.....18
9.4 商標.....18
9.5 静電気放電に関する注意事項.....18
9.6 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....19

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能



NC - 内部接続なし

寸法については セクション 11 を参照してください。

図 4-1. DB、DBQ、DW、NS または PW パッケージ、24 ピン SSOP、SOIC、SO、または TSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ[(1)]	説明
名称	番号		
A1	3	I/O	A1 ポート
A2	4	I/O	A2 ポート
A3	5	I/O	A3 ポート
A4	6	I/O	A4 ポート
A5	7	I/O	A5 ポート
A6	8	I/O	A6 ポート
A7	9	I/O	A7 ポート
A8	10	I/O	A8 ポート
B1	21	I/O	B1 ポート
B2	20	I/O	B2 ポート
B3	19	I/O	B3 ポート
B4	18	I/O	B4 ポート
B5	17	I/O	B5 ポート
B6	16	I/O	B6 ポート
B7	15	I/O	B7 ポート
B8	14	I/O	B8 ポート
DIR	2	I	Dir 入力
GND	11	—	グランド
	12		
	13		
NC	23	—	未接続
$\overline{OE}$	22	I	出力イネーブル アクティブ low
V_{CCA}	1	—	A ポート電源
V_{CCB}	24	—	B ポート電源

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_{CCA} V_{CCB}	電源電圧		-0.5	6	V
V_I	入力電圧	すべての A ポート[2]	-0.5	V_{CCA} + 0.5	V
		すべての B ポート[3]	-0.5	V_{CCB} + 0.5	
		I/O ポートを除く[2]	-0.5	V_{CCA} + 0.5	
V_O	出力電圧[3]	すべての A ポート	-0.5	V_{CCA} + 0.5	V
		すべての B ポート	-0.5	V_{CCB} + 0.5	
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CCA}、V_{CCB}、または GND を流れる連続電流			±100	mA
T_J	接合部温度			150	°C
$R_{\theta JA}$	接合部から周囲への熱抵抗	DW		46	°C/W
		NS		65	
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すものであり、これらの条件で、または「推奨動作条件」で示された条件を超えるそれ以外の条件で本デバイスが正常に動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) この値は最大 4.6V に制限されています。
(3) この値は最大 6V に制限されています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[2]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		V_{CCA}	V_{CCB}	最小値	公称値	最大値	単位
V_{CCA}	電源電圧			2.3	3.3	3.6	V
V_{CCB}	電源電圧			3	5	5.5	V
V_{IHA}	High レベル入力電圧	2.3V	3V	1.7			V
		2.7V	3V	2			
		3V	3.6V	2			
		3.6V	5.5V	2			
V_{IHB}	High レベル入力電圧	2.3V	3V	2			V
		2.7V	3V	2			
		3V	3.6V	2			
		3.6V	5.5V	3.85			

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

		V_{CCA}	V_{CCB}	最小値	公称値	最大値	単位
V_{ILA}	Low レベル入力電圧	2.3V	3V			0.7	V
		2.7V	3V			0.8	
		3V	3.6V			0.8	
		3.6V	5.5V			0.8	
V_{ILB}	Low レベル入力電圧	2.3V	3V			0.8	V
		2.7V	3V			0.8	
		3V	3.6V			0.8	
		3.6V	5.5V			1.65	
V_{IH}	High レベル入力電圧 (制御端子) (V_{CCA} を基準とする)	2.3V	3V	1.7			V
		2.7V	3V	2			
		3V	3.6V	2			
		3.6V	5.5V	2			
V_{IL}	低レベル入力電圧 (制御端子) (V_{CCA} を基準とする)	2.3V	3V			0.7	V
		2.7V	3V			0.8	
		3V	3.6V			0.8	
		3.6V	5.5V			0.8	
V_{IA}	入力電圧			0		V_{CCA}	V
V_{IB}	入力電圧			0		V_{CCB}	V
V_{OA}	出力電圧			0		V_{CCA}	V
V_{OB}	出力電圧			0		V_{CCB}	V
I_{OHA}	High レベル出力電流	2.3V	3V			-8	mA
		2.7V	3V			-12	
		3V	3V			-24	
		2.7V	4.5V			-24	
I_{OHB}	High レベル出力電流	2.3V	3V			-12	mA
		2.7V	3V			-12	
		3V	3V			-24	
		2.7V	4.5V			-24	
I_{OLA}	Low レベル出力電流	2.3V	3V			8	mA
		2.7V	3V			12	
		3V	3V			24	
		2.7V	4.5V			24	
I_{OLB}	Low レベル出力電流	2.3V	3V			12	mA
		2.7V	3V			12	
		3V	3V			24	
		2.7V	4.5V			24	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート					10	ns/V
T_A	自由空気での動作温度			-40		85	°C

5.4 熱に関する情報

熱評価基準[1]		SN74LVCC3245A			単位
		DB (SSOP)	DBQ (SSOP)	PW (TSSOP)	
		24 ピン	24 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	90.7	61	100.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.9	44.8	44.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.7	34.5	55.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	18.8	9.5	6.8	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	49.3	37.2	55.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、*半導体および IC パッケージの熱評価基準*アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CCA}	V_{CCB}	最小値	標準値	最大値	単位
V_{OHA}		I_{OH} = –100μA	3V	3V	2.9	3		V
		I_{OH} = -8mA	2.3V	3V	2			
		I_{OH} = -12mA	2.7V	3V	2.2	2.5		
			3V	3V	2.4	2.8		
		I_{OH} = -24mA	3V	3V	2.2	2.6		
			2.7V	4.5V	2	2.3		
V_{OHB}		I_{OH} = –100μA	3V	3V	2.9	3		V
		I_{OH} = -12mA	2.3V	3V	2.4			
			2.7V	3V	2.4	2.8		
		I_{OH} = -24mA	3V	3V	2.2	2.6		
			2.7V	4.5V	3.2	4.2		
V_{OLA}		I_{OL} = 100μA	3V	3V			0.1	V
		I_{OL} = 8mA	2.3V	3V			0.6	
		I_{OL} = 12mA	2.7V	3V		0.1	0.5	
		I_{OL} = 24mA	3V	3V		0.2	0.5	
			2.7V	4.5V		0.2	0.5	
V_{OLB}		I_{OL} = 100μA	3V	3V			0.1	V
		I_{OL} = 12mA	2.3V	3V			0.4	
		I_{OL} = 24mA	3V	3V		0.2	0.5	
			2.7V	4.5V		0.2	0.5	
I_I	制御入力	V_I = V_{CCA} または GND	3.6V	3.6V		±0.1	±1	μA
				5.5V		±0.1	±1	
I_{off}	入力および出力電源オフリーク電流	V_I または V_0 = 0 ～ 5.5V	V_{CCA} = 0 ～ 5.5V	V_{CCB} = 0V		±0.5	±2	μA
			V_{CCA} = 0 ～ 5.5V	V_{CCB} = 0V		±0.5	±2	
I_{OZ} [1]	A または B ポート	V_O = $V_{CCA/B}$ または GND、 V_I = V_{IL} または V_{IH}	3.6V	3.6V		±0.5	±5	μA

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CCA}	V_{CCB}	最小値	標準値	最大値	単位
I_{CCA}	B から A	A ポート = V_{CCA} または GND、 I_O = 0	3.6V	オープン		5	15	μA
		B ポート = V_{CCB} または GND、 I_O = 0	3.6V	3.6V		5	15	
				5.5V		5	15	
I_{CCB}	A から B	A ポート = V_{CCA} または GND、 I_O = 0	3.6V	3.6V		5	15	μA
				5.5V		8	18	
ΔI_{CCA} (2)	A ポート	V_I = V_{CCA} – 0.6V、その他の入力 (V_{CCA} または GND)、$\overline{OE}$ (GND)、DIR (V_{CCA})	3.6V	3.6V		0.35	0.5	mA
	$\overline{OE}$	V_I = V_{CCA} – 0.6V、その他の入力 (V_{CCA} または GND)、DIR (V_{CCA})	3.6V	3.6V		0.35	0.5	
	DIR	V_I = V_{CCA} – 0.6V、その他の入力 (V_{CCA} または GND)、$\overline{OE}$ (GND)	3.6V	3.6V		0.35	0.5	
ΔI_{CCB} (2)	B ポート	V_I = V_{CCB} – 2.1V、その他の入力 (V_{CCB} または GND)、$\overline{OE}$ (GND)、DIR (GND)	3.6V	5.5V		1	1.5	mA
C_i	制御入力	V_I = V_{CCA} または GND	オープン	オープン		4		pF
C_{io}	A または B ポート	V_O = $V_{CCA/B}$ または GND	3.3V	5V		18.5		pF

(1) I/O ポートの場合、パラメータ I_{OZ} には入力リーク電流が含まれます。
(2) これは、0V や 対応する V_{CC} ではなく、規定された電圧レベルのいずれかにおける各入力の電源電流の増加量です。

5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 ～ 図 6-4 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CCA}, V_{CCB}	最小値	最大値	単位
t_{PHL}	A	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	9.4	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	6	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	7.1	
t_{PLH}	A	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	9.1	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	5.3	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	7.2	
t_{PHL}	B	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	11.2	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	5.8	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	6.4	
t_{PLH}	B	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	9.9	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	7	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	7.6	

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 ～ 図 6-4 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CCA}, V_{CCB}	最小値	最大値	単位
t_{PZL}	$\overline{OE}$	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	14.5	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	9.2	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	9.7	
t_{PZH}	$\overline{OE}$	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	12.9	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	9.5	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	9.5	
t_{PZL}	$\overline{OE}$	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	13	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	8.1	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	9.2	
t_{PZH}	$\overline{OE}$	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	12.8	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	8.4	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	9.9	
t_{PLZ}	$\overline{OE}$	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	7.1	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	7	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	6.6	
t_{PHZ}	$\overline{OE}$	A	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	7.3	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	7.8	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	6.9	
t_{PLZ}	$\overline{OE}$	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	8.8	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	7.3	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	7.5	
t_{PHZ}	$\overline{OE}$	B	V_{CCA} = 2.5V ± 0.2V、V_{CCB} = 3.3V ± 0.3V	1	8.9	ns
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 5V ± 0.5V	1	7	
			V_{CCA} = 2.7V ～ 3.6V、V_{CCB} = 3.3V ± 0.3V	1	7.9	

Copyright © 2026 Texas Instruments Incorporated

5.7 動作特性

V_{CCA} = 3.3V、V_{CCB} = 5V、T_A = 25°C

パラメータ		テスト条件	標準値	単位
C_{pd} トランシーバあたりの電力散逸容量	出力イネーブル	C_L = 50、 f = 10MHz	38	pF
	出力ディセーブル		4.5	

5.8 代表的特性

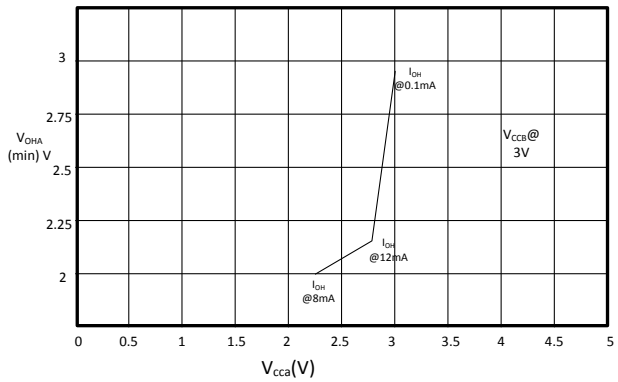
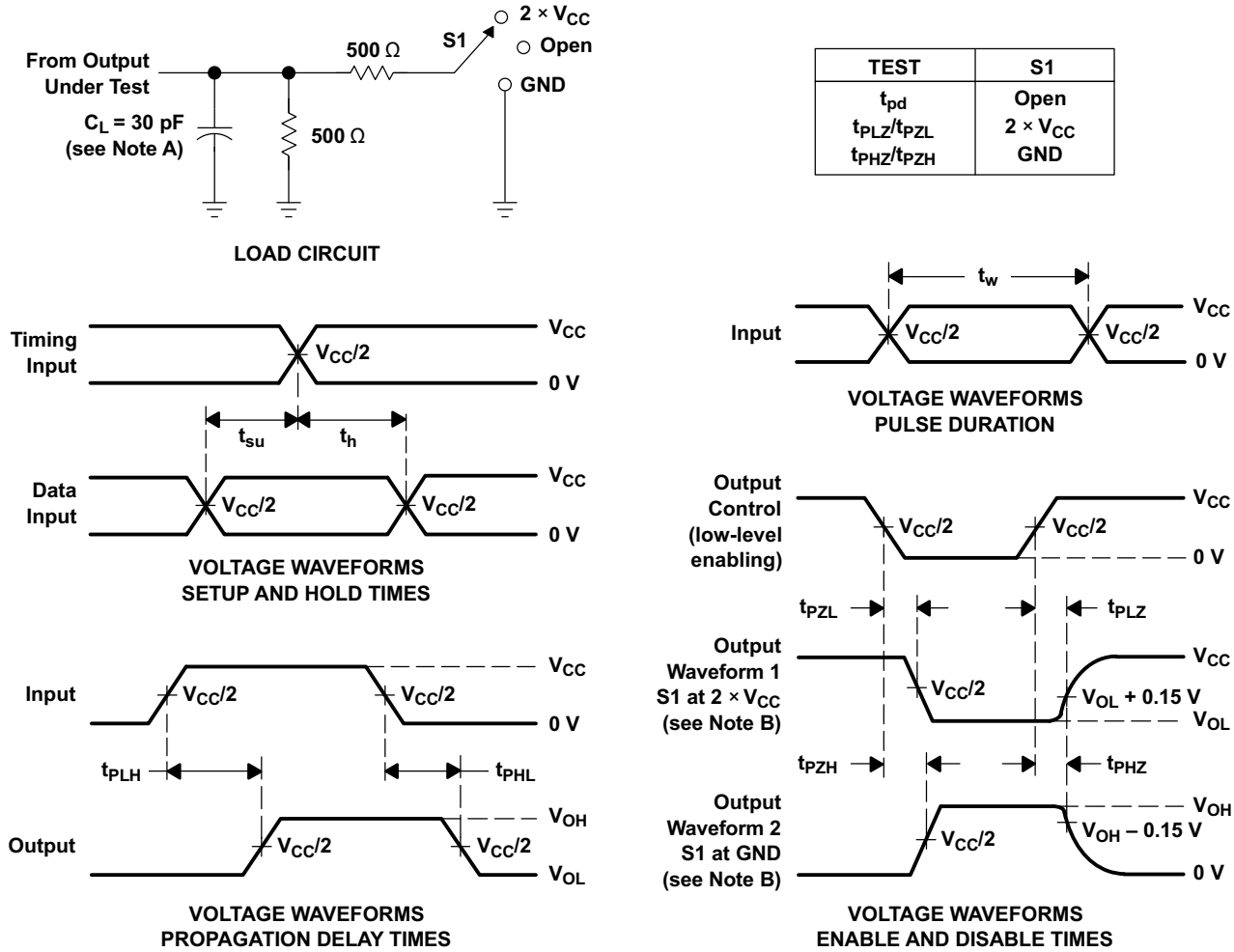


図 5-1. $V_{OHA(min)}$ と V_{CCA} との関係

6 パラメータ測定情報

6.1 A ポート (V_{CCA} = 2.5V ± 0.2V および V_{CCB} = 3.3V ± 0.3V)



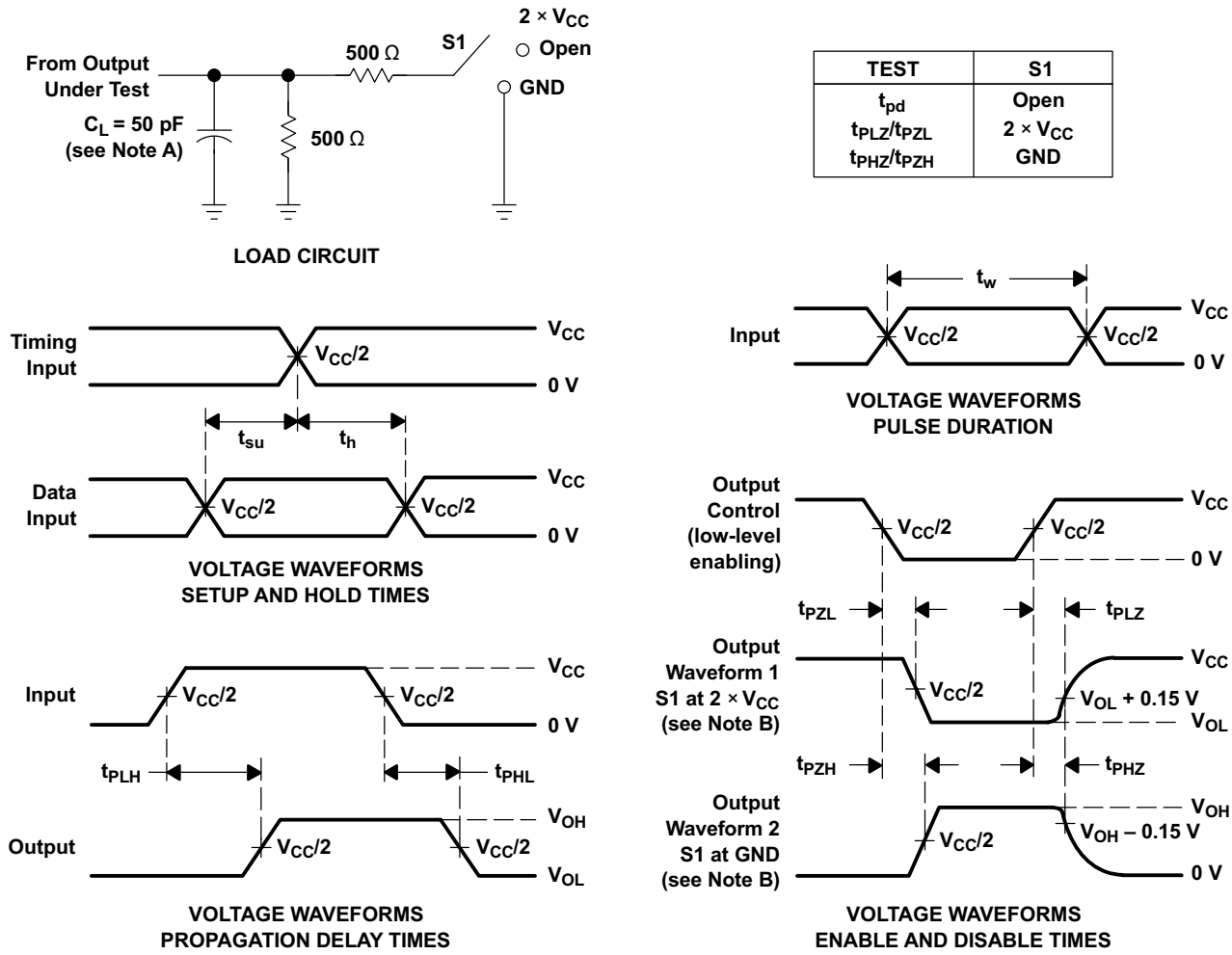
TEST	S1
t_{pd} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 10MHz、Z_O = 50Ω、t_r ≤ 2ns、t_f ≤ 2ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PLH} と t_{PHL} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

Copyright © 2026 Texas Instruments Incorporated

6.2 B ポート (V_{CCA} = 2.5V ± 0.2V および V_{CCB} = 3.3V ± 0.3V)

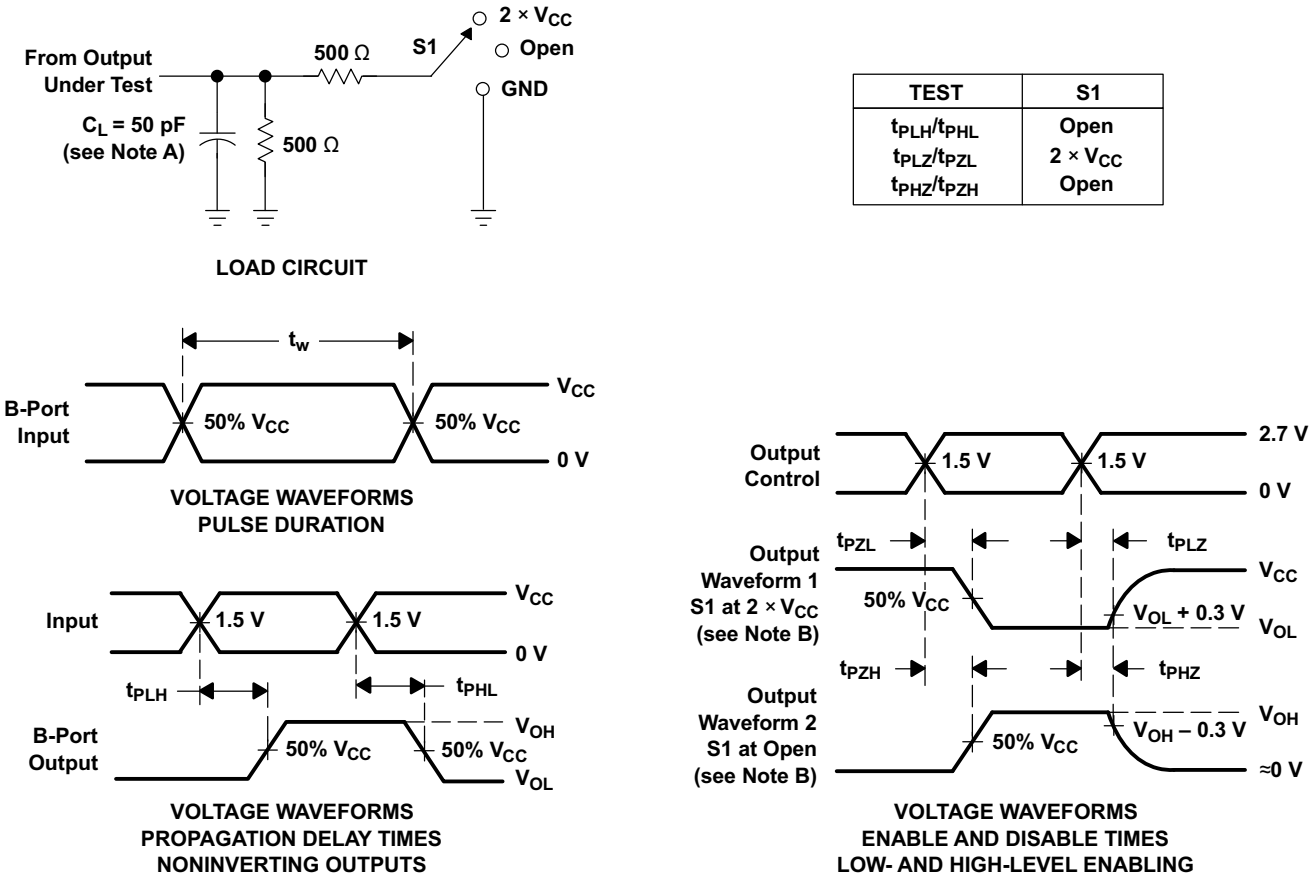


TEST	S1
t_{pd}	Open
t_{PLZ}/t_{PZL}	2 × V_{CC}
t_{PHZ}/t_{PZH}	GND

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50Ω、t_r ≦ 2ns、t_f ≦ 2ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PZL} と t_{PZH} は t_{en} と同じです。
G. t_{PLH} と t_{PHL} は t_{pd} と同じです。
H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-2. 負荷回路および電圧波形

6.3 B ポート (V_{CCA} = 3.6V および V_{CCB} = 5.5V)



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	2 × V_{CC}
t_{PHZ}/t_{PZH}	Open

A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50Ω、t_r ≦ 2.5ns、t_f ≦ 2.5ns。

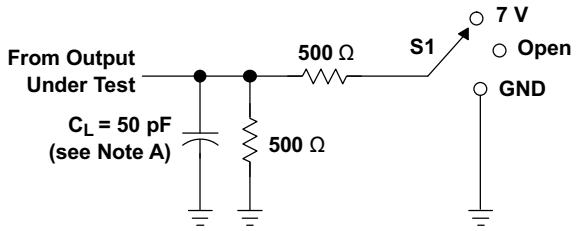
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。

E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-3. 負荷回路および電圧波形

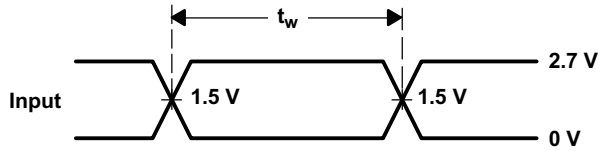
Copyright © 2026 Texas Instruments Incorporated

6.4 A および B ポート (V_{CCA} および V_{CCB} = 3.6V)

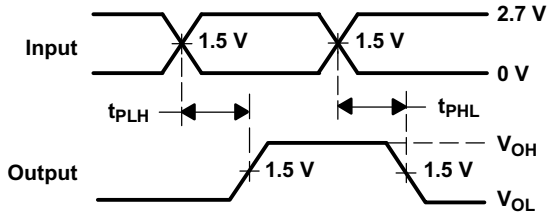


LOAD CIRCUIT

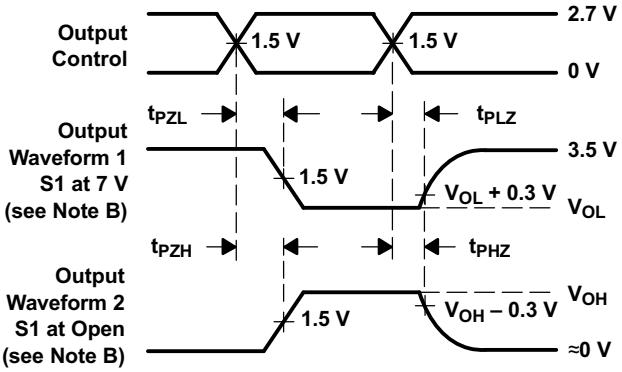
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	7 V
t_{PHZ}/t_{PZH}	Open



VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50Ω、t_r ≦ 2.5ns、t_f ≦ 2.5ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

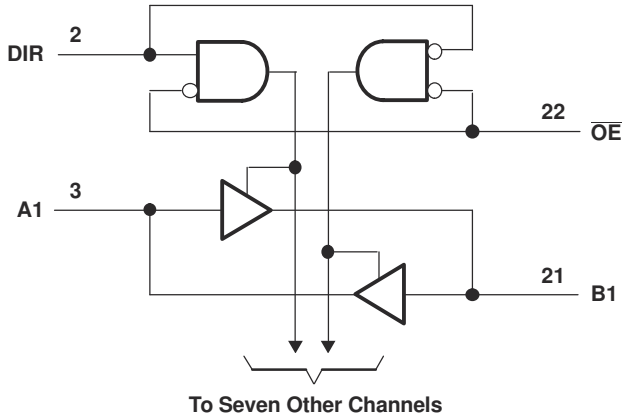
図 6-4. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SN74LVCC3245A デバイスは、データ バス間の非同期通信用に設計されています。グリッチの発生しない電源シーケンシングにより、堅牢な電源シーケンシング性能が得られると同時に、どちらの電源レールも任意の順序で電源オン / オフできます。このデバイスは、方向制御 (DIR) 入力の論理レベルに応じて、A バスから B バス、または B バスから A バスへデータを転送します。出力イネーブル ($\overline{OE}$) 入力を使うと、このデバイスを無効化してバスを実質的に絶縁できます。制御回路 (DIR、$\overline{OE}$) には、V_{CCA} から電源が供給されます。

7.2 機能ブロック図



7.3 機能説明

このデバイスは、ポート A で 2.3V ～ 3.6V、B ポートで 3V ～ 5.5V で動作するように設計された双方向レベル トランスレータです。制御入力の推奨動作仕様は、V_{CCA} 電圧を基準としています。

7.4 グリッチの発生しない電源シーケンシング

どちらの電源レールも、I/O にグリッチを発生させることなく任意の順番で電源をオンまたはオフにすることができます (つまり、Low に保持すべき出力が誤って VCC に遷移したり、あるいはその逆の現象が発生したりすることはありません)。この性質のグリッチは、周辺装置から有効なデータ ビットと誤って解釈される可能性があり、周辺装置のデバイス リセットやデバイス構成を誤ってトリガしたり、周辺装置のデータを誤って初期化する可能性もあります。

7.5 V_{CC} 絶縁および V_{CC} 切断

どちらかの電源が 100mV 未満かフローティング (接続解除) のままでも、もう片方の電源がデバイスに接続されている場合、I/O はハイ インピーダンス状態に入ります。どちらかの電源がフローティング (接続解除) になるまで、このデバイスの I/O は駆動させないか、ロジック Low 状態を維持しておくことを推奨します。デバイス上の任意の入力や出力との間の最大リーケージは、*電気的特性*の I_{off} で規定されます。

7.6 デバイスの機能モード

表 7-1 に、SN74LVCC3245A の機能モードを示します。

表 7-1. 機能表 (各トランシーバ)

入力		動作
$\overline{OE}$	DIR	
L	L	B データを A バスへ
L	H	A データを B バスへ
H	X	絶縁

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74LVCC3245A デバイスは、ポート A で 2.3V ～ 3.6V、B ポートで 3V ～ 5.5V で動作するように設計された双方向レベル トランスレータであり、複数のデータバス間の非同期通信用に設計されています。このデバイスは、方向制御 (DIR) 入力の論理レベルに応じて、A バスから B バス、または B バスから A バスへデータを転送します。

8.2 代表的なアプリケーション

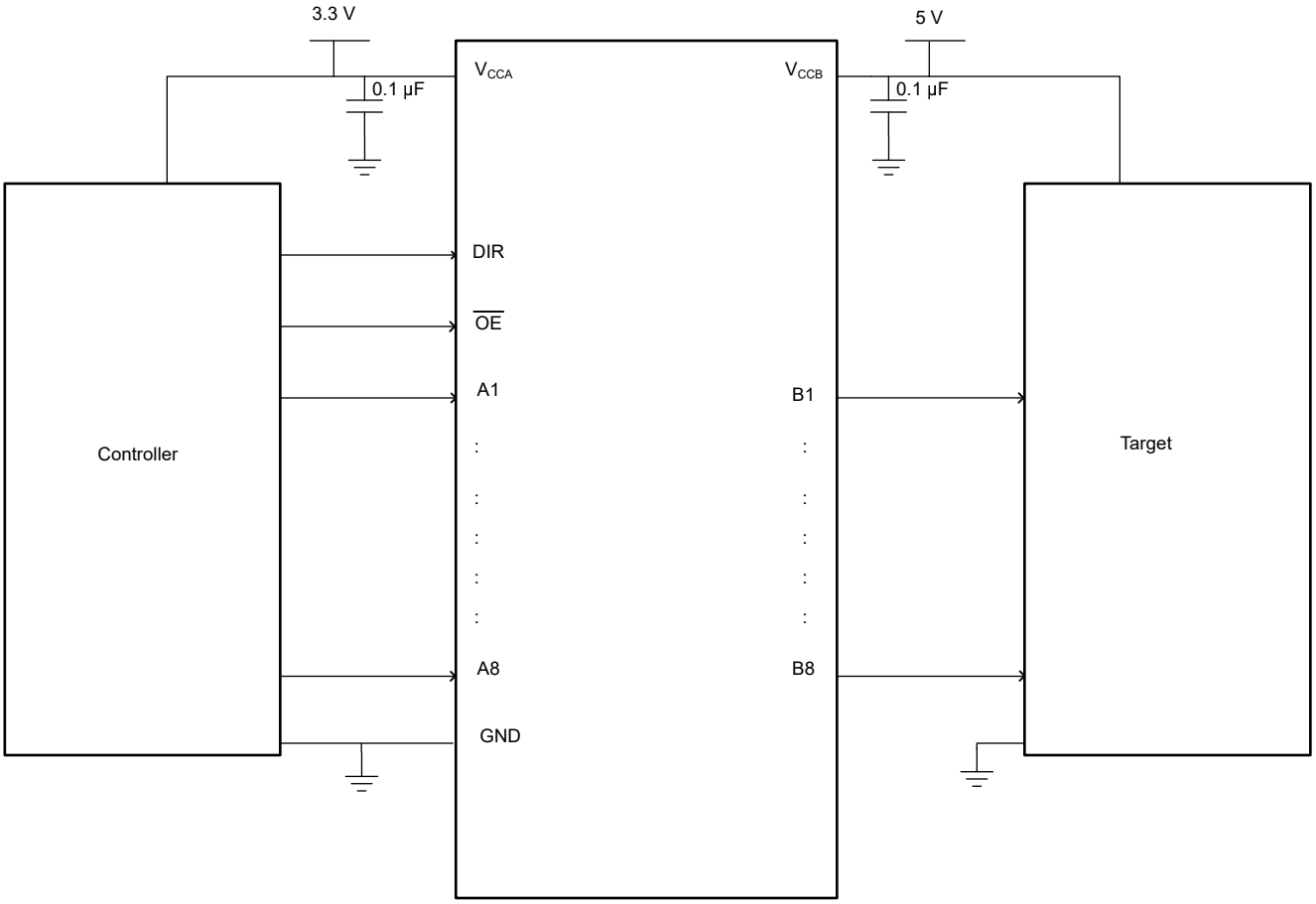


図 8-1. 代表的なアプリケーション

8.2.1 設計要件

このデバイスは、DIR ピンによっては双方向レベル トランスレータとして使用できます。このアプリケーションは、3.3V の信号を使用してコントローラのレベル変換を、5V で動作するターゲットに説明します。$\overline{OE}$ ピンは low、DIR ピンは 3.3V high です。

8.2.2 詳細な設計手順

設計には、以下の手順を使用します。

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様。「推奨動作条件」表の (Δt/ΔV) を参照してください。
   - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 絶対最大値出力条件
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、本部品の総電流 (V_{CC} または GND に流れる連続電流) を超えないようにする必要があります。これらの限界値は、*「絶対最大定格」*表に記載されています。
   - 静電気放電 (ESD) ダイオードのバイアスを防止するため、A ポートおよび B ポートのすべての電圧は、V_{CCA} または V_{CCB} を超えないようにする必要があります。

8.2.3 アプリケーション曲線

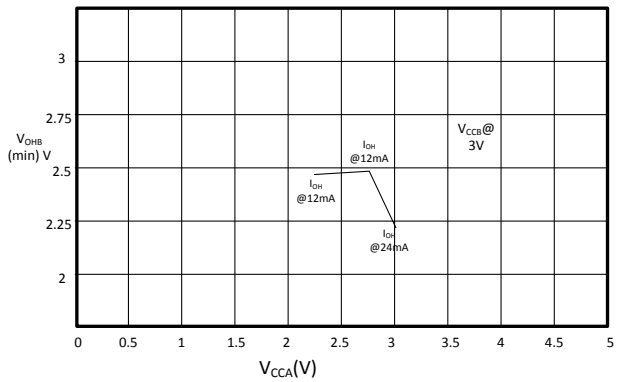


図 8-2. $V_{OHB(min)}$ と V_{CCA} との関係

8.3 電源に関する推奨事項

電源には、「推奨動作条件」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスでは 0.1μF のコンデンサが推奨されます。複数の V_{CC} ピンがある場合は、各電源ピンごとに 0.01μF または 0.022μF のコンデンサを使用することが推奨されます。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。以下に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

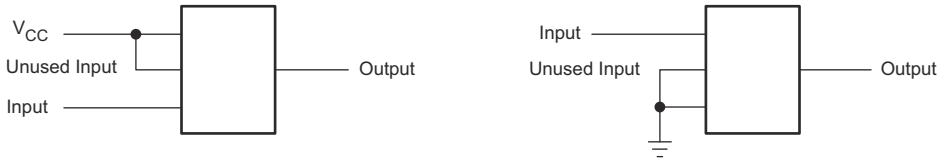


図 8-3. レイアウト例

8.4.3 パワーアップに関する検討事項

GND ピンには最初に必ずグランド リファレンス電圧を印加してください。このデバイスは、グリッチの発生しない電源シーケンシング用に設計されており、ランプの順序の電源シーケンシング要件はありません。このデバイスはさまざまな電源シーケンシング手法を使用して設計されており、「グリッチの発生しない電源シーケンシング」に記載されているように、ダウンストリーム デバイスの意図しないトリガ防止に役立ちます。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス インスツルメンツ、『電圧レベル変換デバイス』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (December 2022) to Revision R (May 2026) — **Page**

- 「概要」を更新 1
- 「電気的特性」セクションの電流値を更新 6
- 「電気的特性」セクションに IOFF 特性を追加 6
- 「VCC 絶縁および VCC」セクションを追加 14
- 「グリッチフリーの電源シーケンス」セクションを追加 14
- 「電源に関する推奨事項」セクションを更新 16

Changes from Revision P (December 2015) to Revision Q (December 2022) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1

Copyright © 2026 Texas Instruments Incorporated

- DB および PW パッケージの熱情報を追加。 6
- 包括的な用語を追加 15

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVCC3245ADBQR	Active	Production	SSOP (DBQ) | 24	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LVCC3245A
SN74LVCC3245ADBQR.B	Active	Production	SSOP (DBQ) | 24	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LVCC3245A
SN74LVCC3245ADBR	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245ADBR.A	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245ADBR.B	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245ADBRE4	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245ADBRG4	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245ADW	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADW.B	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWE4	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWG4	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWR	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWR.B	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWRG4	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ADWRG4.B	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ANSR	Active	Production	SOP (NS) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245ANSR.B	Active	Production	SOP (NS) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC3245A
SN74LVCC3245APW	Active	Production	TSSOP (PW) | 24	60 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APW.B	Active	Production	TSSOP (PW) | 24	60 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWR	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWR.A	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWRE4	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWRG4	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWT	Active	Production	TSSOP (PW) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWT.B	Active	Production	TSSOP (PW) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A
SN74LVCC3245APWTG4	Active	Production	TSSOP (PW) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LH245A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVCC3245A :

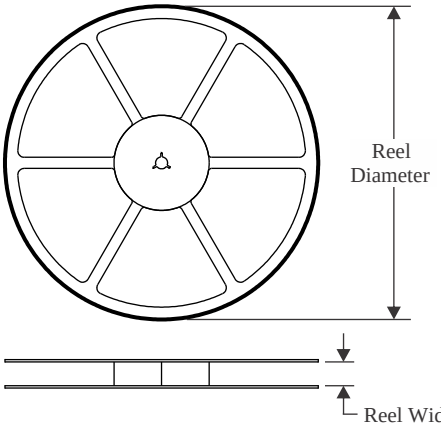
- Enhanced Product : SN74LVCC3245A-EP

NOTE: Qualified Version Definitions:

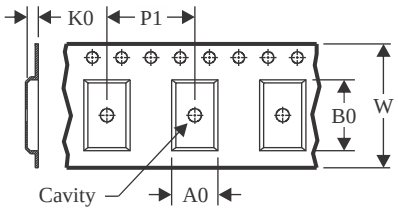
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

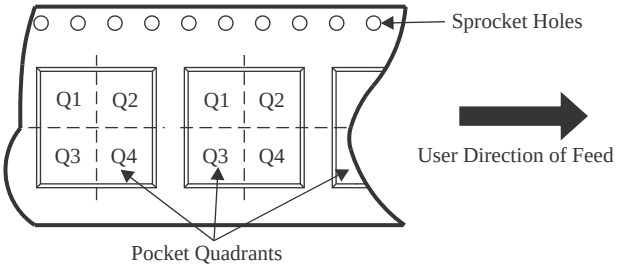


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

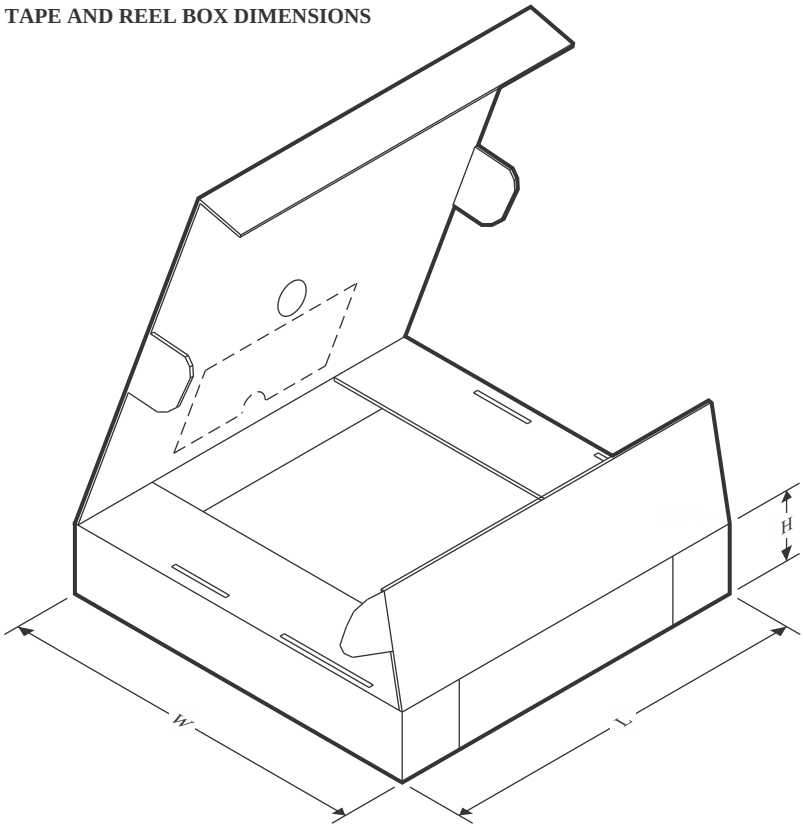
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVCC3245ADBQR	SSOP	DBQ	24	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVCC3245ADBR	SSOP	DB	24	2000	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
SN74LVCC3245ADWR	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
SN74LVCC3245ADWR	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
SN74LVCC3245ADWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
SN74LVCC3245ANSR	SOP	NS	24	2000	330.0	24.4	8.3	15.4	2.6	12.0	24.0	Q1
SN74LVCC3245APWR	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
SN74LVCC3245APWT	TSSOP	PW	24	250	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

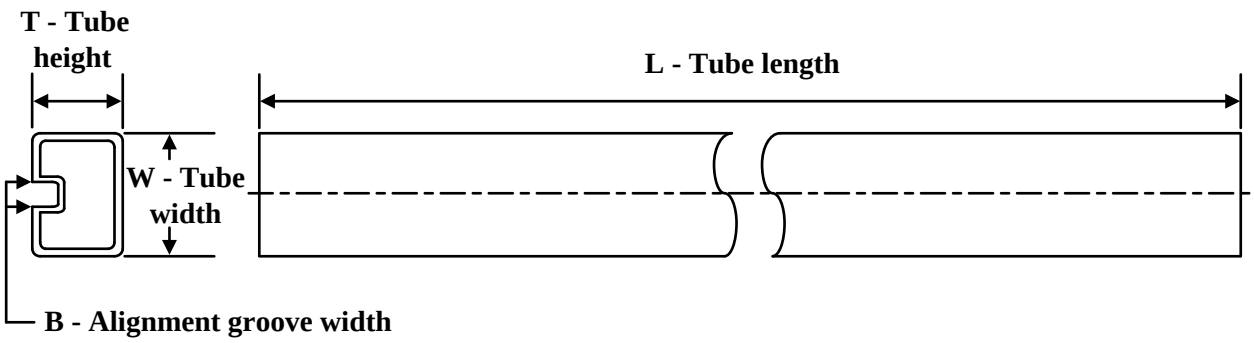
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVCC3245ADBQR	SSOP	DBQ	24	2500	353.0	353.0	32.0
SN74LVCC3245ADBR	SSOP	DB	24	2000	353.0	353.0	32.0
SN74LVCC3245ADWR	SOIC	DW	24	2000	364.0	364.0	27.0
SN74LVCC3245ADWR	SOIC	DW	24	2000	350.0	350.0	43.0
SN74LVCC3245ADWRG4	SOIC	DW	24	2000	350.0	350.0	43.0
SN74LVCC3245ANSR	SOP	NS	24	2000	356.0	356.0	45.0
SN74LVCC3245APWR	TSSOP	PW	24	2000	353.0	353.0	32.0
SN74LVCC3245APWT	TSSOP	PW	24	250	353.0	353.0	32.0

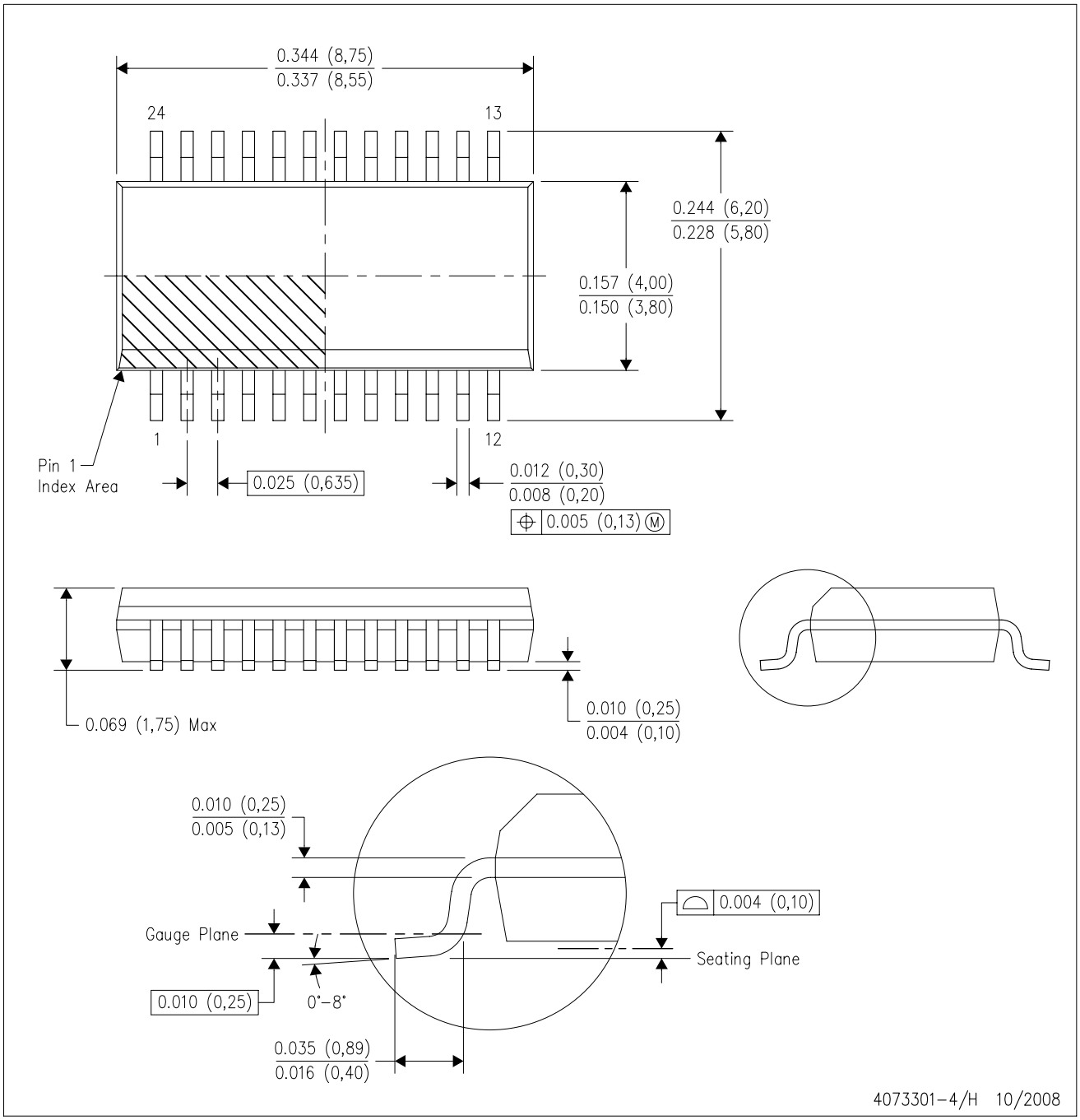
TUBE



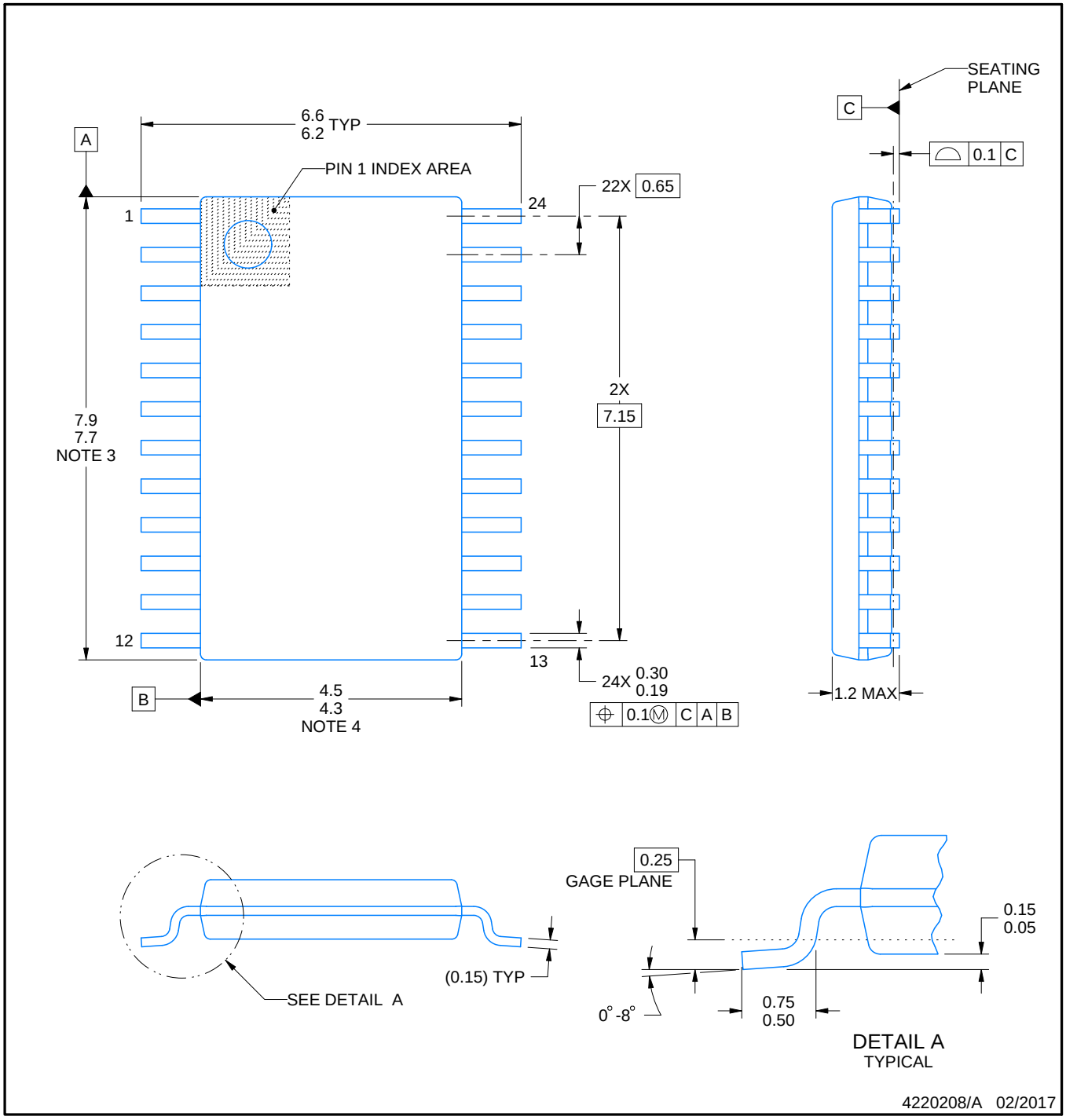
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74LVCC3245ADW	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC3245ADW.B	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC3245ADWE4	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC3245ADWG4	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC3245APW	PW	TSSOP	24	60	530	10.2	3600	3.5
SN74LVCC3245APW.B	PW	TSSOP	24	60	530	10.2	3600	3.5

DBQ (R–PDSO–G24) PLASTIC SMALL–OUTLINE PACKAGE

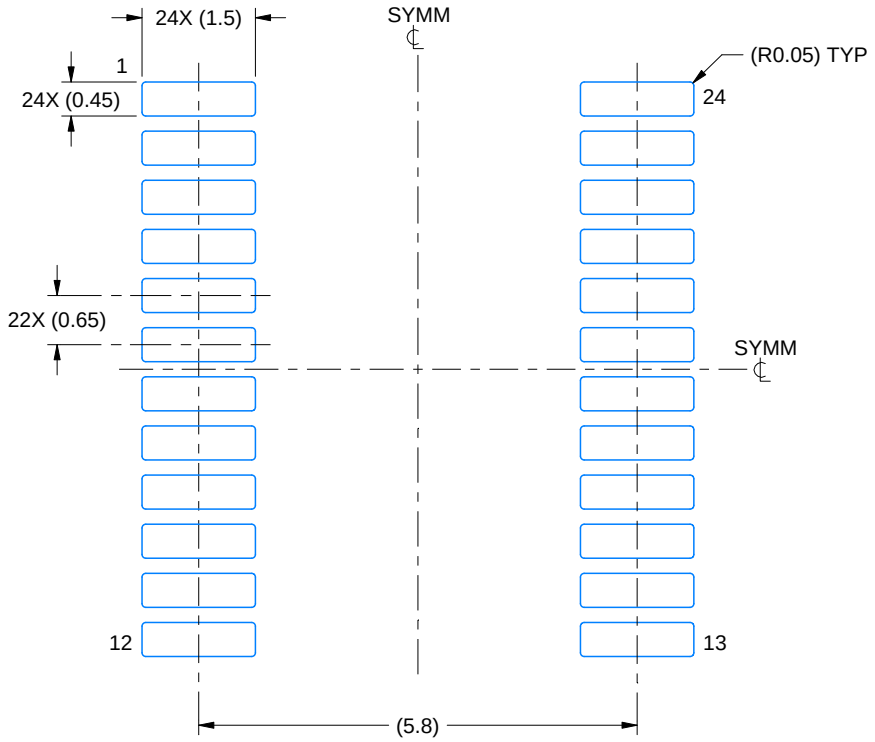


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
D. Falls within JEDEC MO–137 variation AE.

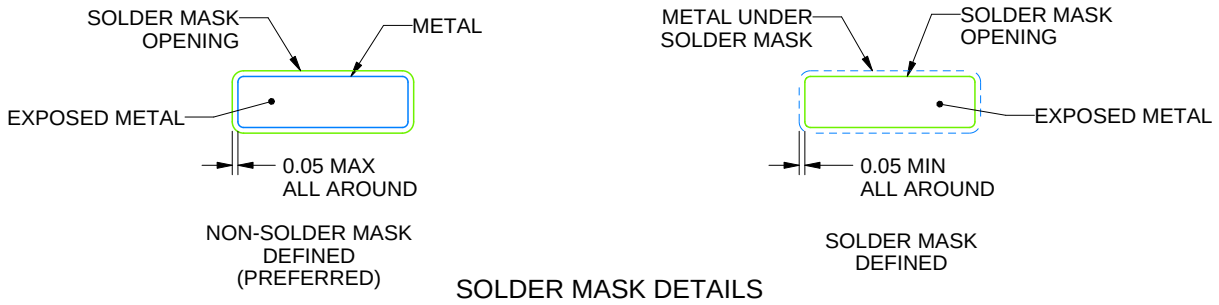


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

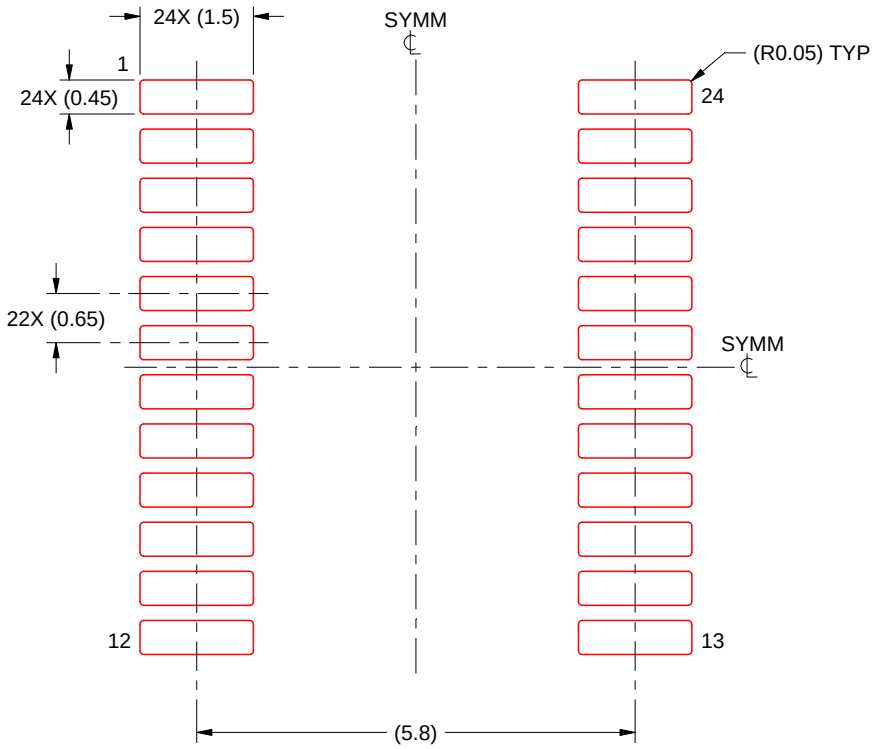


SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220208/A 02/2017

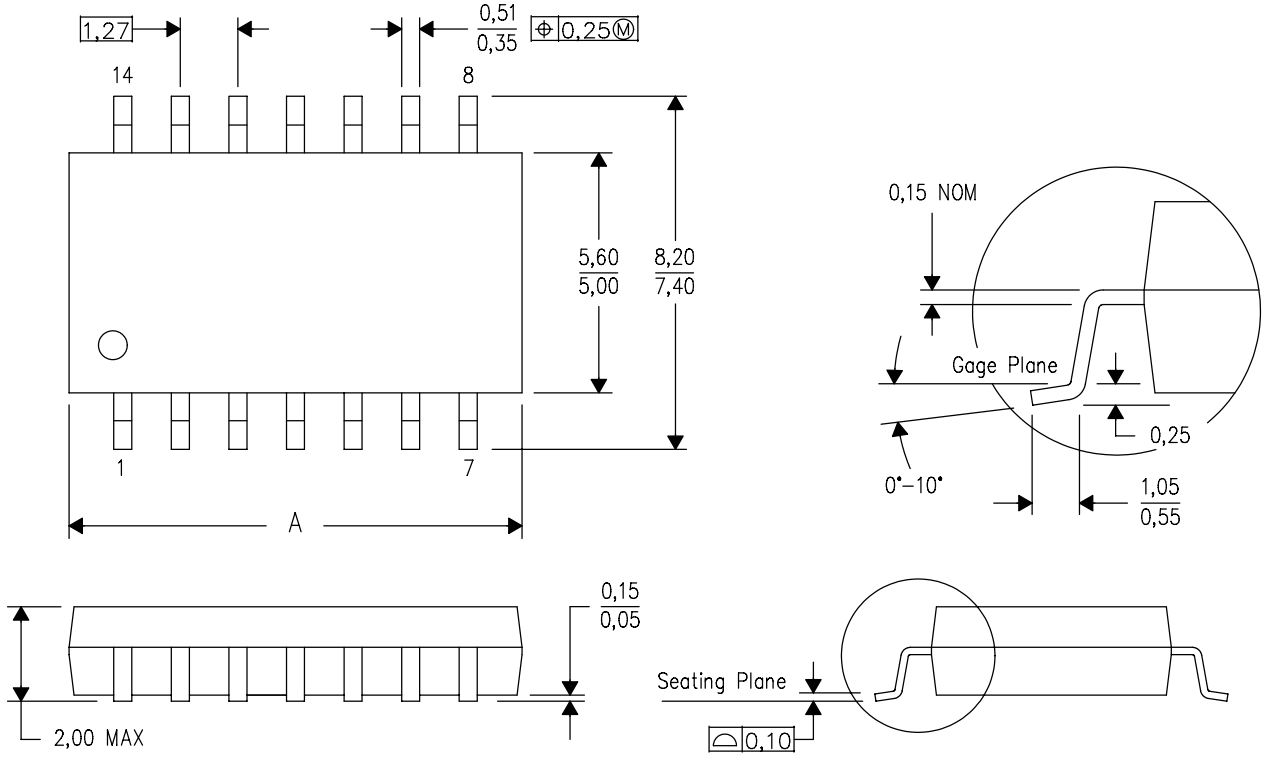
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

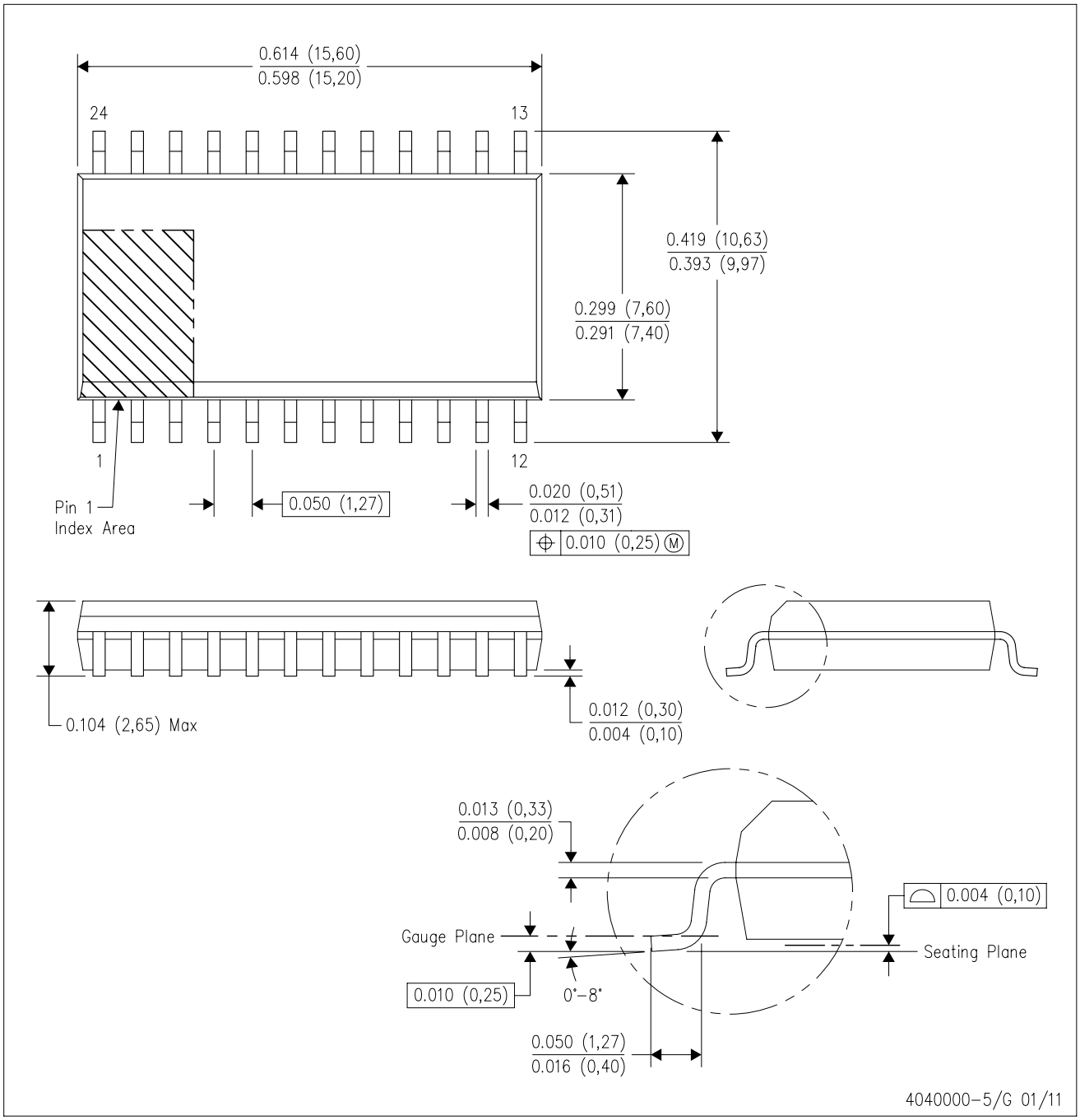


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

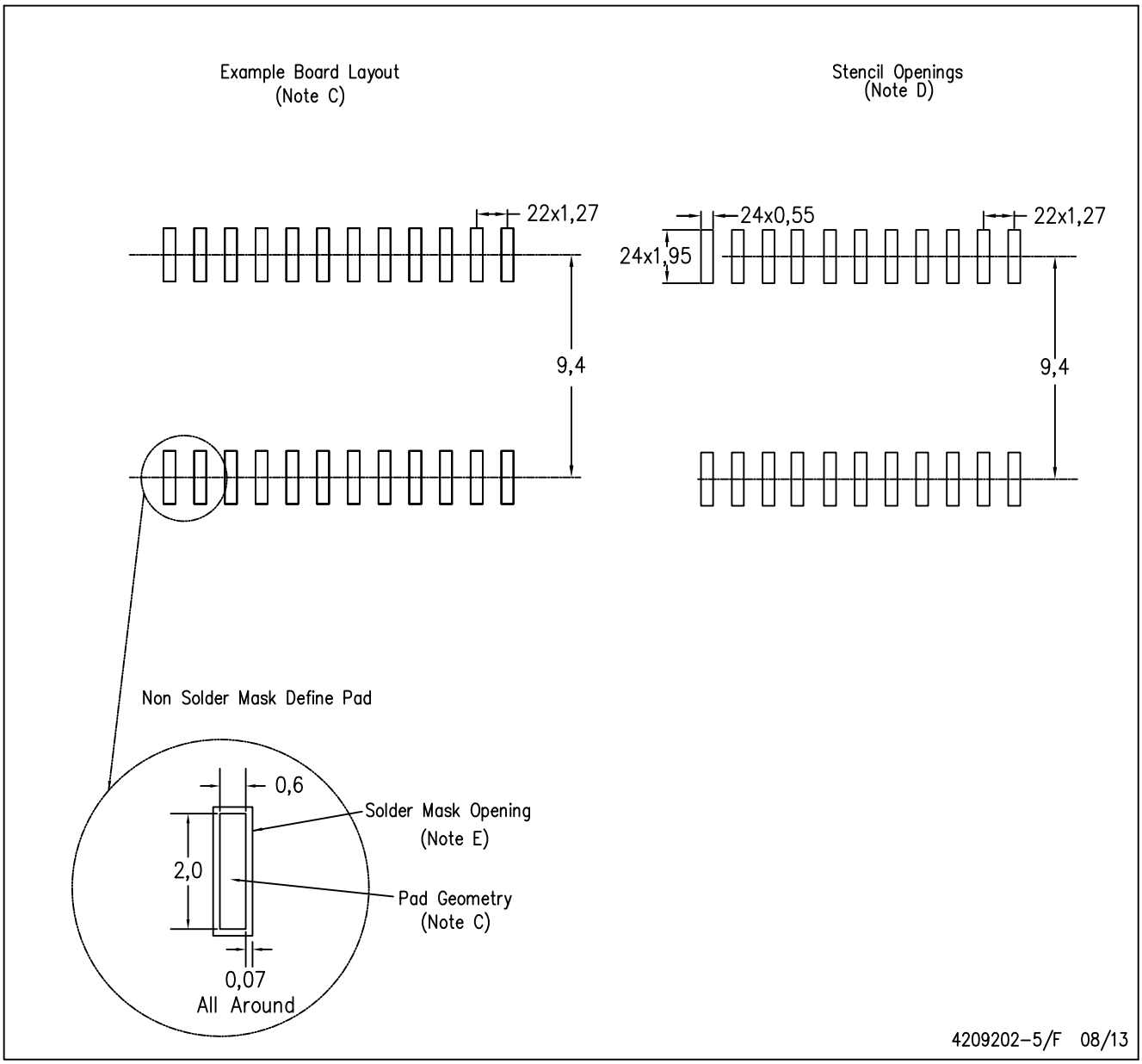
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DW (R–PDSO–G24) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
D. Falls within JEDEC MS–013 variation AD.

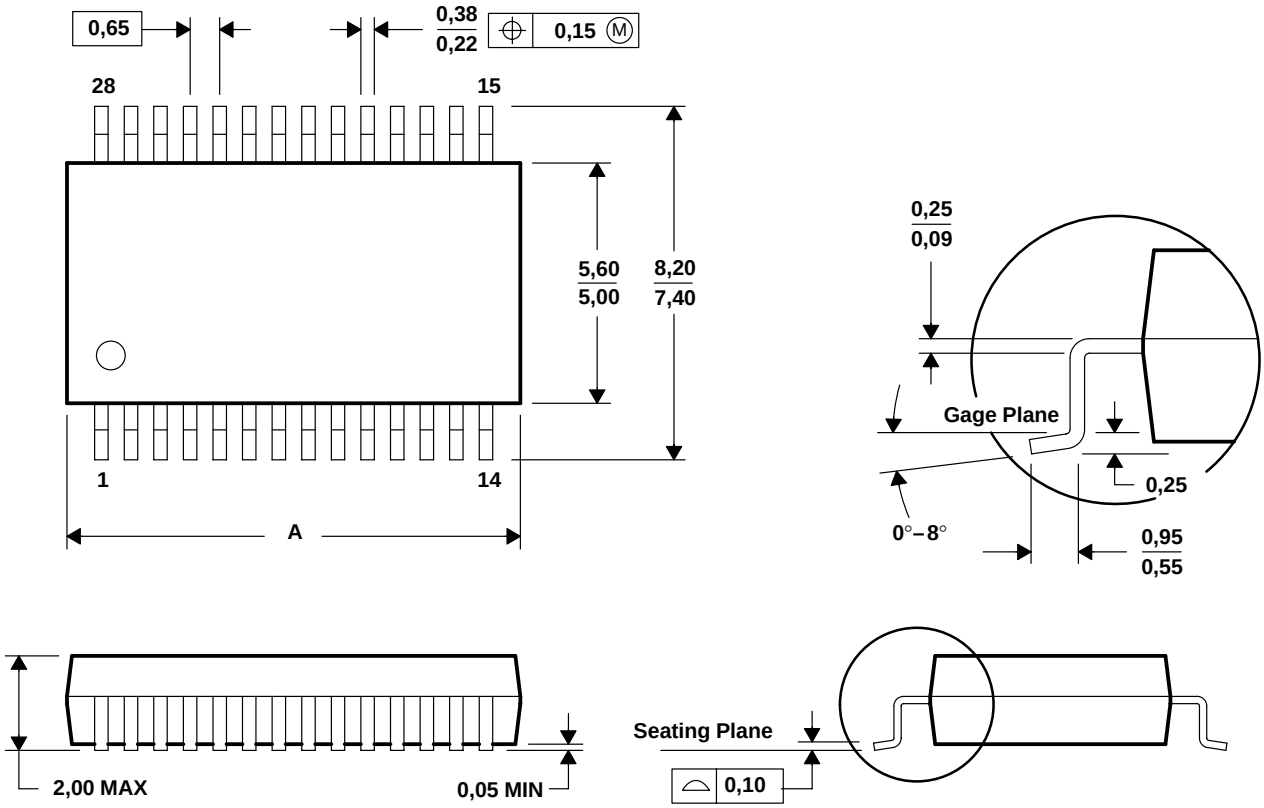
DW (R–PDSO–G24) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Refer to IPC7351 for alternate board design.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DB (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

28 PINS SHOWN



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-150

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月