

SN74LVCZ240A パワーアップ 3 ステート出力搭載オクタールバッファ

1 特長

- 2.7 V～3.6 V で動作
- 5.5V までの入力電圧に対応
- 6.5ns の最大 t_{pd} (3.3V 時)
- 標準 V_{OLP} (出力グランド バウンス) $< 0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- 標準 V_{OHV} (出力 V_{OH} アンダーシュート) $> 2V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- I_{off} とパワーアップ 3 ステート サポートのホット インサージョン
- すべてのポートで混在モード信号動作をサポート (3.3V V_{CC} で 5V の入力/出力電圧)
- JEDEC 78 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- インジケータ LED の駆動
- オープンドレイン出力を使用したレベル シフト

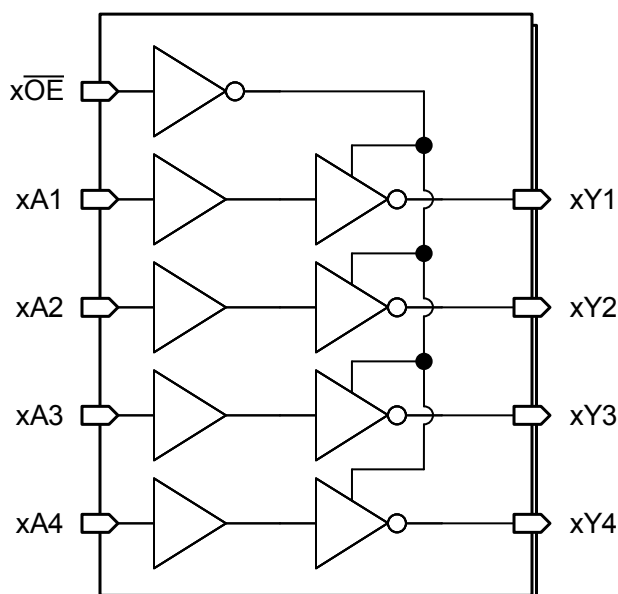
3 説明

SN74LVCZ240A は、3 ステート出力を備えたオクタール バッファです。本デバイスは、4 つのドライバを持つ 2 つのバンクに構成されており、各バンクは出力イネーブル ピンで制御されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74LVCZ240A	PW (TSSOP, 20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	DW (SOIC, 20)	12.80mm × 10.3mm	12.8mm × 7.5mm
	NS (SOP, 20)	12.6mm × 7.8mm	12.6mm × 5.3mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



機能ブロック図



目次

1 特長	1	7.3 機能説明	11
2 アプリケーション	1	7.4 デバイスの機能モード	12
3 説明	1	8 アプリケーションと実装	13
4 ピン構成および機能	3	8.1 使用上の注意	13
5 仕様	4	8.2 代表的なアプリケーション	13
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項	15
5.2 ESD 定格.....	4	8.4 レイアウト	15
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート	17
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	17
5.5 電気的特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	17
5.6 スイッチング特性.....	6	9.3 サポート・リソース.....	17
5.7 動作特性.....	6	9.4 商標.....	17
5.8 代表的特性.....	7	9.5 静電気放電に関する注意事項.....	17
6 パラメータ測定情報	9	9.6 用語集.....	17
7 詳細説明	11	10 改訂履歴	17
7.1 概要.....	11	11 メカニカル、パッケージ、および注文情報	19
7.2 機能ブロック図.....	11		

4 ピン構成および機能

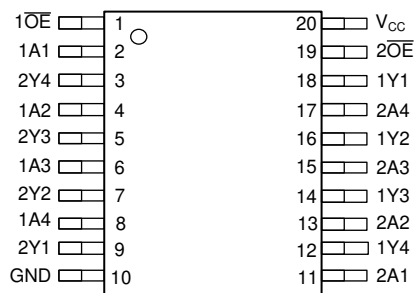


図 4-1. SN74LVCZ240A PW、DW、NS パッケージ
(上面図)

ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
A1	2	I	バンク 1、チャネル 1 入力
A2	3	O	バンク 2、チャネル 4 出力
A3	4	I	バンク 1、チャネル 2 入力
A4	5	O	バンク 2、チャネル 3 出力
A5	6	I	バンク 1、チャネル 3 入力
A6	7	O	バンク 2、チャネル 2 出力
A7	8	I	バンク 1、チャネル 4 入力
A8	9	O	バンク 2、チャネル 1 出力
GND	10	G	グラウンド
OE1	1	I	バンク 1、出力イネーブル、アクティブ Low
OE2	19	I	バンク 2、出力イネーブル、アクティブ Low
V _{CC}	20	P	正電源
Y1	18	O	バンク 1、チャネル 1 出力
Y2	17	I	バンク 2、チャネル 4 入力
Y3	16	O	バンク 1、チャネル 2 出力
Y4	15	I	バンク 2、チャネル 3 入力
Y5	14	O	バンク 1、チャネル 3 出力
Y6	13	I	バンク 2、チャネル 2 入力
Y7	12	O	バンク 1、チャネル 4 出力
Y8	11	I	バンク 2、チャネル 1 入力

(1) 信号タイプ: I = 入力、O = 出力、G = グラウンド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
V_{CC} 電源電圧範囲	-0.5	6.5	V
V_I 入力電圧範囲 ⁽¹⁾	-0.5	6.5	V
V_O 高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽¹⁾	-0.5	6.5	V
V_O High または Low 状態にある任意の出力に印加される電圧範囲 ⁽¹⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK} 入力クランプ電流	$V_I < 0$	-50	mA
I_{OK} 出力クランプ電流	$V_O < 0$	-50	mA
I_O 連続出力電流		±50	mA
V_{CC} または GND を通過する連続電流		±100	mA
T_{stg} 保管温度範囲	-65	150°C	°C

(1) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

5.2 ESD 定格

	値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	最大値	単位
V _{CC}	電源電圧		2.7	3.6	V
V _{IH}	High レベル入力電圧	V _{CC} = 2.7V~3.6V	2		V
V _{IL}	Low レベル入力電圧	V _{CC} = 2.7V~3.6V		0.8	V
V _I	入力電圧		0	5.5	V
V _O	出力電圧	High または Low 状態	0	V _{CC}	V
		3 ステート	0	5.5	
I _{OH}	High レベル出力電流	V _{CC} = 2.7V		-12	mA
		V _{CC} = 3V		-24	
I _{OL}	Low レベル出力電流	V _{CC} = 2.7V		12	mA
		V _{CC} = 3V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート			6	ns/V
Δt/ΔV _{CC}	パワーアップ ランプ レート		150		μs/V
T _A	自由空気での動作温度		-40	85	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
PW (TSSOP)	20	120.3	62.5	82.4	16.0	81.5	該当なし	°C/W
DW (SOIC)	20	114.8	84.1	88.8	55.8	87.8	該当なし	°C/W
NS (SOP)	20	116.3	82.4	86.2	43.9	85.5	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値 標準値 ⁽¹⁾ 最大値	単位
V _{OH}	I _{OH} = -100μA	2.7V ~ 3.6V	V _{CC} - 0.2	V
	I _{OH} = -12mA	2.7V	2.2	
		3V	2.4	
	I _{OH} = -24mA	3V	2.2	
V _{OL}	I _{OL} = 100μA	2.7V ~ 3.6V	0.2	V
	I _{OL} = 12mA	2.7V	0.4	
	I _{OL} = 24mA	3V	0.55	
I _I	V _I = 0 ~ 5.5V	3.6V	±5	μA
I _{off}	V _I または V _O = 5.5V	0	±5	μA
I _{OZ}	V _O = 0 ~ 5.5V	3.6V	±5	μA
I _{OZPU}	V _O = 0.5 ~ 2.5V、 OE = 未使用	0 ~ 1.5V	±5	μA
I _{OZPD}	V _O = 0.5 ~ 2.5V、 OE = 未使用	1.5V ~ 0	±5	μA
I _{CC}	V _I = V _{CC} または GND 3.6V ≤ V _I ≤ 5.5V ⁽²⁾	3.6V	100	μA
	I _O = 0		100	
ΔI _{CC}	1つの入力は V _{CC} - 0.6V、その他の入力は V _{CC} または GND	2.7V ~ 3.6V	100	μA
C _i	V _I = V _{CC} または GND	3.3V	3.5	pF
C _O	V _O = V _{CC} または GND	3.3V	5.5	pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

(2) これは、ディセーブル状態でのみ適用されます。

5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	V _{CC} = 2.7V		V _{CC} = 3.3V ±0.3V		単位
			最小値	最大値	最小値	最大値	
t _{pd}	A または B	B または A	7.5		1.3	6.5	ns
t _{en}	OE	A または B	9		1.1	8	ns
t _{dis}	OE	A または B	8		1.4	7	ns

5.7 動作特性

T_A = 25°C

パラメータ			テスト 条件	V _{CC} = 3.3V	単位
				標準値	
C _{pd}	バッファ / ドライバあたりの消費電力容量	出力イネーブル	f = 10MHz	37	pF
		出力ディセーブル		3	

5.8 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

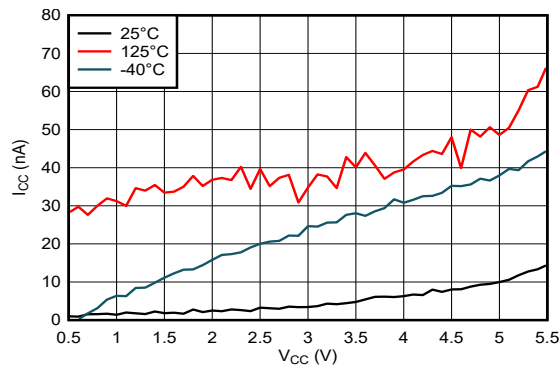


図 5-1. 電源電流と電源電圧との関係

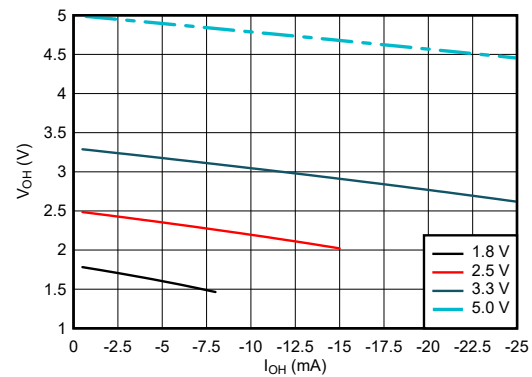


図 5-2. High 状態における出力電圧と電流との関係

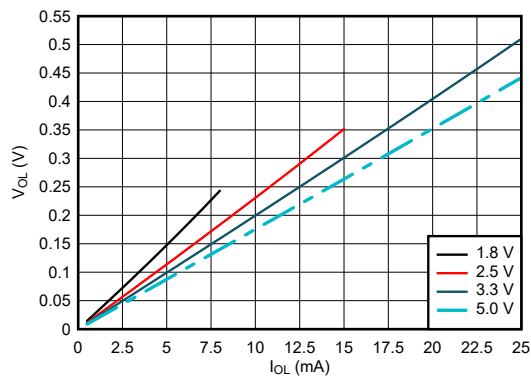


図 5-3. Low 状態における出力電圧と電流との関係

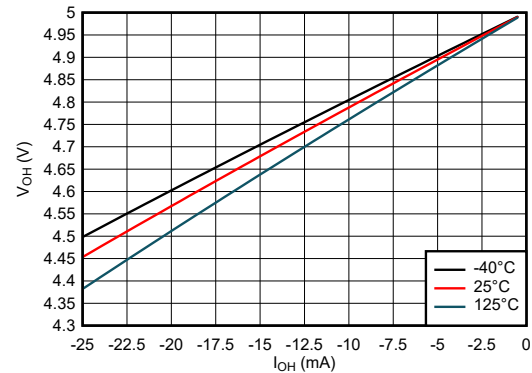


図 5-4. High 状態における出力電圧と電流との関係、5V 電源

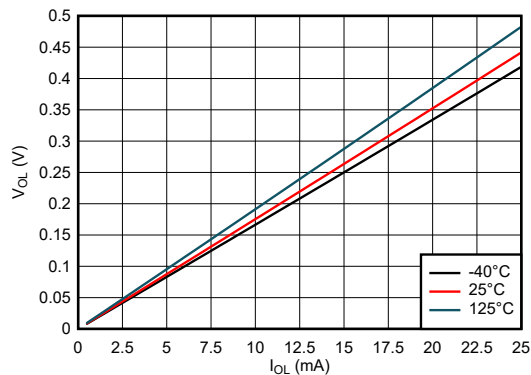


図 5-5. Low 状態における出力電圧と電流との関係、5V 電源

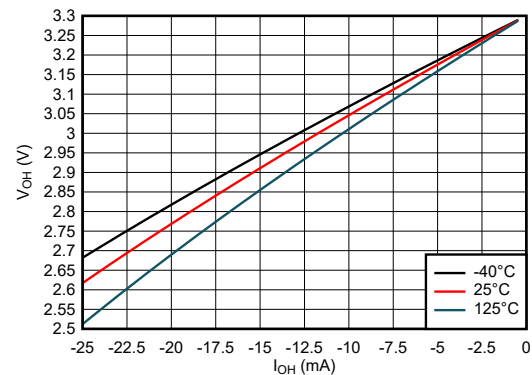


図 5-6. High 状態における出力電圧と電流との関係、3.3V 電源

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

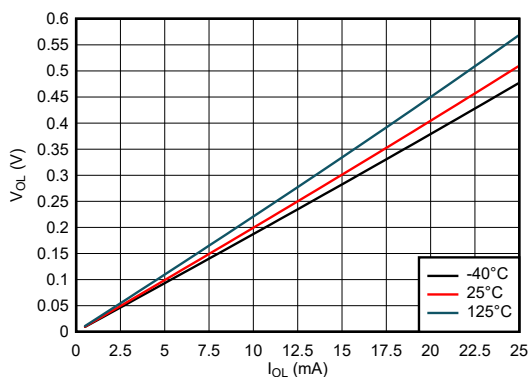


図 5-7. Low 状態における出力電圧と電流との関係、3.3V 電源

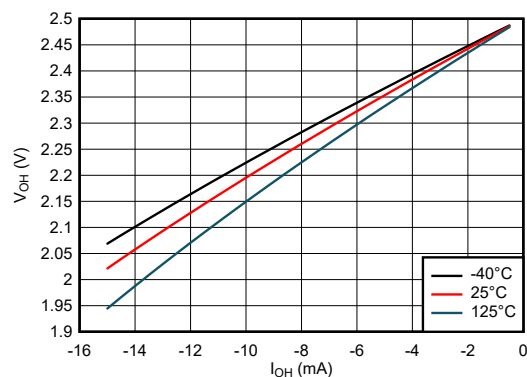


図 5-8. High 状態における出力電圧と電流との関係、2.5V 電源

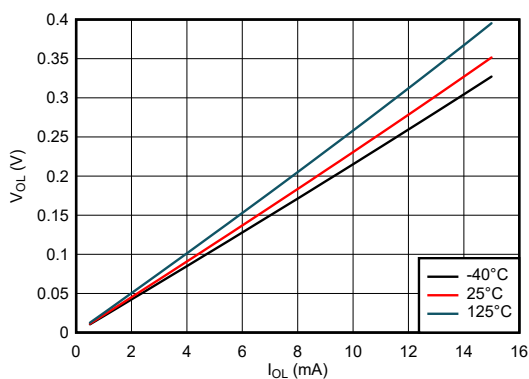


図 5-9. Low 状態における出力電圧と電流との関係、2.5V 電源

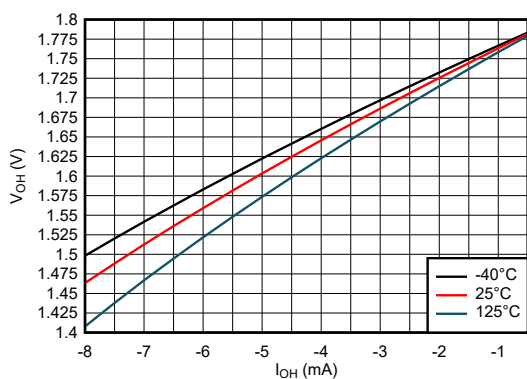


図 5-10. High 状態における出力電圧と電流との関係、1.8V 電源

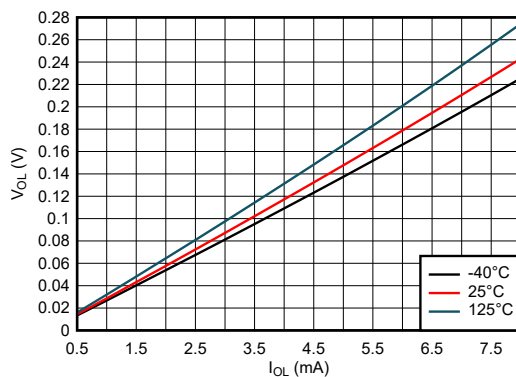


図 5-11. Low 状態における出力電圧と電流との関係、1.8V 電源

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq$ 1MHz、 $Z_O = 50\Omega$ 、 $t_f \leq 2.5\text{ns}$ 。

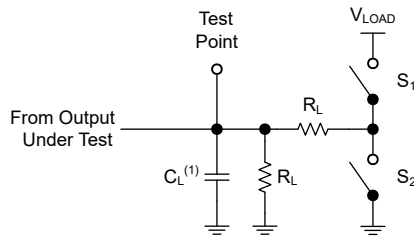
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

表 6-1. 3 ステート出力

TEST	S1	S2
t_{PLH} 、 t_{PHL}	オープン	オープン
t_{PLZ} 、 t_{PZL}	クローズ	オープン
t_{PHZ} 、 t_{PZH}	オープン	クローズ

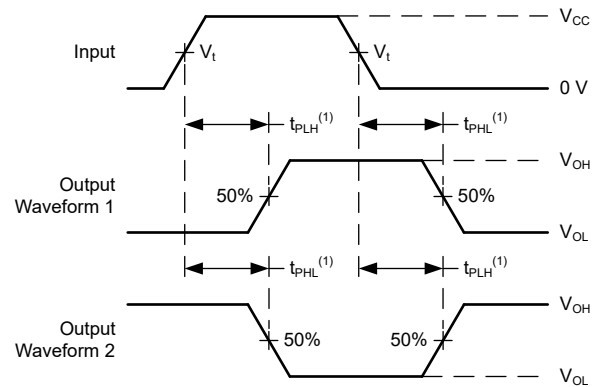
表 6-2. 3-state またはオープン ドレイン出力

V_{CC}	V_t	R_L	C_L	ΔV	V_{LOAD}
$1.8\text{V} \pm 0.15\text{V}$	$V_{CC}/2$	$1\text{k}\Omega$	30pF	0.15V	$2 \times V_{CC}$
$2.5\text{V} \pm 0.2\text{V}$	$V_{CC}/2$	$500\ \Omega$	30pF	0.15V	$2 \times V_{CC}$
2.7V	1.5V	$500\ \Omega$	50pF	0.3V	6V
$3.3\text{V} \pm 0.3\text{V}$	1.5V	$500\ \Omega$	50pF	0.3V	6V



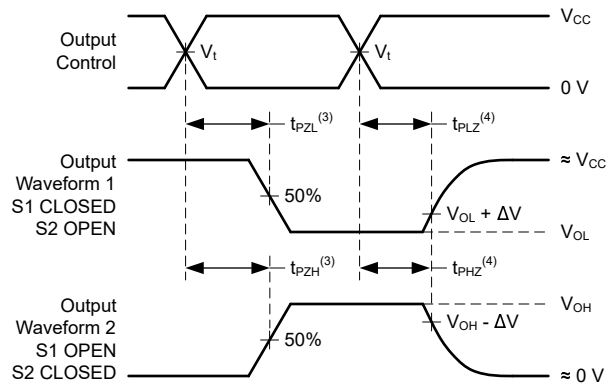
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

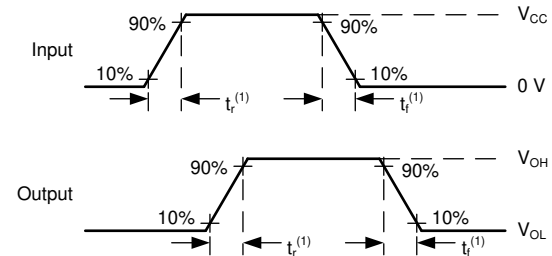
図 6-2. 電圧波形、伝搬遅延



(1) t_{PZL} と t_{PZH} の大きい方が t_{en} に相当します。

(2) t_{PLZ} と t_{PHZ} の大きい方が t_{dis} に相当します。

図 6-3. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74LVCZ240A は、シュミットトリガ入力と 3 ステート出力を備えた 8 つの独立した高速 CMOS インバータを内蔵しています。

各インバータは、ブール論理関数 $xYn = \overline{xAn}$ を実行します。x はバンク番号、n はチャンネル番号です。

各出力イネーブル ($x\overline{OE}$) は 4 つのインバータを制御します。 $x\overline{OE}$ ピンが Low 状態のとき、バンク x のすべてのインバータの出力がイネーブルになります。 $x\overline{OE}$ ピンが High 状態のとき、バンク x のすべてのインバータの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

電源投入または電源切断時に確実に高インピーダンス状態にするため、両方の $\overline{OE}$ ピンをプルアップ抵抗経路で V_{CC} に接続しなければなりません。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

7.2 機能ブロック図

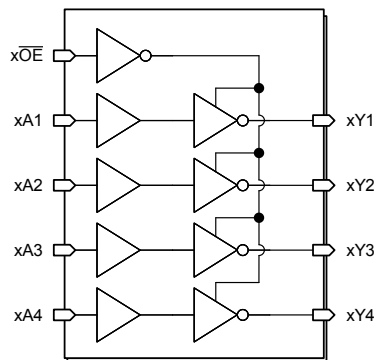


図 7-1. SN74LVCZ240A の論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3-state 出力 (High 駆動、Low 駆動、ハイ インピーダンス) が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮してください。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルよりも大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

ハイ インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。ハイ インピーダンス状態では、デバイスは出力電圧を制御しません。出力電流は、外部要因に依存します。フローティング ノードは、他のドライバが接続されていないノードであり、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、デバイスがハイ インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、10kΩ 抵抗を使用すると、これらの要件を満たすことができます。

未使用の 3-state CMOS 出力は未接続のままにします。

7.3.2 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディセーブルになっているときは、入力電圧に関係なく、出力は電流のソースとシンクのどちらも行いません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.3 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*低速またはフローティング CMOS 入力の影響アプリケーション レポート*を参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 クランプ ダイオード構造

図 7-2 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

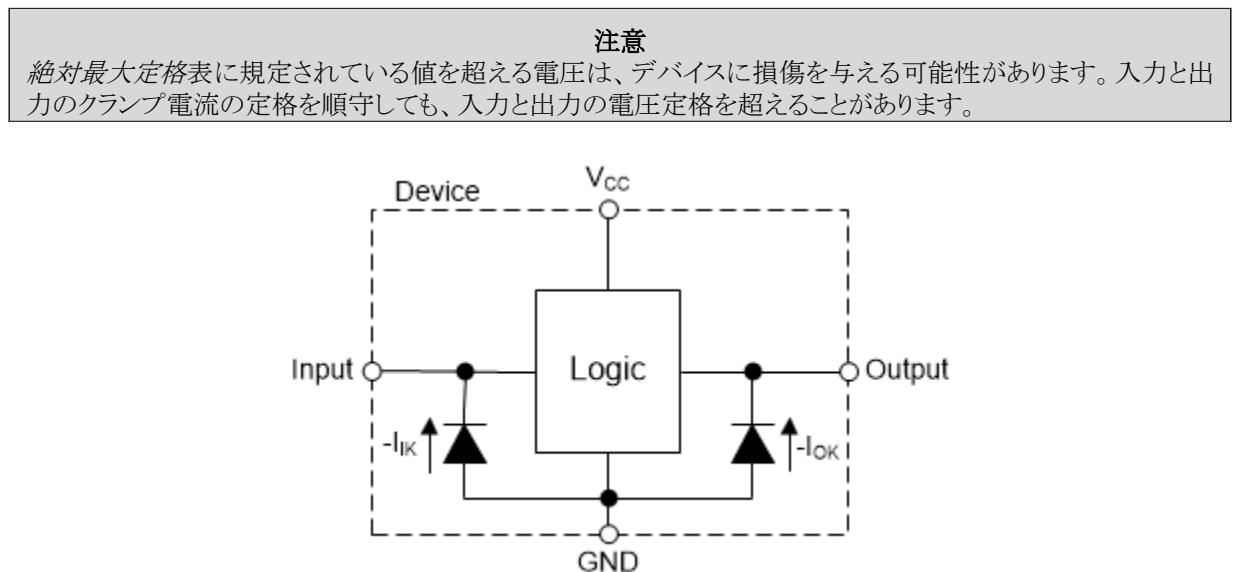


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SN74LVCZ240A の機能モードを示します。

表 7-1. 機能表

入力 ⁽¹⁾		出力
OE	A	Y
L	L	H
L	H	L
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

SN74LVCZ240A は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスミッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリングングを低減できます。「アプリケーション曲線」セクションの図は、3 つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

8.2 代表的なアプリケーション

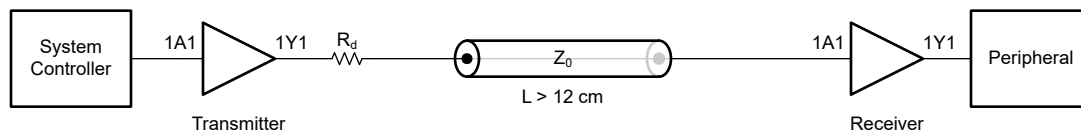


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

SN74LVCZ240A デバイスは CMOS 技術を使用し、平衡型出力ドライブを採用しています。上限値を超える電流が流れることがあるため、バスが競合しないように注意します。

SN74LVCZ240A により、デジタル制御信号を使用して、アナログ信号とデジタル信号のスイッチング制御が可能になります。最適な動作を実現するには、すべての入力信号を 0V または V_{CC} のいずれかにできるだけ近い電圧電位に維持してください。

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LVCZ240A のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給する必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グラウンドは、SN74LVCZ240A のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクする必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LVCZ240A は、データシートの仕様をすべて満たしながら、合計容量 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えてはいけません。

SN74LVCZ240A は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、CMOS の消費電力と Cpd の計算アプリケーション ノートに記載された情報を使って計算できます。

温度の上昇は、[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性 アプリケーション ノート](#)に記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック LOW と見なされ、 $V_{IH(min)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVCZ240A へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

SN74LVCZ240A は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:

- 立ち上がり時間と立ち下がり時間の仕様については、「推奨動作条件」表の $\Delta t/\Delta v$ を参照してください。
- 規定された High および Low レベルについては、「推奨動作条件」表の V_{IH} および V_{IL} を参照してください。
- 入力および出力は過電圧許容で、任意の有効な V_{CC} において最高 5.5V に対応できます。

2. 推奨出力条件:

- 負荷電流は $\pm 50mA$ を超えないこと。

3. 周波数選択の基準:

- 周波数がデバイスの消費電力に及ぼす影響は、アプリケーション ノート『[CMOS の消費電力と Cpd の計算](#)』で調べる必要があります。
- トレース抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。レイアウトセクションに記載されているレイアウト手法に従ってください。

8.2.3 アプリケーション曲線

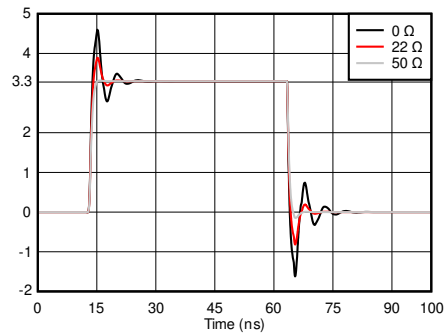


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでのシグナル インテグリティをシミュレート

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置することを確認します。SN74LVCZ240A には、0.1 μ F バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1 μ F と 1 μ F の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグランド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil～12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグランド プレーンを使用
 - 信号トレース周辺の領域をグランドでフラッド フィル
 - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

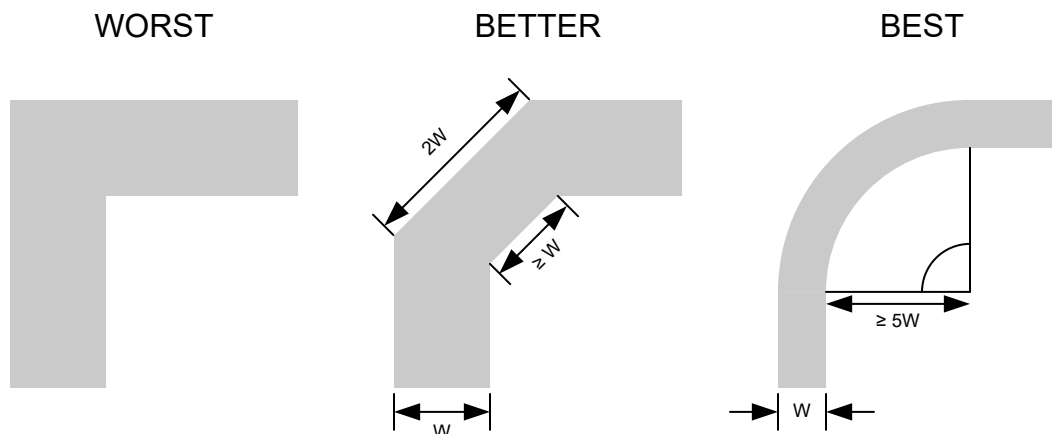


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

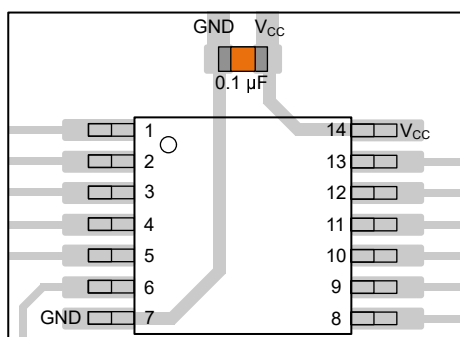


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

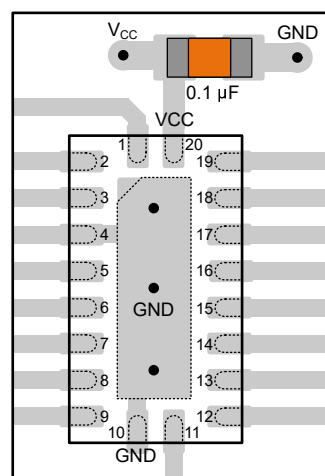


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

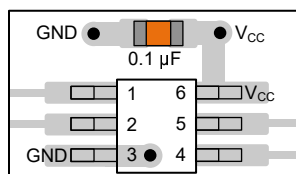


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

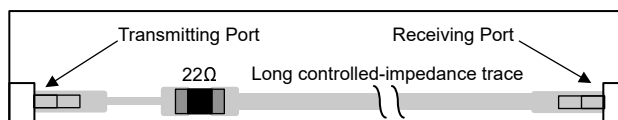


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と \$C_{pd}\$ の計算](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[ロジック設計](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from APRIL 1, 2005 to JUNE 24, 2026 (from Revision H (April 2005) to Revision I (June 2026))

	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ESD レーティングを「ESD レーティング」表に移動	1
• ラッチアップ レーティングを最新の標準に更新.....	1
• DW パッケージの R0JA を 58°C/W から 114.8°C/W に変更.....	5
• NS パッケージの R0JA を 60°C/W から 116.3°C/W に変更.....	5

- PW パッケージの R θ JA を 83°C/W から 120.3°C/W に変更..... 5
 - レイアウトのガイドラインに並列トレース間隔の推奨事項を追加。「分岐を回避します。別々に分岐する必要のある信号をバッファする」の表現を「分岐を回避します。個別に分岐する必要がある各信号をバッファする」に変更..... 15
-

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVCZ240ADW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ADW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ANSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ANSR.B	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240APW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVCZ240ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVCZ240APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

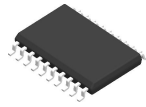
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVCZ240ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVCZ240APWR	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74LVCZ240ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVCZ240ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVCZ240APW	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVCZ240APW.B	PW	TSSOP	20	70	530	10.2	3600	3.5



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

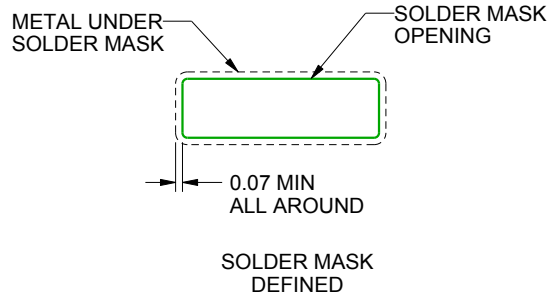
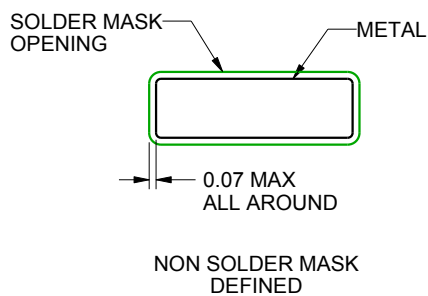
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220206/A 02/2017

NOTES:

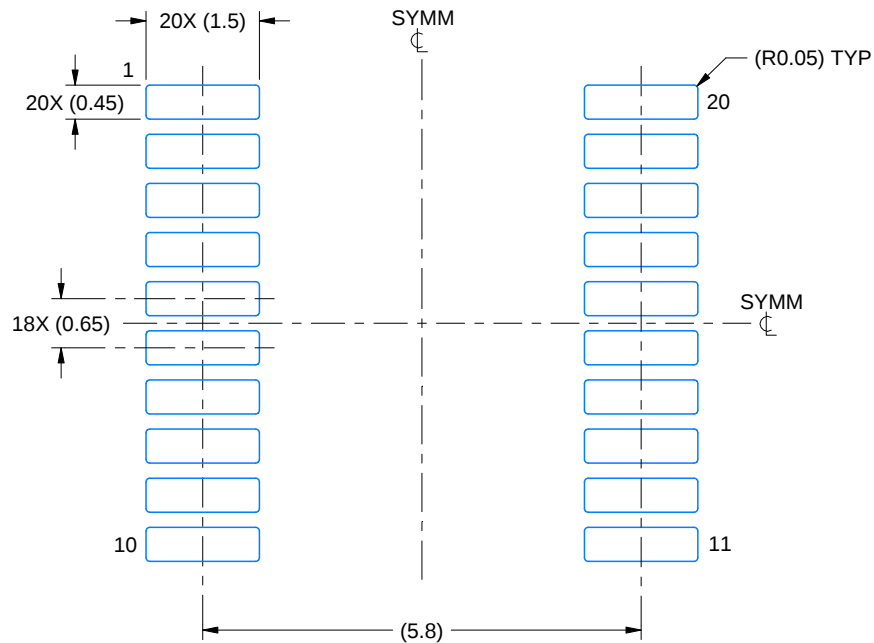
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

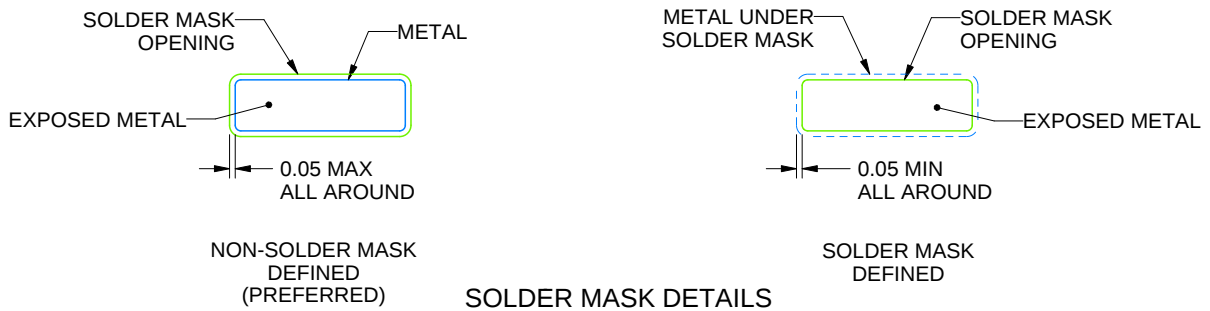
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

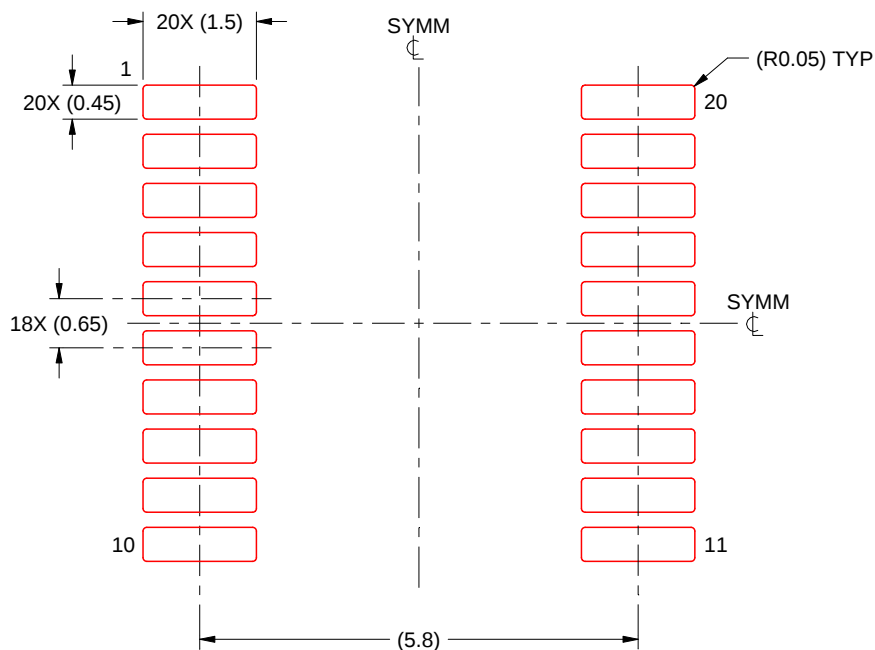
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月