SN74UVP1G04-Q1 低消費電力 シングル インバータ ゲート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:–40°C ～ +125°C
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 0.63V～3.6V の電源電圧範囲で低電圧動作に対応
- 拡張動作温度範囲:–40°C ～ 125°C
- 低消費電力
  - I_{CC} = 10nA (標準値)
  - 入力リーク電流 I_I = 3nA (標準値)
  - 出力オフ状態リーク電流 I_{OZ} = 100nA (標準値)
  - 部分的パワーダウン I_{OFF} 0.2µA (標準値)
- 3.6V 許容入力で降圧変換に対応
- 9.5ns の最大 t_{pd} (3.3V 時)
- AUP1G ファミリとのドロップイン互換性、および V_{CC} が 0.8V から 0.63V に拡張

2 アプリケーション

- 先進運転支援システム (ADAS)
- ボディ エレクトロニクスおよび照明
- インフォテインメントおよびクラスタ

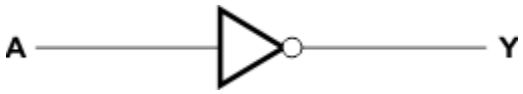
3 説明

SN74UVP1G04-Q1 デバイスは、ブール関数 Y = $\overline{A}$ を実行する低消費電力のシングルインバータです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74UVP1G04-Q1	DBV (SOT-23、5)	2.90mm × 1.60mm
	DCK (SC-70、5)	2.00mm × 1.25mm
	DTX (X2SON、5)	1.10mm × 0.85mm
	DRY (USON、6)	1.45mm × 1.00mm

(1) 詳細については、セクション 11 を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略回路図

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 6
5.6 スイッチング特性 ... 6
6 パラメータ測定情報 ... 8
7 詳細説明 ... 9
7.1 機能説明 ... 9
8 アプリケーションと実装 ... 10
8.1 使用上の注意 ... 10
8.2 代表的なアプリケーション ... 10
8.3 電源に関する推奨事項 ... 10
8.4 レイアウト ... 11
9 デバイスおよびドキュメントのサポート ... 13
9.1 ドキュメントのサポート ... 13
9.2 ドキュメントの更新通知を受け取る方法 ... 13
9.3 サポート・リソース ... 13
9.4 商標 ... 13
9.5 静電気放電に関する注意事項 ... 13
9.6 用語集 ... 13
10 改訂履歴 ... 13
11 メカニカル、パッケージ、および注文情報 ... 14
11.1 テープおよびリール情報 ... 14
11.2 メカニカル データ ... 16

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

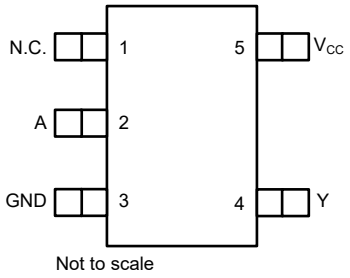


図 4-1. DBV または DCK パッケージ、5 ピン SOT-23 または SC-70 (上面図)

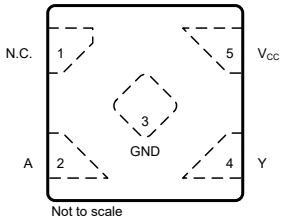


図 4-2. または DTX パッケージ、5 ピン X2SON (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	DBV、DCK、DTX		
N.C.	1	—	内部接続なし
A	2	I	入力 A
GND	3	G	グランド ピン
Y	4	O	出力 Y (プッシュプル)
VCC	5	P	パワー ピン

(1) I = 入力、O = 出力、G = グランド、P = 電源

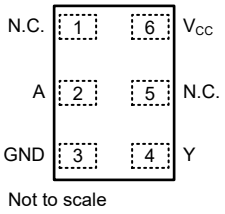


図 4-3. DRY パッケージ、5 ピン USON または X2SON (上面図)

表 4-2. ピンの機能

ピン		タイプ(1)	説明
名称	DRY		
N.C.	1、5	—	内部接続なし
A	2	I	入力 A
GND	3	G	グランド ピン
Y	4	O	出力 Y (プッシュプル)
VCC	6	P	パワー ピン

(1) I = 入力、O = 出力、G = グランド、P = 電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6	V
V_I	入力電圧範囲(2)		-0.5	6	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0V		-50	mA
I_{OK}	出力クランプ電流	V_O < 0V		-50	mA
I_O	連続出力電流			±50	mA
I_O	V_{CC} または GND を通過する連続出力電流			±100	mA
T_J	接合部温度		-65	150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。推奨動作条件の範囲外でも、絶対最大定格の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		0.63	3.6	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 0.63V～0.77V	0.65 × Vcc		V
		V_{CC} = 0.72V～0.88V	0.65 × Vcc		
		V_{CC} = 0.9V～1.1V	0.65 × Vcc		
		V_{CC} = 1.08V～1.32V	0.65 × Vcc		
		V_{CC} = 1.35V～1.65V	0.65 × Vcc		
		V_{CC} = 1.62V～1.98V	0.65 × Vcc		
		V_{CC} = 2.3V～2.7V	1.7		
		V_{CC} = 3.0V～3.6V	2		

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{IL}	Low レベル入力電圧	V_{CC} = 0.63V～0.77V		0.35 × Vcc	V
		V_{CC} = 0.72V～0.88V		0.35 × Vcc	
		V_{CC} = 0.9V～1.1V		0.35 × Vcc	
		V_{CC} = 1.08V～1.32V		0.35 × Vcc	
		V_{CC} = 1.35V～1.65V		0.35 × Vcc	
		V_{CC} = 1.62V～1.98V		0.35 × Vcc	
		V_{CC} = 2.3V～2.7V		0.7	
		V_{CC} = 3.0V～3.6V		0.8	
I_{OH}	High レベル出力電流	V_{CC} = 0.63V		-0.2	mA
		V_{CC} = 0.72V		-0.5	
		V_{CC} = 0.9V		-0.7	
		V_{CC} = 1.08V		-1.1	
		V_{CC} = 1.35V		-1.7	
		V_{CC} = 1.62V		-1.9	
		V_{CC} = 2.3V		-3.1	
		V_{CC} = 3.0V		-4	
I_{OL}	Low レベル出力電流	V_{CC} = 0.63V		0.2	mA
		V_{CC} = 0.72V		0.5	
		V_{CC} = 0.9V		0.7	
		V_{CC} = 1.08V		1.1	
		V_{CC} = 1.35V		1.7	
		V_{CC} = 1.62V		1.9	
		V_{CC} = 2.3V		3.1	
		V_{CC} = 3.0V		4	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{cc} = 0.65V ～ 3.6V		200	ns/V
T_A	自由空気での動作温度		-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23、5)	5	298.6	240.2	134.6	114.5	133.9	該当なし	°C/W
DCK (SC-70、5)	5	314.4	128.7	100.6	7.1	99.8	該当なし	°C/W
DTX (X2SON、5)	5							°C/W
DRY (USON、6)	6	554.9	385.4	388.2	159.0	384.1	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

ADVANCE INFORMATION

ADVANCE INFORMATION

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	I_{OH}= -20μA	0.63V ～ 3.6V	V_{CC} - 0.1			V
	I_{OH}= -0.7mA	1.0V	0.65			
	I_{OH}= -1.1mA	1.2V	0.97			
	I_{OH}= -1.7mA	1.5V	1.24			
	I_{OH}= -1.9mA	1.65V	1.4			
	I_{OH}= -3.1mA	2.3V	1.99			
	I_{OH}= -3.5mA	2.7V	2.35			
	I_{OH}= -4mA	3V	2.67			
V_{OL}	I_{OL}= 20μA	0.63V ～ 3.6V			0.15	V
	I_{OL}= 0.7mA	1.0V			0.35	
	I_{OL}= 1.1mA	1.2V			0.25	
	I_{OL}= 1.7mA	1.5V			0.23	
	I_{OL}= 1.9mA	1.65V			0.23	
	I_{OL}= 3.1mA	2.3V			0.26	
	I_{OL}= 3.5mA	2.7V			0.27	
	I_{OL}= 4mA	3V			0.29	
I_I	V_I = V_{CC} または GND	V_{CC} = 0V ～ 3.6V		±0.003	±0.5	μA
I_{OFF}	V_I または V_O = V_{CC}	V_{CC} = 0V		±0.2	±1	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	V_{CC} = 0.63V～3.6V		0.01	1.4	μA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND	3.3V			60	μA
C_I	V_I = V_{CC} または GND	3.3V		4.4		pF
C_O	V_O = V_{CC} または GND	3.3V		2.59		pF

5.6 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷条件	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	A	Y	C_L = 5pF	0.7V ± 0.07V			130	ns
				0.8V ± 0.08V			81.5	ns
			C_L = 10pF	1.0V ± 0.1V			27.8	ns
				1.2V ± 0.12V			10.1	ns
			C_L = 15pF	1.5V ± 0.15V			7.3	ns
				1.8V ± 0.18V			5.3	ns
			C_L = 30pF	2.5V ± 0.2V			5.1	ns
				3.3V ± 0.3V			4	ns

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷条件	V_{CC}	最小値	標準値	最大値	単位
C_{pd}			f = 10MHz	0.7V		5.26		pF
				0.8V		5.61		pF
				1.0V		5.61		pF
				1.2V		5		pF
				1.5V		4.9		pF
				1.8V		4.9		pF
				2.5V		4.7		pF
				3.3V		4.4		pF

ADVANCE INFORMATION

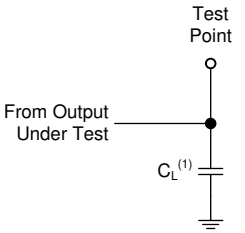
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6 パラメータ測定情報

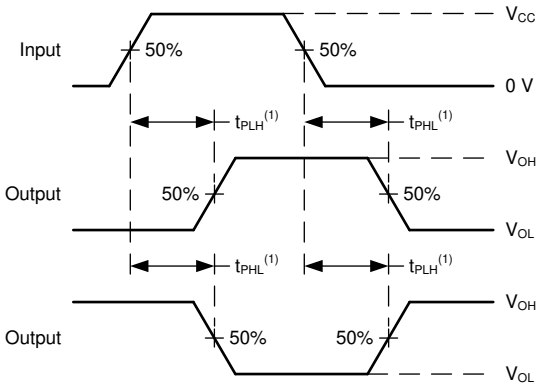
以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 3ns。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



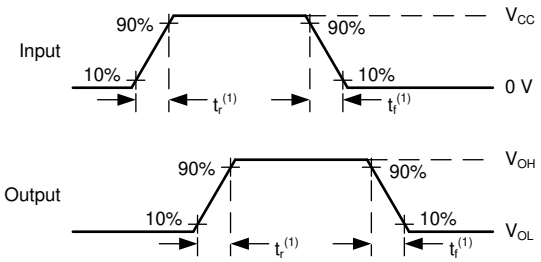
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が遷移時間に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 機能説明

7.1.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.1.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさなければ、消費電力が過剰になり、発振を引き起こす可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は V_{CC} または GND に終端させます。システムが常に入力を駆動していない場合は、有効な入力電圧を与えるために、プルアップ抵抗またはプルダウン抵抗を追加することを検討してください。抵抗値は複数の要因によって異なりますが、推奨される値である 10kΩ を使用すれば、通常はすべての要件を満たすことができます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

UVP ファミリは、バッテリー駆動のポータブル アプリケーションに対する低消費電力ニーズに応える最適ソリューションです。このファミリは、V_{CC} 範囲全体にわたって静的消費電力および動的消費電力を抑えることによりバッテリ寿命を延長します。また、この製品はシグナル インテグリティを良好に維持します。小さなヒステリシスが内蔵されているため、低速またはノイズの多い入力信号にも対応できます。駆動が低下するとエッジが低速になり、出力のオーバーシュートとアンダーシュートが防止されます。

8.2 代表的なアプリケーション

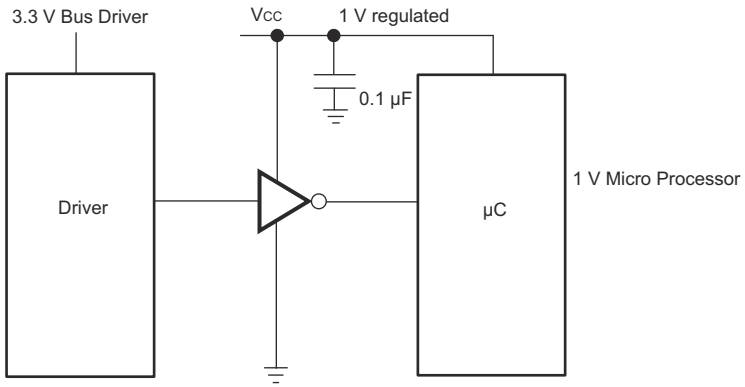


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。バスコンテンションを避けるよう注意してください。バスコンテンションが発生すると、最大許容値を超える電流が発生する可能性があります。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様。(Δt/ΔV) を参照：*セクション 5.3*
   - High レベルと Low レベルを規定。(V_{IH} と V_{IL}) を参照：*セクション 5.3*
   - 入力は過電圧許容で、任意の有効な V_{CC} において最大 3.6 V に対応できます。
2. 推奨出力条件
   - 出力負荷電流は 20mA、部品全体の負荷電流は 50mA を超えないようにしてください。
   - 出力電圧を V_{CC} 以上に上げないでください。

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置することを確認します。SN74UVP1G04-Q1 には、0.1µF バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、0.1µF と 1µF の値のコンデンサを並列にして使います。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

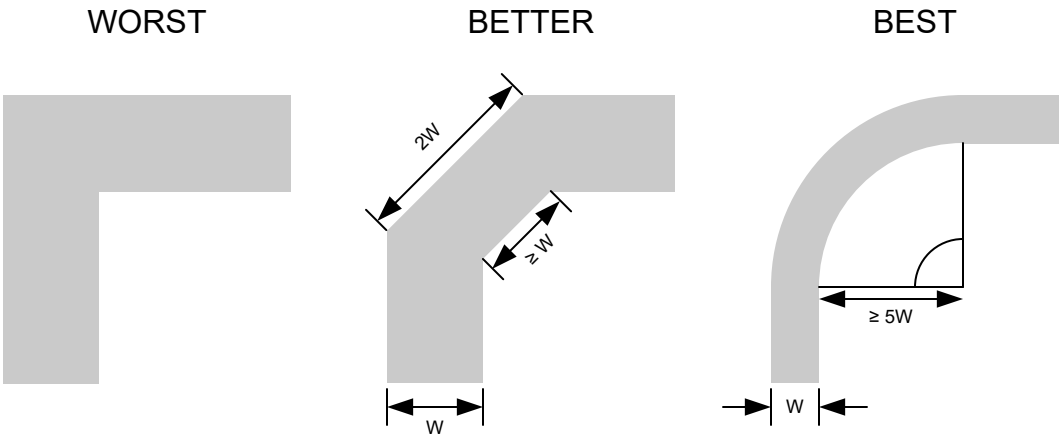


図 8-2. シグナル インテグリティ向上のためのサンプル パターンのコーナー

ADVANCE INFORMATION

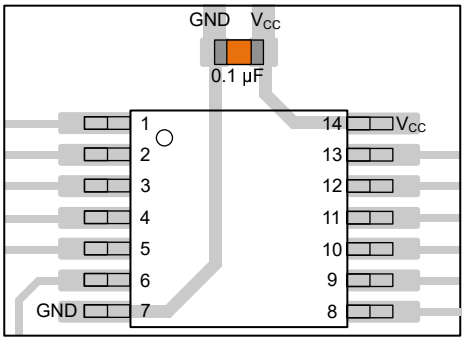


図 8-3. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

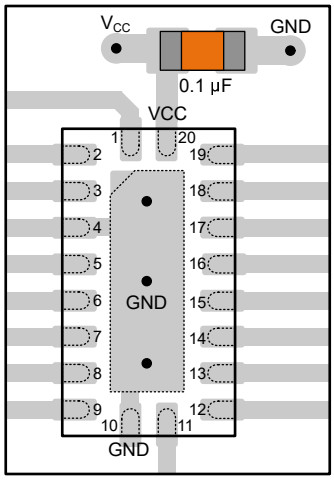


図 8-4. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

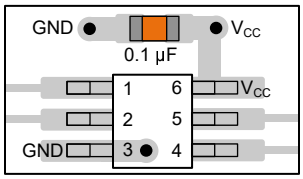


図 8-5. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

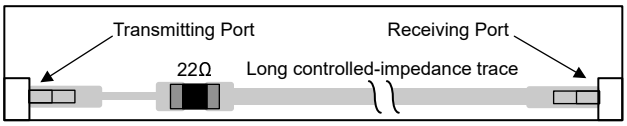


図 8-6. シグナル インテグリティ向上のためのダンピング抵抗の配置例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

ADVANCE INFORMATION

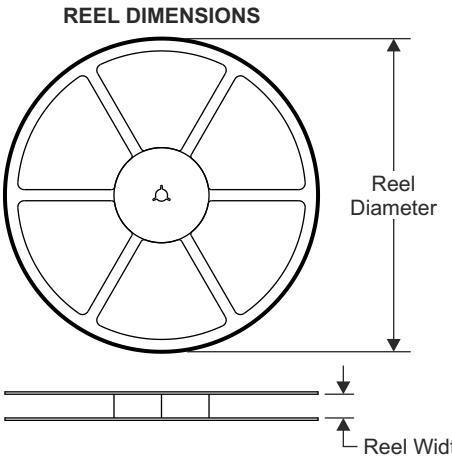
Copyright © 2026 Texas Instruments Incorporated

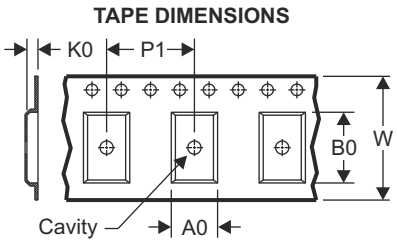
ADVANCE INFORMATION

11 メカニカル、パッケージ、および注文情報

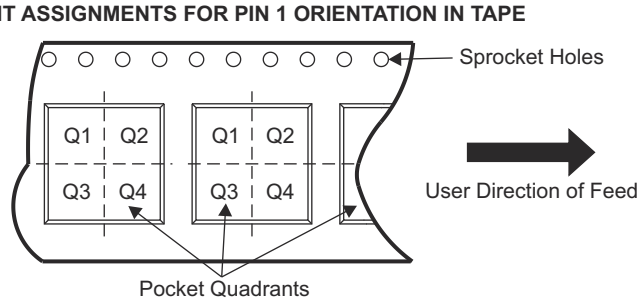
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報





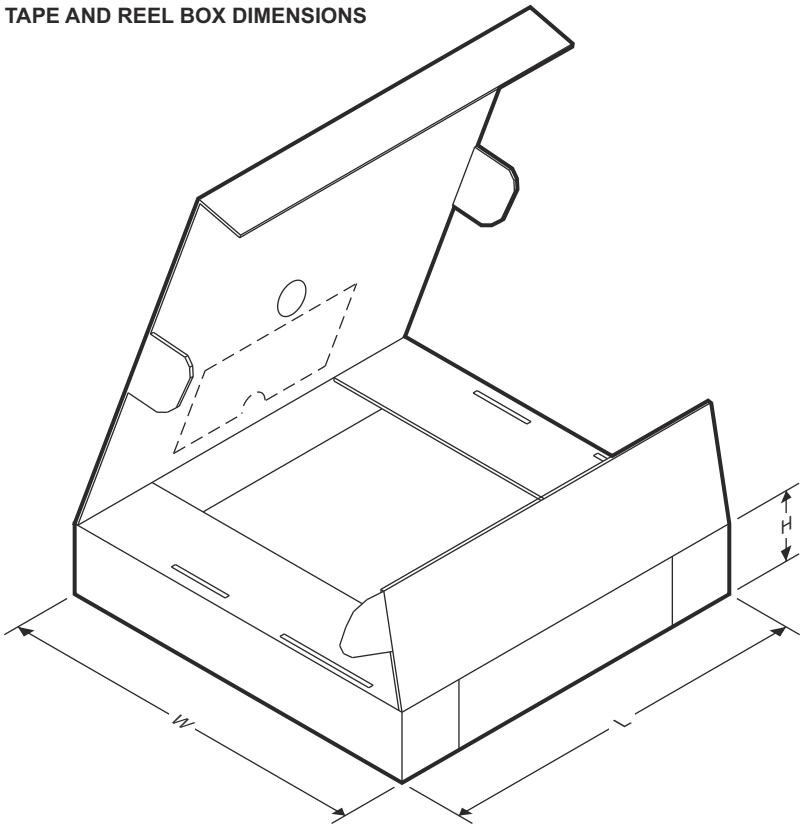
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
PSN74UVP1G04DBVRQ1	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
PSN74UVP1G04DCKRQ1	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
PSN74UVP1G04DRYRQ1	USON	DRY	5	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
PSN74UVP1G04DTXRQ1	X2SON	DTX	5	3000	180.0	8.4	1.0	1.25	0.48	2.0	8.0	Q1

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PSN74UVP1G04DBVRQ1	SOT-23	DBV	5	3000	208.0	191.0	35.0
PSN74UVP1G04DCKRQ1	SC70	DCK	5	3000	208.0	191.0	35.0
PSN74UVP1G04DRYRQ1	USON	DRY	5	5000	184.0	184.0	19.0
PSN74UVP1G04DTXRQ1	X2SON	DTX	5	3000	210.0	185.0	35.0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11.2 メカニカル データ

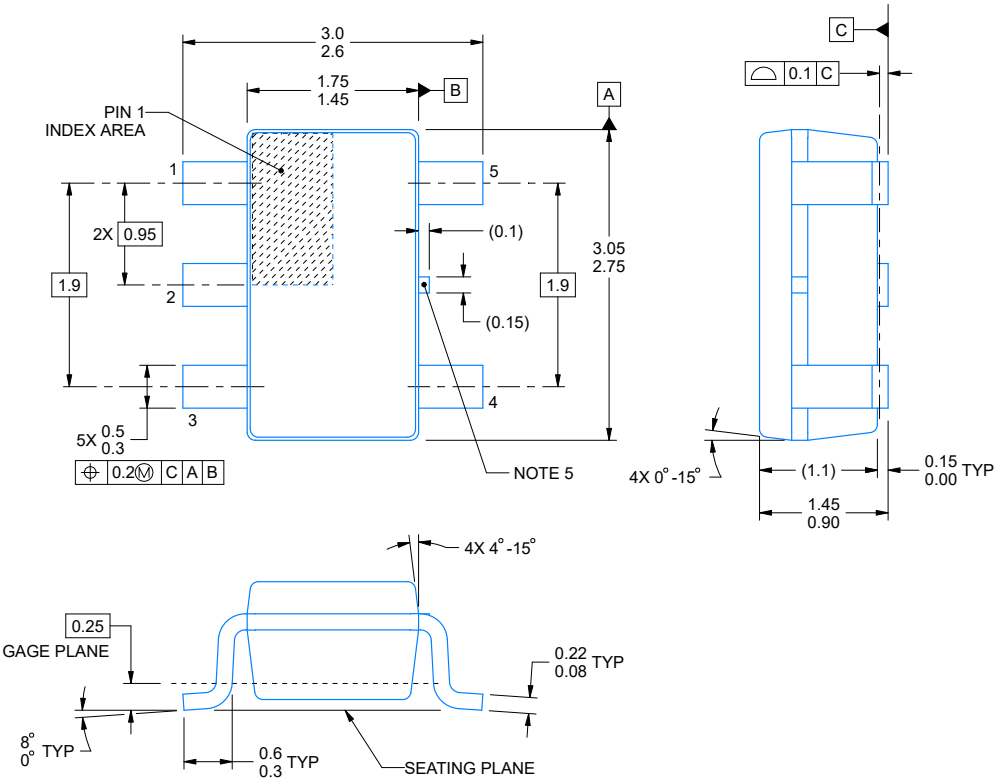
ADVANCE INFORMATION

DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

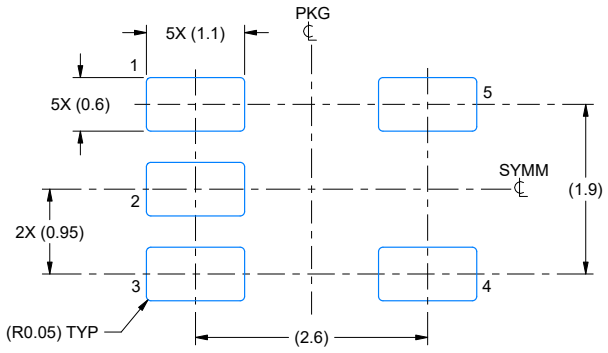
Texas Instruments
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

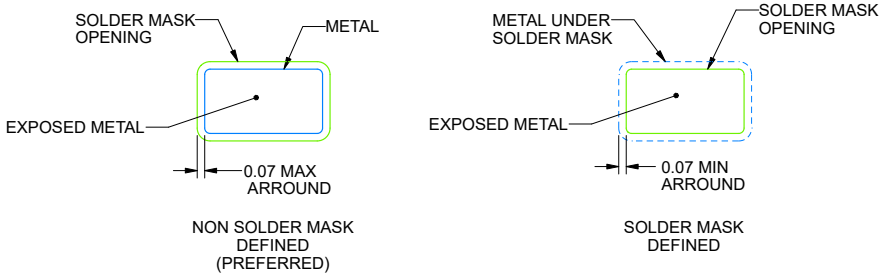
EXAMPLE BOARD LAYOUT

DBV0005A — **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

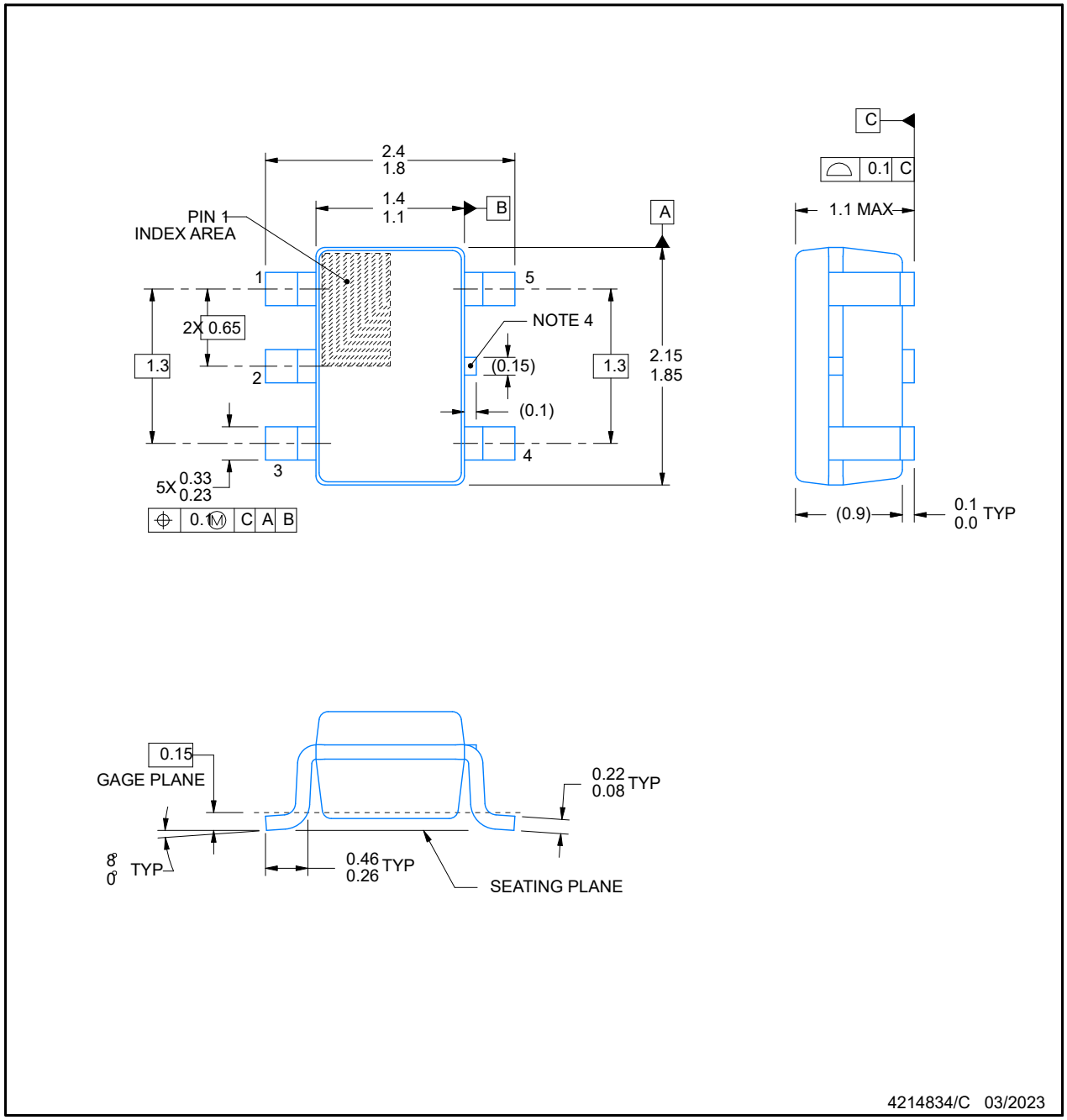
PACKAGE OUTLINE

DCK0005A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dim ensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.

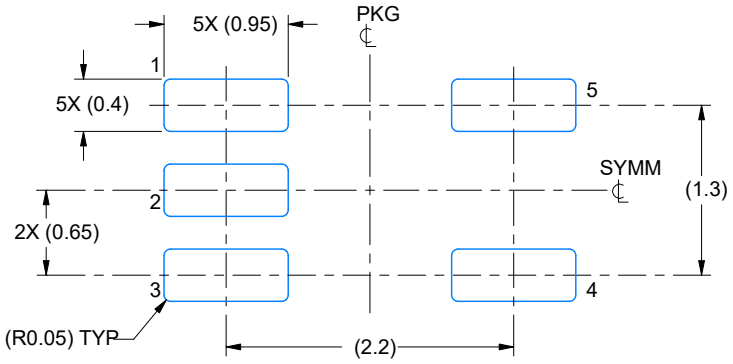
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

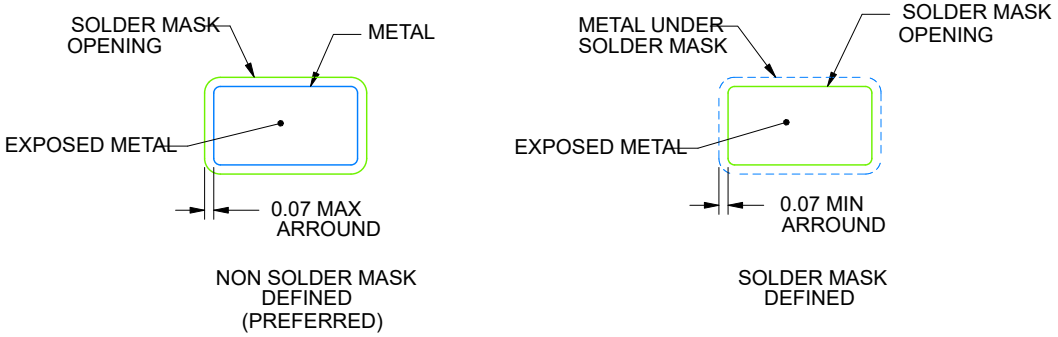
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/C 03/2023

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

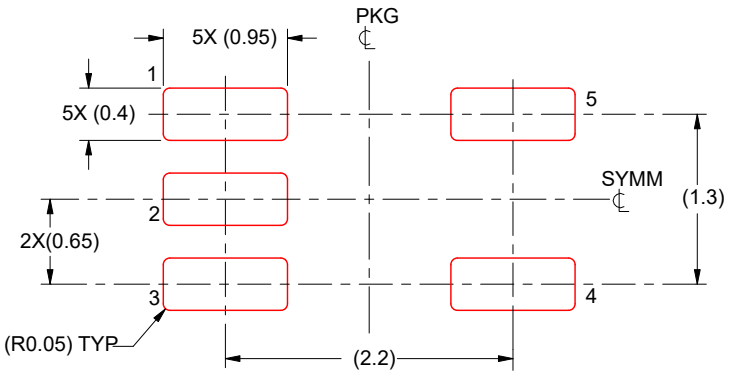
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/C 03/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

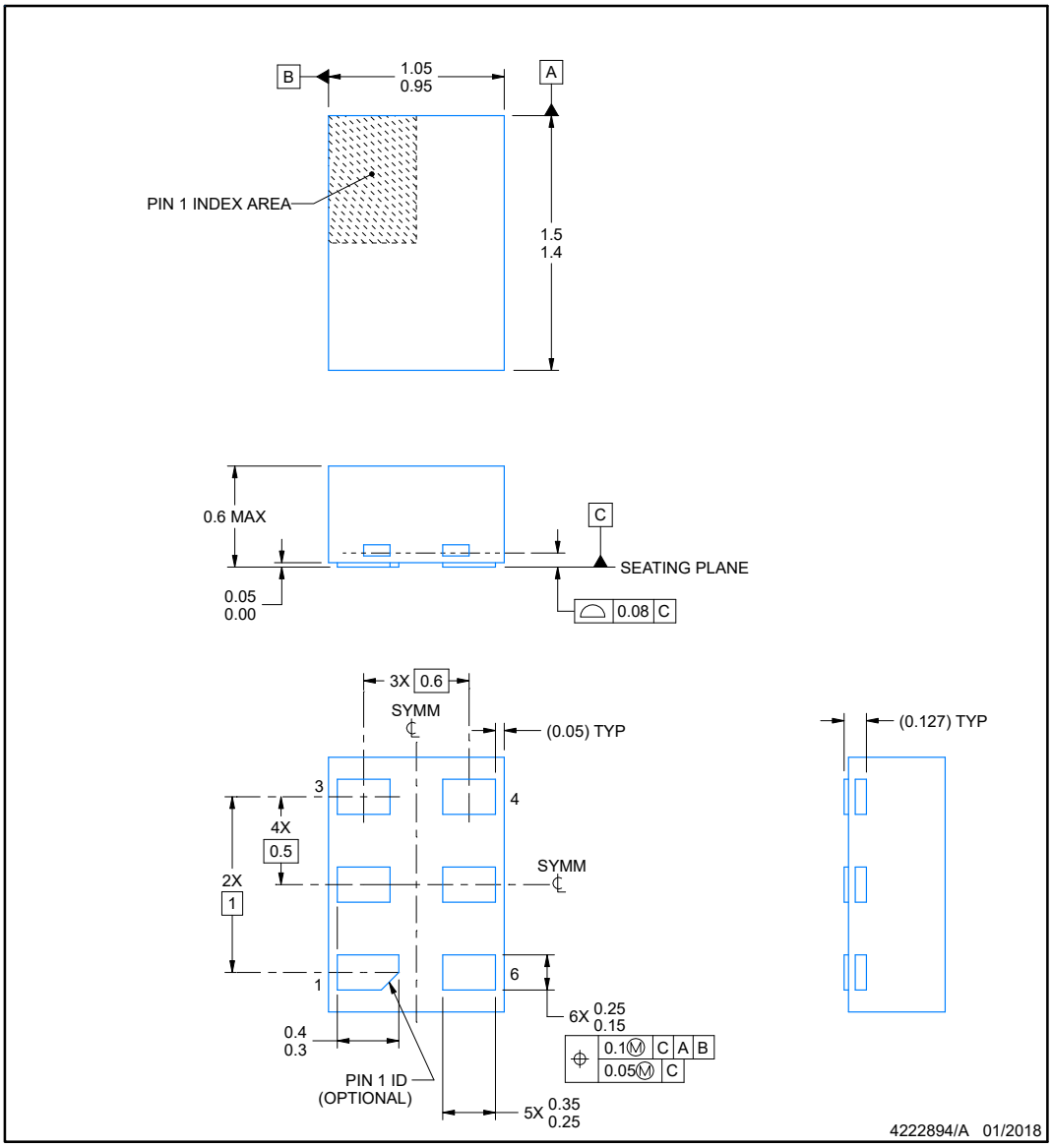
PACKAGE OUTLINE

DRY0006A



USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

www.ti.com

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

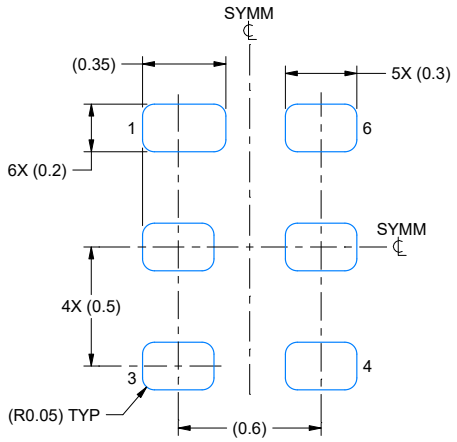
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

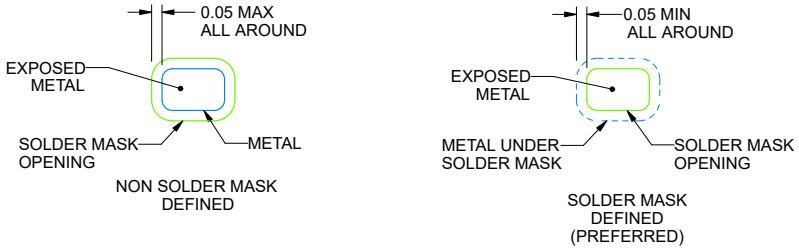
DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

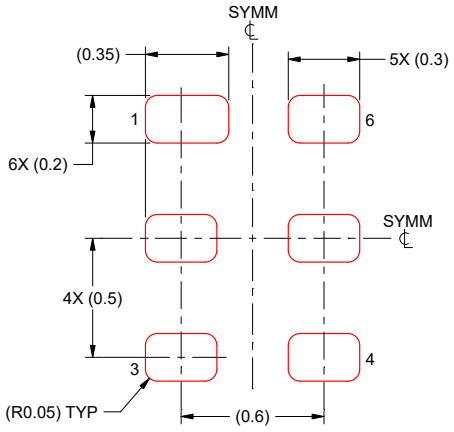
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DRY0006A — **USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PSN74UVP1G04DBVRQ1	Active	Preproduction	SOT-23 (DBV) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-	
PSN74UVP1G04DCKRQ1	Active	Preproduction	SC70 (DCK) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-	
PSN74UVP1G04DRYRQ1	Active	Preproduction	SON (DRY) | 6	3000 | LARGE T&R	-	Call TI	Call TI	-	
PSN74UVP1G04DTXRQ1	Active	Preproduction	X2SON (DTX) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74UVP1G04-Q1 :

- Catalog : SN74UVP1G04

NOTE: Qualified Version Definitions:

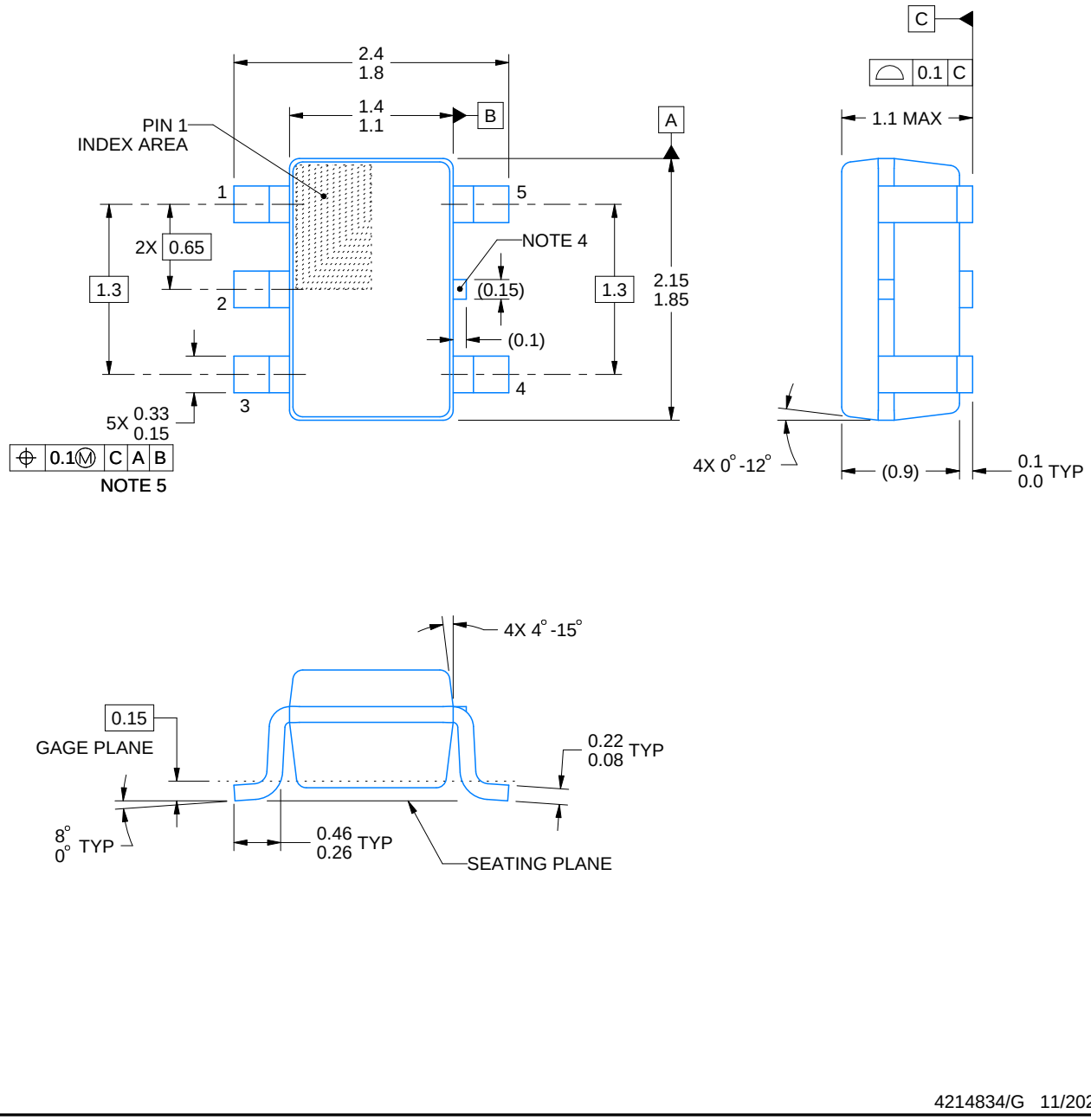
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

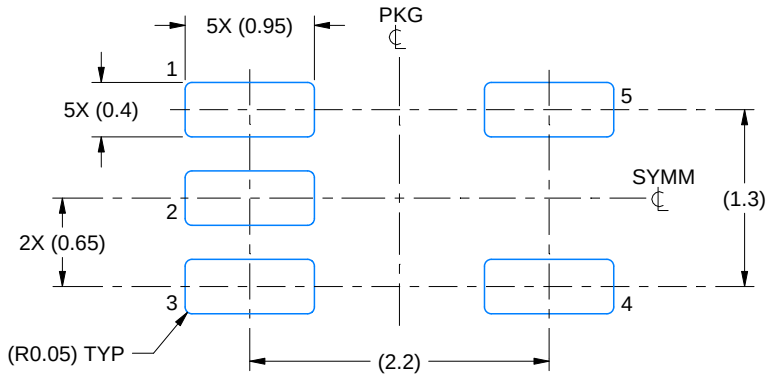
SMALL OUTLINE TRANSISTOR



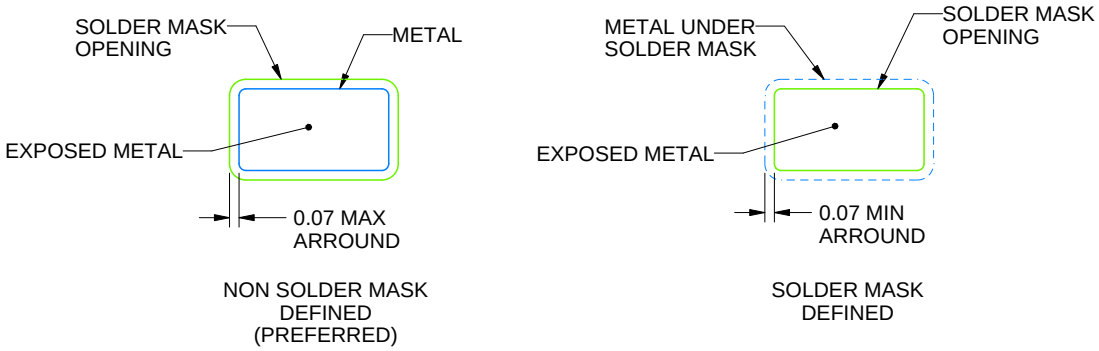
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

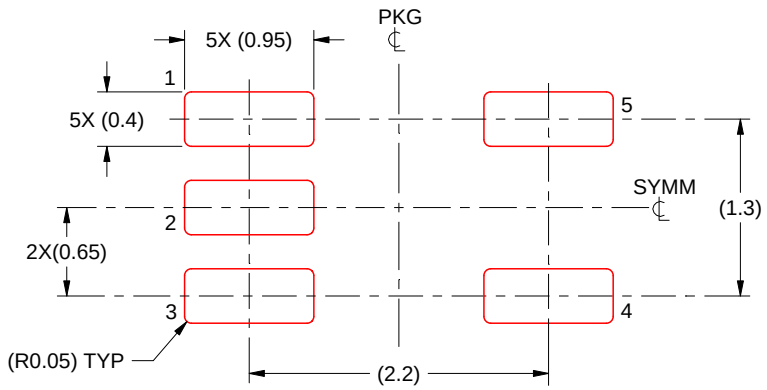


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

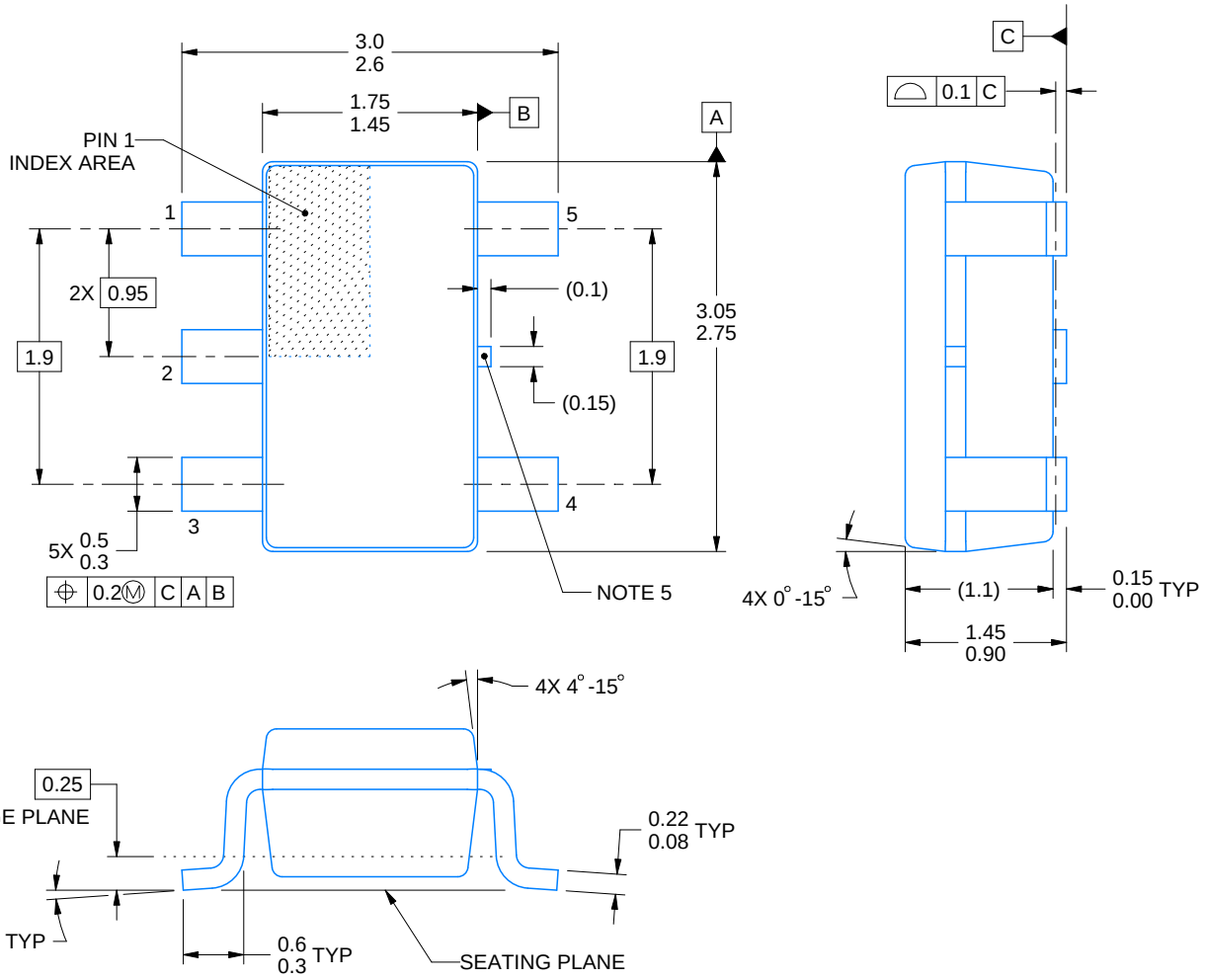
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

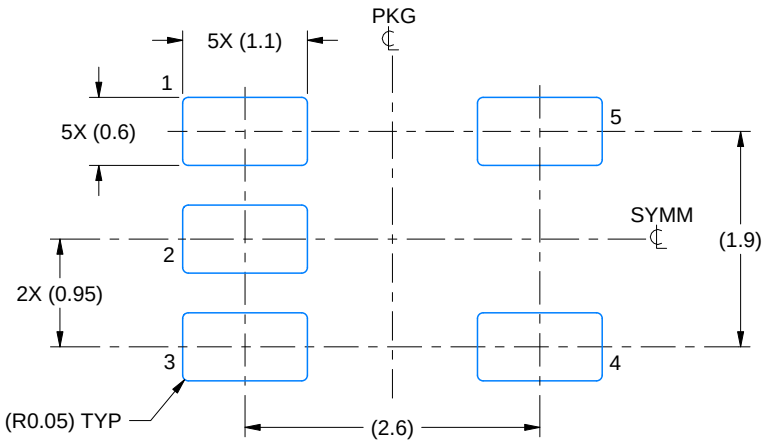
SMALL OUTLINE TRANSISTOR



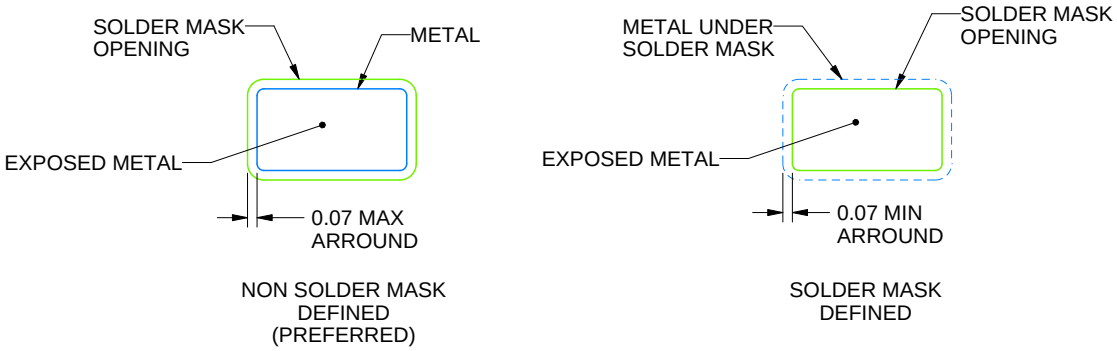
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

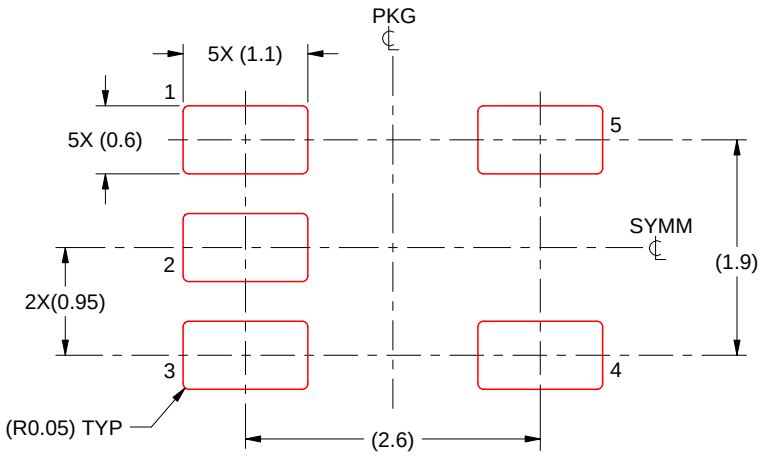


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



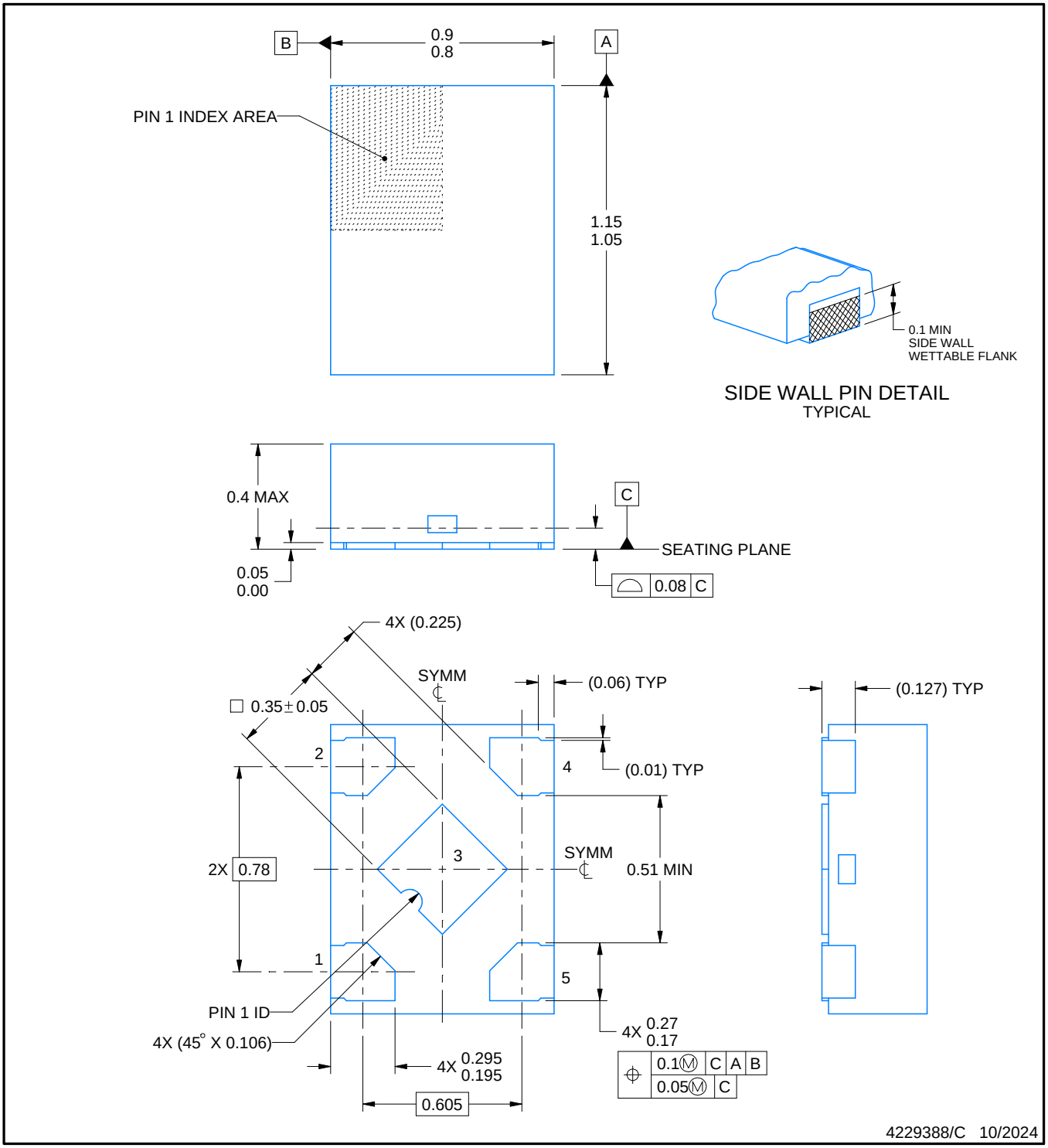
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DTX0005A

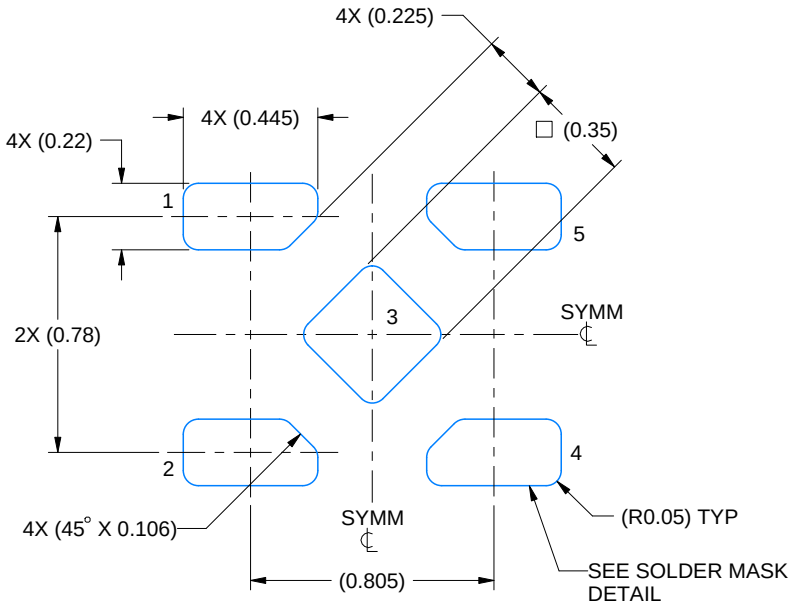
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

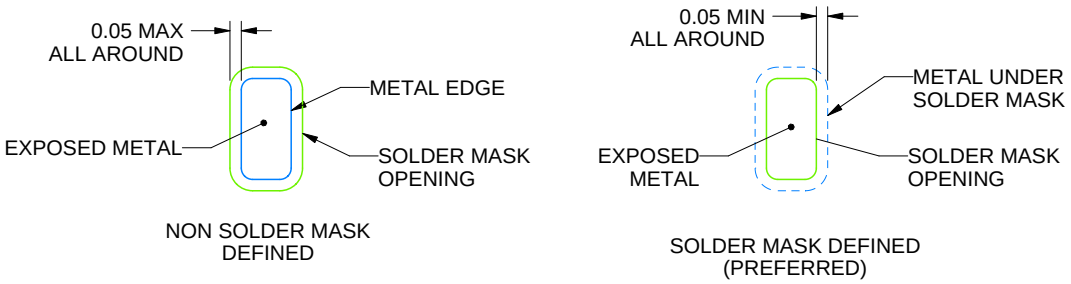


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

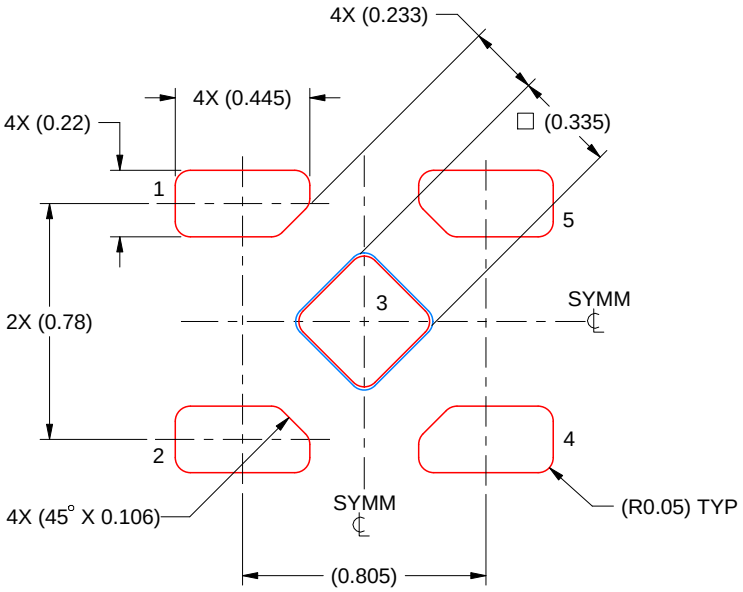


SOLDER MASK DETAILS

4229388/C 10/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

PRINTED SOLDER PASTE COVERAGE BY AREA UNDER PACKAGE
PAD 5: 92%

4229388/C 10/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月