SN74UVP1G16、シュミット トリガ入力、オープン ドレイン出力、反転バッファ

1 特長

- 0.63V～3.6V の電源電圧範囲で低電圧動作に対応
- 拡張動作温度範囲:–40°C ～ 125°C
- 低消費電力
  - I_{CC} = 10nA (標準値)
  - 入力リーク電流 I_I = 3nA (標準値)
  - 出力オフ状態リーク電流 I_{OZ} = 100nA (標準値)
  - 部分的パワーダウン I_{OFF} 0.2µA (標準値)
- 3.6V 許容入力で降圧変換に対応
- 9.5ns の最大 t_{pd} (3.3V 時)
- AUP1G ファミリとのドロップイン互換性、および V_{CC} が 0.8V から 0.63V に拡張

2 アプリケーション

- PC とノート PC
- データ センター
- ビル オートメーション
- 携帯電話 / スマートフォン
- ウェアラブル
- 有線ネットワーク

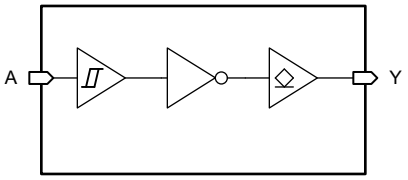
3 説明

SN74UVP1G16 デバイスは、シュミット トリガ入力とオープンドレイン出力を備えた反転バッファです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74UVP1G16	DBV (SOT-23、5)	2.90mm × 1.60mm
SN74UVP1G16	DCK (SC-70、5)	2.00mm × 1.25mm
	DRY (USON、6)	1.45mm × 1.00mm
	DSF (X2SON、6)	1.00mm × 1.00mm
	DPW (X2SON、5)	0.80mm × 0.80mm

(1) 詳細については、セクション 13 を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



ロジック図

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....6
6 パラメータ測定情報.....8
7 概要.....9
8 機能ブロック図.....9
9 詳細説明.....10
9.1 機能説明.....10
10 アプリケーションと実装.....11
10.1 アプリケーション情報.....11
10.2 代表的なアプリケーション.....11
10.3 アプリケーション曲線.....13
10.4 電源に関する推奨事項.....13
10.5 レイアウト.....13
11 デバイスおよびドキュメントのサポート.....15
11.1 ドキュメントのサポート.....15
11.2 ドキュメントの更新通知を受け取る方法.....15
11.3 サポート・リソース.....15
11.4 商標.....15
11.5 静電気放電に関する注意事項.....15
11.6 用語集.....15
12 改訂履歴.....15
13 メカニカル、パッケージ、および注文情報.....16
13.1 テープおよびリール情報.....16
13.2 メカニカル データ.....18

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

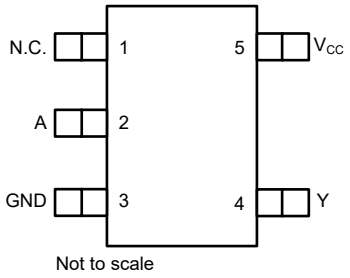


図 4-1. DBV または DCK パッケージ、5 ピン SOT-23 または SC-70 (上面図)

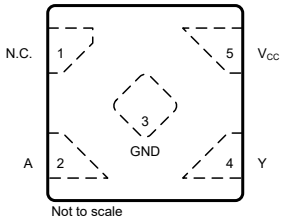


図 4-2. DPW パッケージ、5 ピン X2SON (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	DPW、DBV、DCK		
N.C.	1	—	内部接続なし
A	2	I	入力 A
GND	3	G	グランド ピン
Y	4	O	出力 Y (プッシュプル)
VCC	5	P	パワー ピン

(1) I = 入力、O = 出力、G = グランド、P = 電源

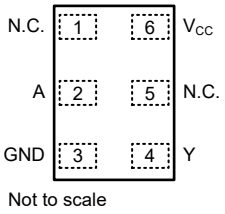


図 4-3. DRY または DSF パッケージ、5 ピン USON または X2SON (上面図)

表 4-2. ピンの機能

ピン		タイプ(1)	説明
名称	DSF、DRY		
N.C.	1、5	—	内部接続なし
A	2	I	入力 A
GND	3	G	グランド ピン
Y	4	O	出力 Y (プッシュプル)
VCC	6	P	パワー ピン

(1) I = 入力、O = 出力、G = グランド、P = 電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6	V
V_I	入力電圧範囲(2)		-0.5	6	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
V_O	出力電圧範囲 (2)		-0.5	6	V
I_{IK}	入力クランプ電流	V_I < 0V		-50	mA
I_{OK}	出力クランプ電流	V_O < 0V		-50	mA
I_O	連続出力電流			±50	mA
I_O	V_{CC} または GND を通過する連続出力電流			±100	mA
T_J	接合部温度		-65	150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、また「推奨動作条件」に示された値を超える他のいかなる条件においても、本デバイスが動作することを暗黙に示すものではありません。「推奨動作条件」の範囲外でも、「絶対最大定格」の範囲内であれば、一時的な動作によってデバイスが損傷するとは限りませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		0.63	3.6	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	5.5	V
I_{OL}	Low レベル出力電流	V_{CC} = 0.63V		0.2	mA
		V_{CC} = 0.72V		0.5	
		V_{CC} = 0.9V		0.7	
		V_{CC} = 1.08V		1.1	
		V_{CC} = 1.35V		1.7	
		V_{CC} = 1.62V		1.9	
		V_{CC} = 2.3V		3.1	
		V_{CC} = 3.0V		4	
T_A	自由空気での動作温度		-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23、5)	5	298.6	240.2	134.6	114.5	133.9	該当なし	℃/W
DCK (SC-70、5)	5	314.4	128.7	100.6	7.1	99.8	該当なし	℃/W
DRY (USON、6)	6	554.9	385.4	388.2	159.0	384.1	該当なし	℃/W
DSF (X2SON、6)	6	407.1	232.0	306.9	40.3	306.0	該当なし	℃/W
DPW (X2SON、5)	5	291.8	224.2	245.8	31.4	245.6	195.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{T+}	正方向入力スレッショルド電圧	0.63V	0.3		0.42	V
		0.65V	0.31		0.43	
		0.72V	0.35		0.47	
		0.9V	0.45		0.57	
		1.08V	0.56		0.68	
		1.35V	0.71		0.87	
		1.5V	0.79		0.98	
		1.62V	0.86		1.07	
		1.95V	1.07		1.33	
		2.3V	1.33		1.62	
		2.5V	1.47		1.78	
		2.7V	1.63		1.94	
		3V	1.86		2.18	
		3.6V	2.33		2.67	
V_{T-}	負方向入力スレッショルド電圧	0.63V	0.15		0.31	V
		0.65V	0.16		0.32	
		0.72V	0.19		0.34	
		0.9V	0.25		0.42	
		1.08V	0.32		0.49	
		1.35V	0.42		0.59	
		1.5V	0.48		0.64	
		1.62V	0.52		0.68	
		1.95V	0.6		0.78	
		2.3V	0.69		0.88	
		2.5V	0.73		0.92	
		2.7V	0.78		0.97	
		3V	0.85		1.03	
		3.6V	1.01		1.21	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
ΔV_T	ヒステリシス ($V_{T+} - V_{T-}$)	0.63V	0.08		0.18	V
		0.65V	0.08		0.18	
		0.72V	0.09		0.2	
		0.9V	0.13		0.24	
		1.08V	0.17		0.27	
		1.35V	0.23		0.33	
		1.5V	0.27		0.41	
		1.62V	0.3		0.47	
		1.95V	0.38		0.65	
		2.3V	0.53		0.84	
		2.5V	0.63		0.94	
		2.7V	0.74		1.04	
		3V	0.92		1.19	
		3.6V	1.26		1.49	
V_{OL}	I_{OL}= 20µA	0.63V ～ 3.6V			0.15	V
	I_{OL}= 0.7mA	1.0V			0.35	
	I_{OL}= 1.1mA	1.2V			0.25	
	I_{OL}= 1.7mA	1.5V			0.23	
	I_{OL}= 1.9mA	1.65V			0.23	
	I_{OL}= 3.1mA	2.3V			0.26	
	I_{OL}= 3.5mA	2.7V			0.27	
	I_{OL}= 4mA	3V			0.29	
I_I	V_I = V_{CC} または GND	V_{CC} = 0V ～ 3.6V		±0.003	±0.5	µA
I_{OFF}	V_I または V_O = V_{CC}	V_{CC} = 0V		±0.2	±1	µA
I_{OZ}	V_O = V_{CC} または GND	3.6V		±0.1	±1.5	µA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	V_{CC} = 0.63V～3.6V		0.01	1.4	µA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND	3.3V			60	µA
C_I	V_I = V_{CC} または GND	3.3V		4.4		pF
C_O	V_O = V_{CC} または GND	3.3V		2.59		pF

5.6 スイッチング特性

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷条件	V_{CC}	最小値	標準値	最大値	単位
t_{pd}	A	Y	C_L = 5pF	0.7V ± 0.07V			319.8	ns
				0.8V ± 0.08V			121.3	ns
			C_L = 10pF	1.0V ± 0.1V			34.3	ns
				1.2V ± 0.12V			19.5	ns
			C_L = 15pF	1.5V ± 0.15V			8.8	ns
				1.8V ± 0.18V			7.7	ns
			C_L = 30pF	2.5V ± 0.2V			8.2	ns
				3.3V ± 0.3V			11.1	ns

Copyright © 2026 Texas Instruments Incorporated

自由空気での動作温度範囲内、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷条件	V_{CC}	最小値	標準値	最大値	単位
C_{pd}			f = 10MHz	0.7V		0.7		pF
				0.8V		0.8		pF
				1.0V		0.9		pF
				1.2V		0.9		pF
				1.5V		1		pF
				1.8V		1.2		pF
				2.5V		1.5		pF
				3.3V		1.9		pF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

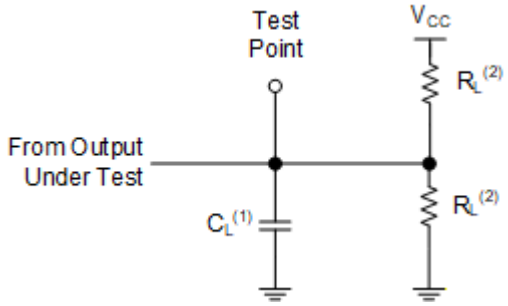
ADVANCE INFORMATION

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 3ns。

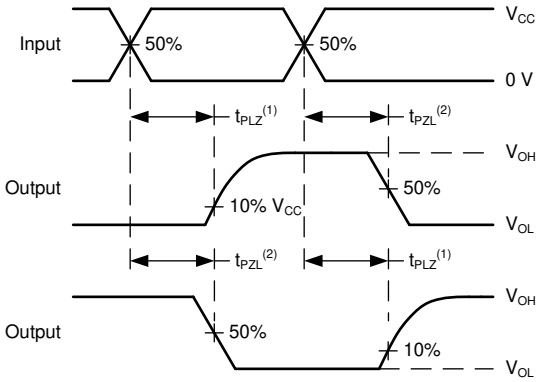
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

TEST	R_L	C_L	ΔV	V_{CC}
t_{pd}	20KΩ	5pF	0.07V	0.7V
			0.08V	0.8V
		10pF	0.1V	1.0V
	5KΩ	10pF	0.12V	1.2V
		15pF	0.15V	1.5V
			0.18V	1.8V
		30pF	0.2V	2.5V
			0.3V	3.3V



(1) C_L にはプローブとテスト装置の容量が含まれます。
(2) R_L = 5kΩ または 20kΩ で、イネーブルおよびディスエーブル時間測定を行います。R_L = 1MΩ の伝搬遅延、セットアップ時間とホールド時間、パルス幅の測定を行います。

図 6-1. オープン ドレイン出力の負荷回路



(1) R_L = 5kΩ の場合、t_{PLZ} と t_{PZL} との間の時間は、ディスエーブルおよびイネーブル時間と同じになります。
(2) R_L = 1MΩ の場合、t_{PLZ} と t_{PZL} が t_{pd} に相当します。

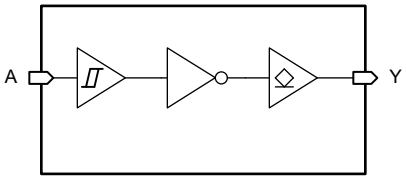
図 6-2. 電圧波形、伝搬遅延

Copyright © 2026 Texas Instruments Incorporated

7 概要

SN74UVP1G16 デバイスには、32 mA の最大シンク電流を持つ 1 つのオープンドレインインバータが搭載されています。このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路は、デバイスの電源がオフになったとき、出力をディセーブルにします。これによってデバイスへの電流の逆流を阻止し、デバイスを損傷から保護します。

8 機能ブロック図



ADVANCE INFORMATION

9 詳細説明

9.1 機能説明

9.1.1 オープン ドレイン CMOS 出力

オープン ドレイン出力は SN74UVP1G16 に含まれています。オープン ドレイン出力は、出力を Low にのみ駆動できます。ロジックが High で出力がハイ インピーダンス状態にある場合は、出力は電流のソースとシンクのどちらでもないことを意味します (ただし、「電気的特性」の表に定義されている小さなリーク電流は例外です)。ハイ インピーダンス状態では、出力電圧は SN74UVP1G16 によって制御されず、外部要因に依存します。

ハイ インピーダンス状態であるため、ロジック High を定義するには外部プルアップ抵抗が必要です。プルアップ抵抗がないと、出力はフローティングになり、ロジック レベルは未定義になります。この抵抗値は、寄生容量や消費電力などの要因に依存します。通常は、10kΩ 抵抗が適しています。

SN74UVP1G16 の駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮してください。さらに、出力は SN74UVP1G16 を連続的に処理するように設計されているよりも大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。*「絶対最大定格」*で定義されている電気的および熱的制限を常に順守してください。SN74UVP1G16 に外部から接続できる最大出力電圧については、「推奨動作条件」表を参照してください。

未使用のオープン ドレイン CMOS 出力は未接続のままにします。

9.1.2 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」表に示されている最大入力電圧と、「電気的特性」表に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット トリガ入力アーキテクチャでは、「電気的特性」表の ΔV_T で定義されているヒステリシスが発生するため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力は適切に終端することをお勧めします。入力を低速の遷移信号で駆動すると、デバイスの動的な電流消費が増加します。シュミット トリガ入力の詳細については、『シュミット トリガについて』を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

このアプリケーションでは、図 10-1 に示すように、LED を駆動するためにオープン ドレイン インバータが使われています。

10.2 代表的なアプリケーション

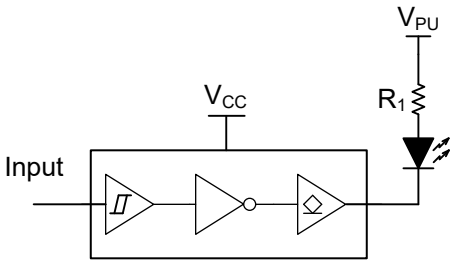


図 10-1. 代表的なアプリケーションのブロック図

10.2.1 設計要件

10.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グランドは、SN74UVP1G16 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74UVP1G16 は、データシートの仕様をすべて満たしつつ、合計容量 30nF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、過剰な電流を防止するため、出力とコンデンサの間に直列抵抗を設置することを推奨します。

SN74UVP1G16 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、*CMOS の消費電力と Cpd の計算 アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

ADVANCE INFORMATION

注意

「絶対最大定格」に記載された最大接合部温度、$T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

10.2.1.2 入力に関する考慮事項

入力信号は、$V_{t-(min)}$ を超えるとロジック LOW と見なされ、$V_{t+(max)}$ を超えるとロジック HIGH と見なされます。*「絶対最大定格」*に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74UVP1G16 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74UVP1G16 にはシュミット トリガ入力があるため、入力信号遷移レートの要件はありません。

シュミット トリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値がピーク ツー ピーク制限となります。

標準的な CMOS 入力とは異なり、シュミット トリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値地) を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」を参照してください。

10.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「*電気的特性*」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

オープン ドレイン出力を互いに直接接続して、ワイヤード AND 構成を形成したり、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

10.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。低負荷キャパシタンスは、SN74UVP1G16 から受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})\Omega$ より大きくします。「絶対最大定格」の最大出力電流を超えないようにしてください。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、『CMOS 消費電力と CPD 計算のアプリケーション レポート』に記載されている手順を使用して計算できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.3 アプリケーション曲線

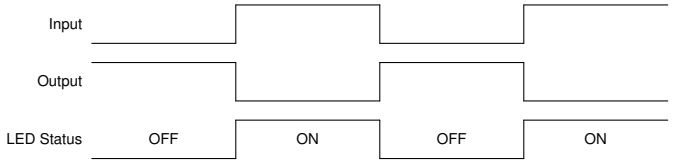


図 10-2. アプリケーション曲線

10.4 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

10.5 レイアウト

10.5.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.5.2 レイアウト例

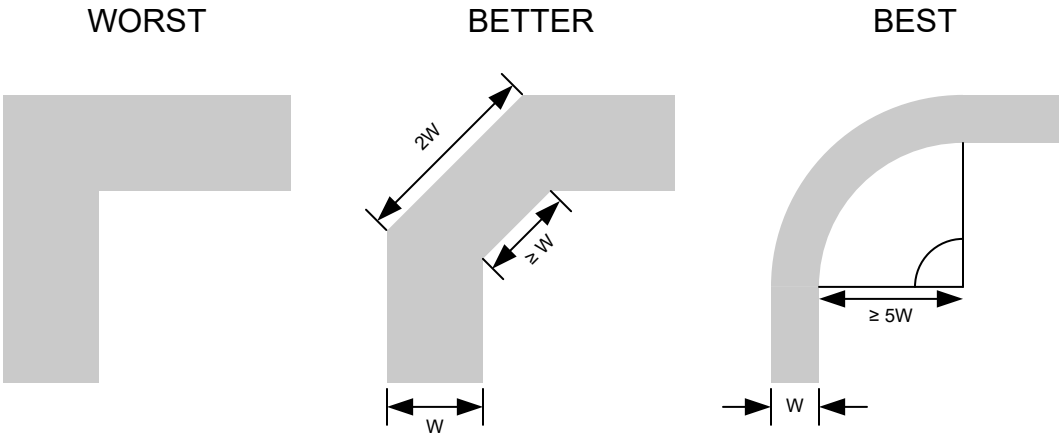


図 10-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

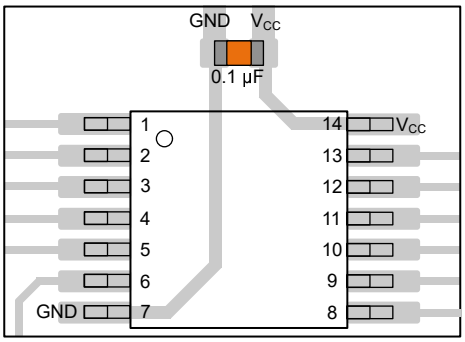


図 10-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

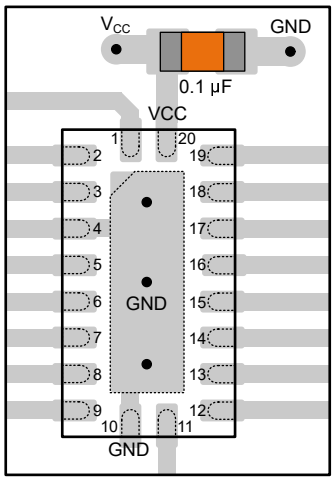


図 10-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

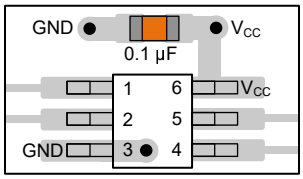


図 10-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

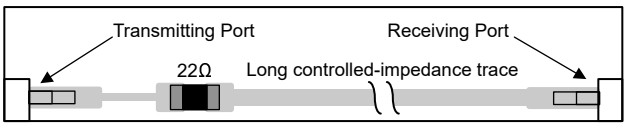


図 10-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

ADVANCE INFORMATION

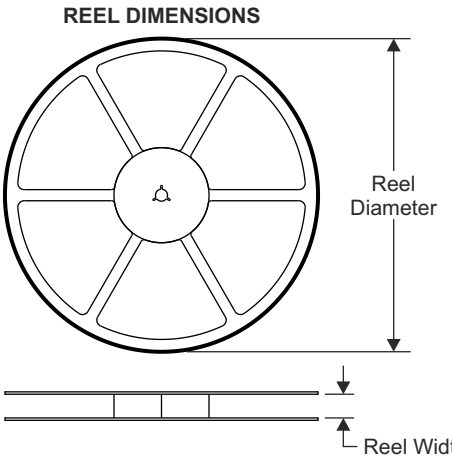
Copyright © 2026 Texas Instruments Incorporated

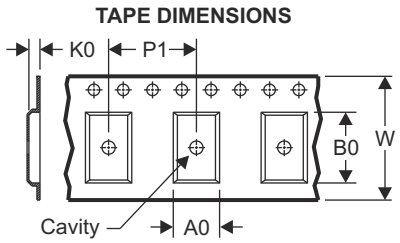
ADVANCE INFORMATION

13 メカニカル、パッケージ、および注文情報

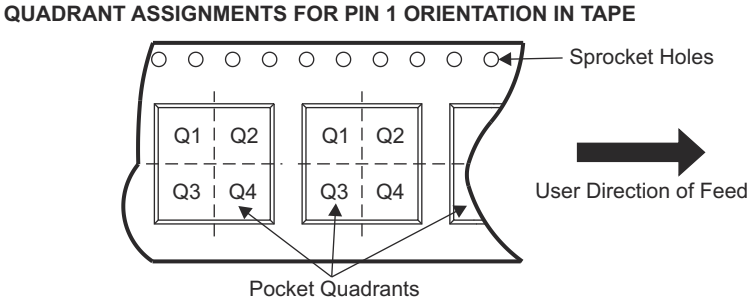
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

13.1 テープおよびリール情報





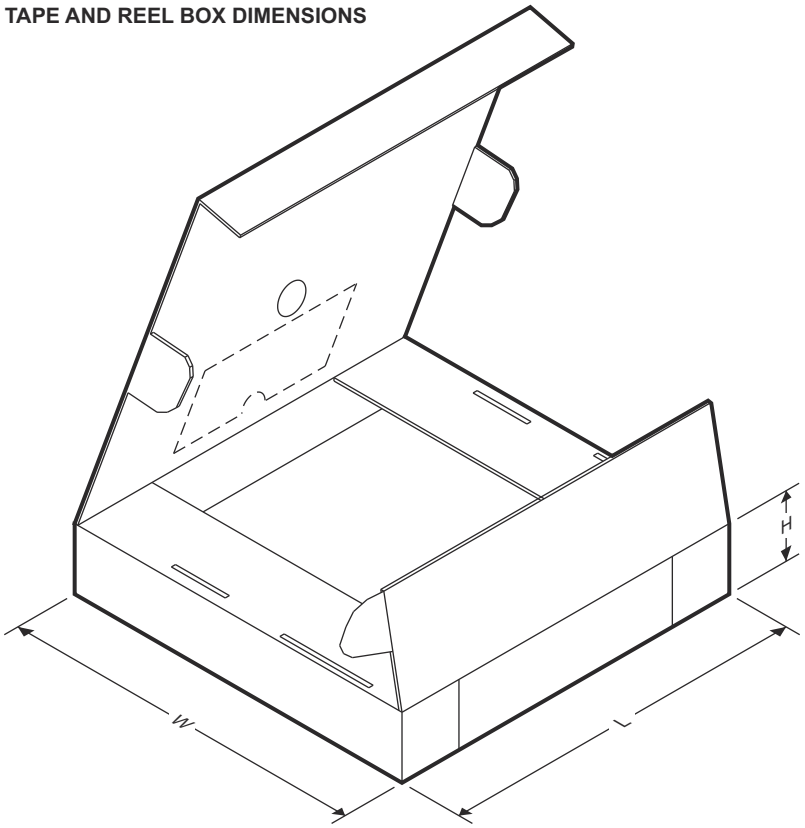
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
PSN74UVP1G16DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
PSN74UVP1G16DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
PSN74UVP1G16DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
PSN74UVP1G16DRYR	USON	DRY	5	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
PSN74UVP1G16DSFR	USON	DSF	5	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PSN74UVP1G16DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
PSN74UVP1G16DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
PSN74UVP1G16DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
PSN74UVP1G16DRYR	USON	DRY	5	5000	184.0	184.0	19.0
PSN74UVP1G16DSFR	USON	DSF	5	5000	210.0	185.0	35.0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

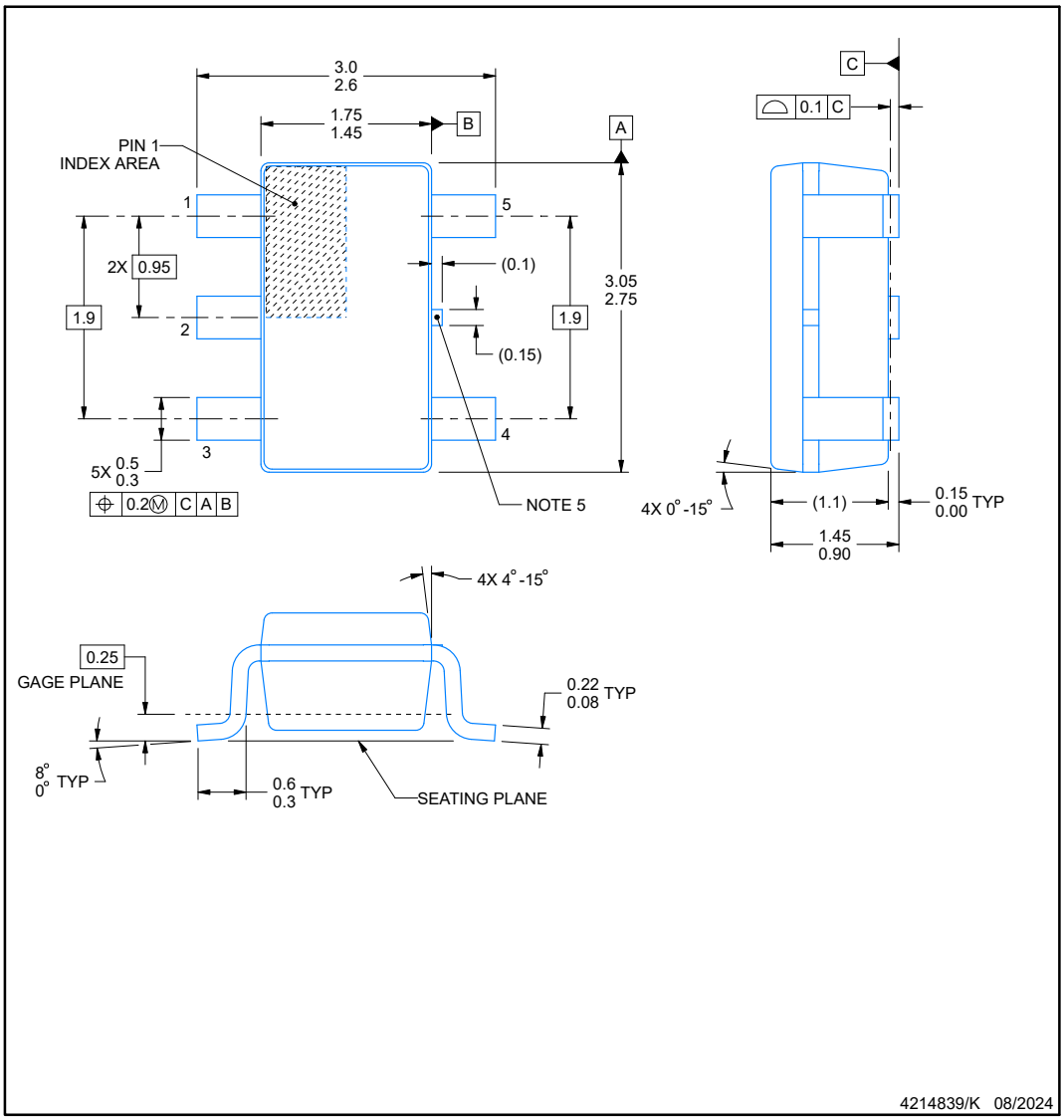
ADVANCE INFORMATION

13.2 メカニカル データ

PACKAGE OUTLINE

DBV0005A — **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

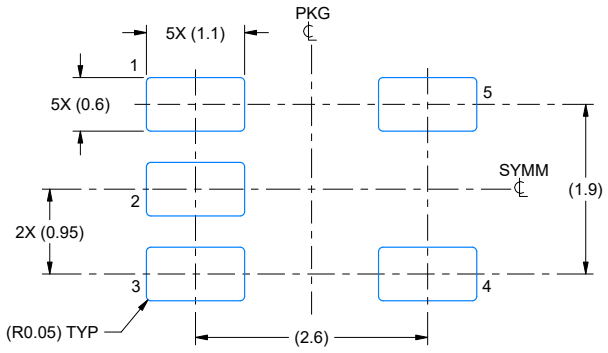
Texas Instruments
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

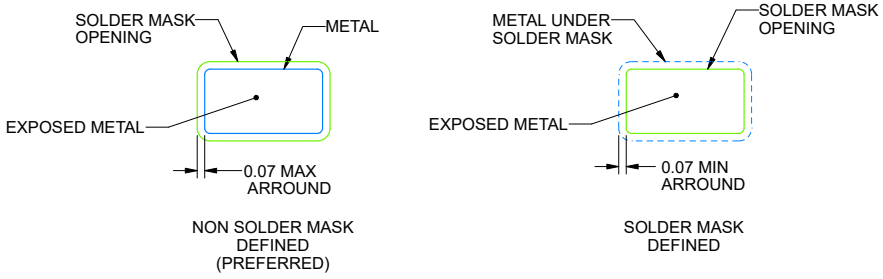
EXAMPLE BOARD LAYOUT

DBV0005A — **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

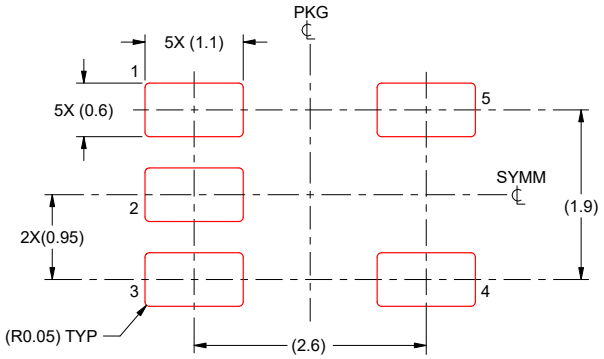
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DBV0005A — **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

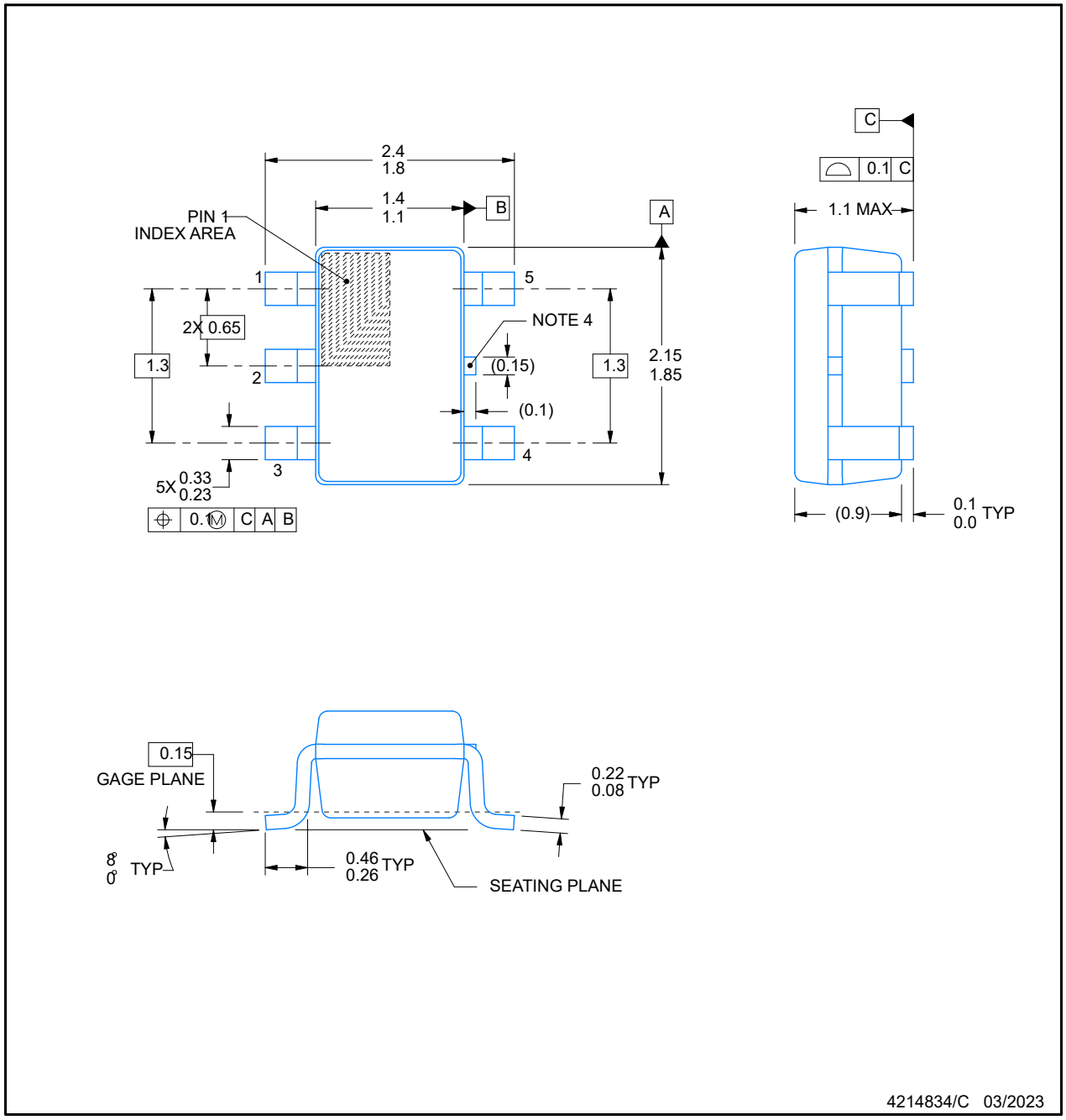
PACKAGE OUTLINE

DCK0005A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/C 03/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dim ensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

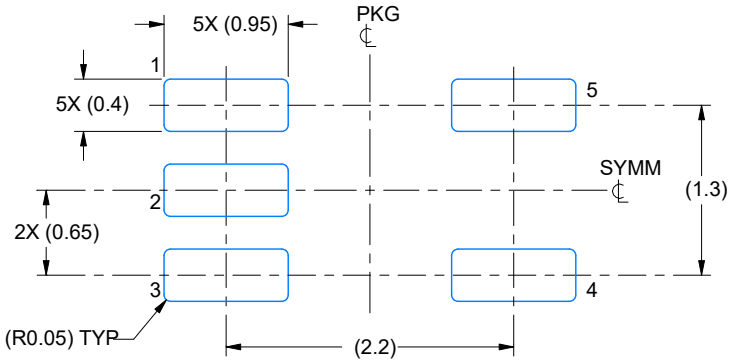
EXAMPLE BOARD LAYOUT

DCK0005A

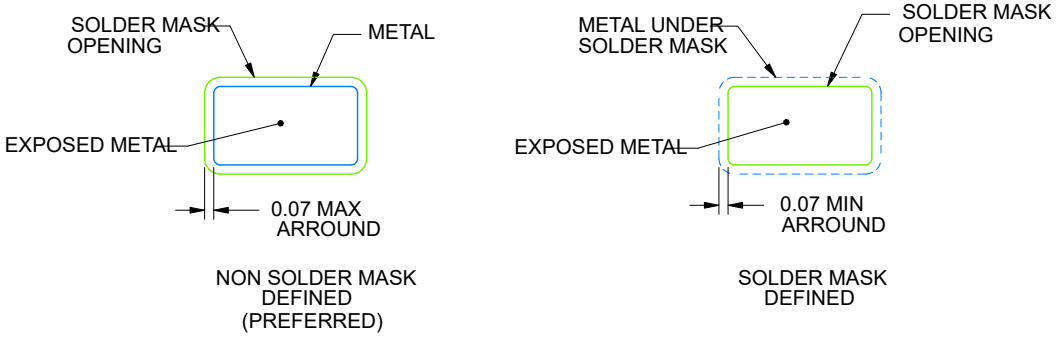
SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR

ADVANCE INFORMATION



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/C 03/2023

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

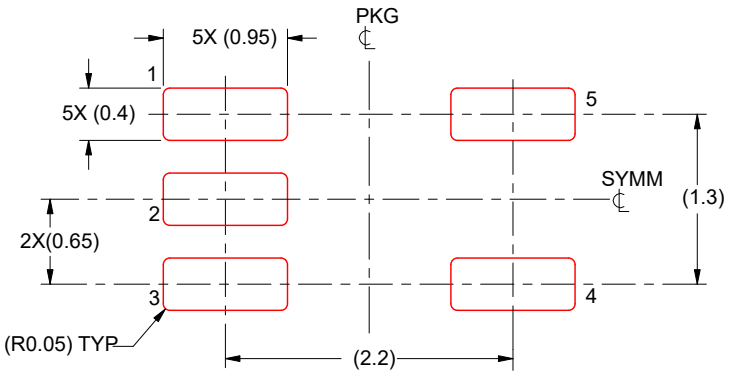
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/C 03/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

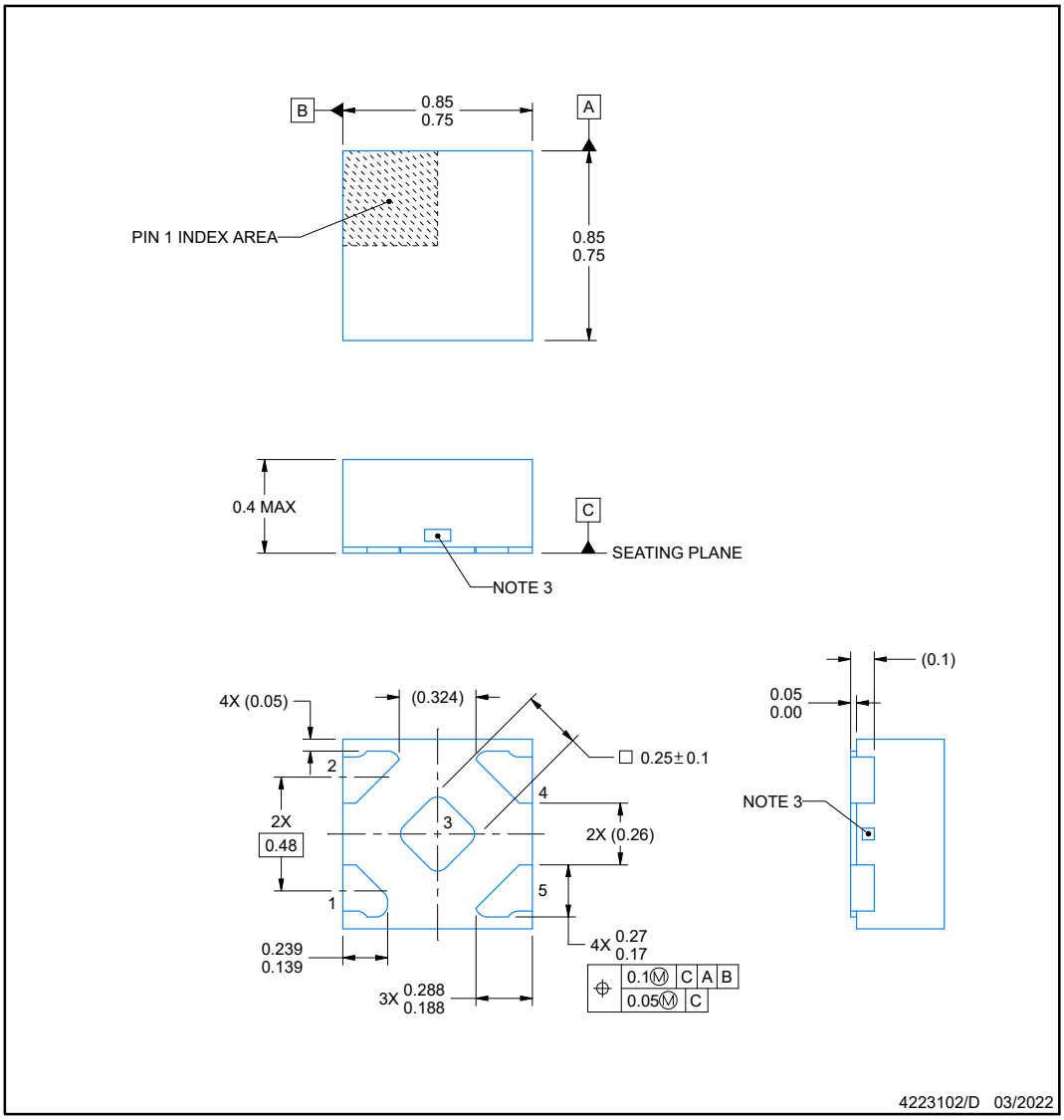
PACKAGE OUTLINE

DPW0005A



X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

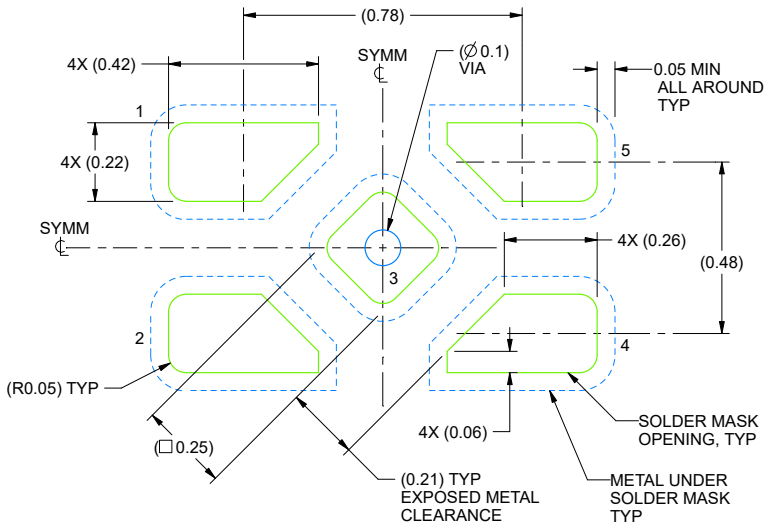
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DPW0005A — **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

ADVANCE INFORMATION

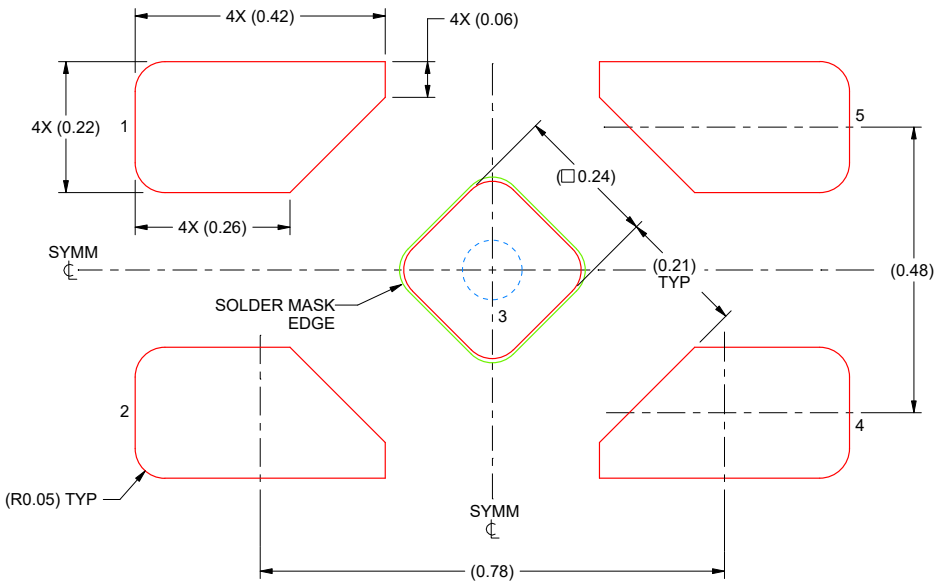
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DPW0005A — **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

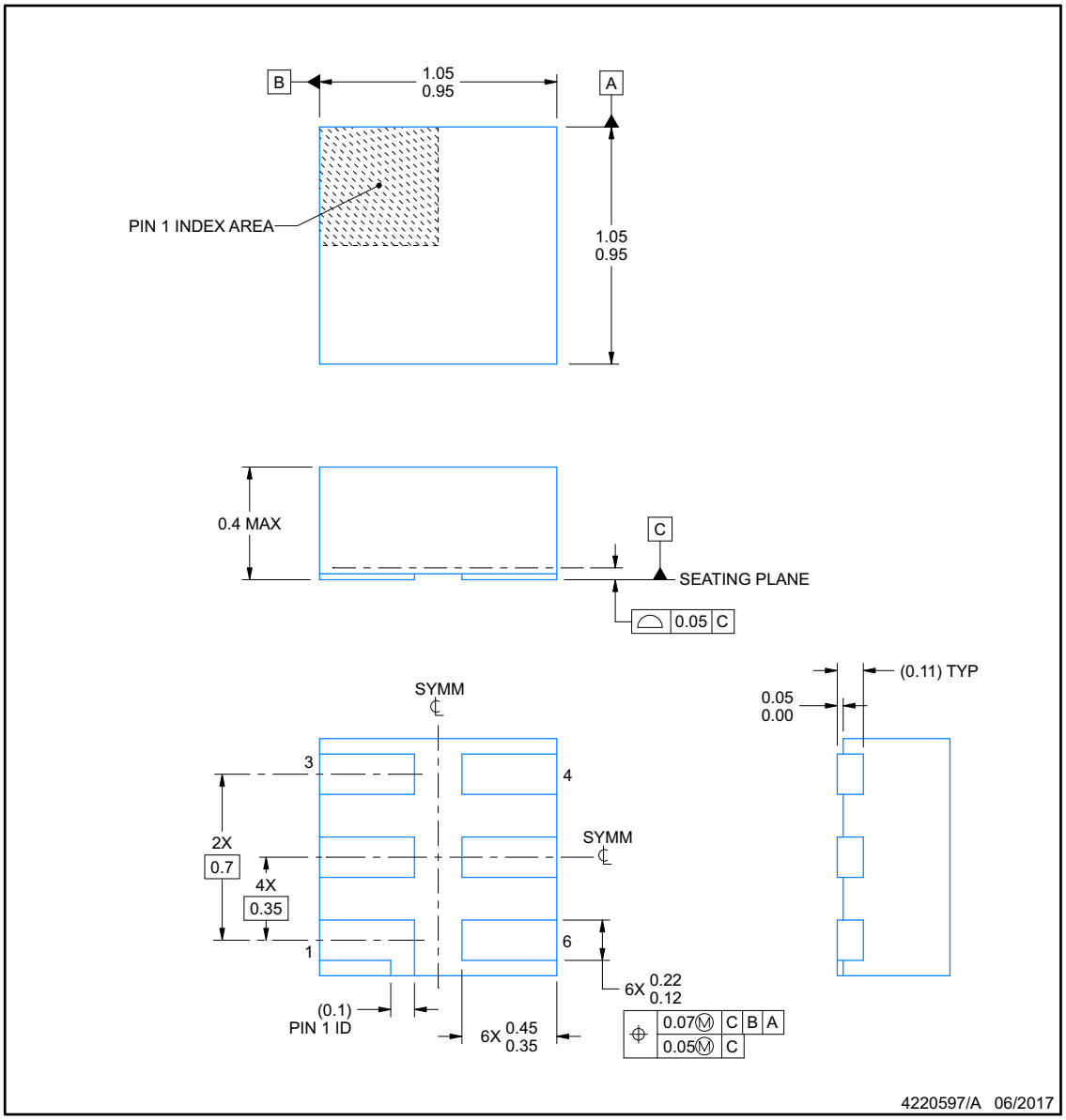
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.

ADVANCE INFORMATION

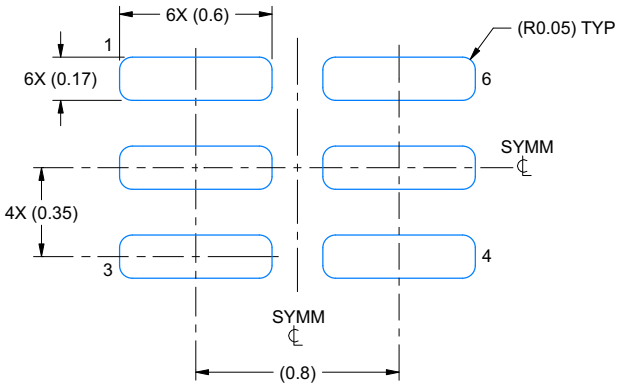
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

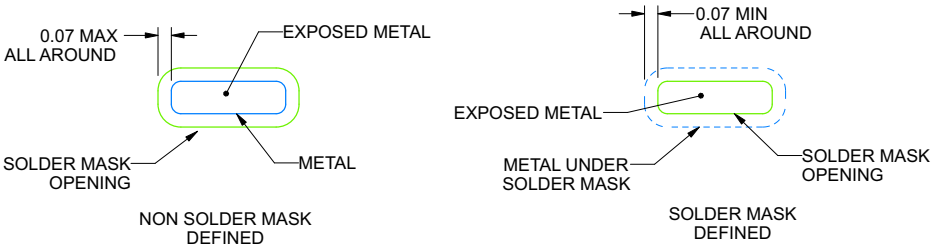
EXAMPLE BOARD LAYOUT

DSF0006A — X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/A 06/2017

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

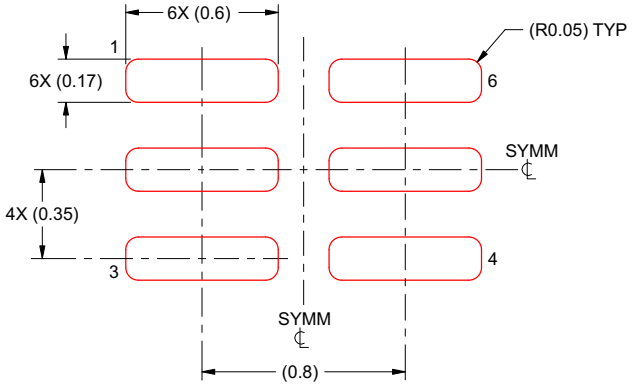
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/A 06/2017

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

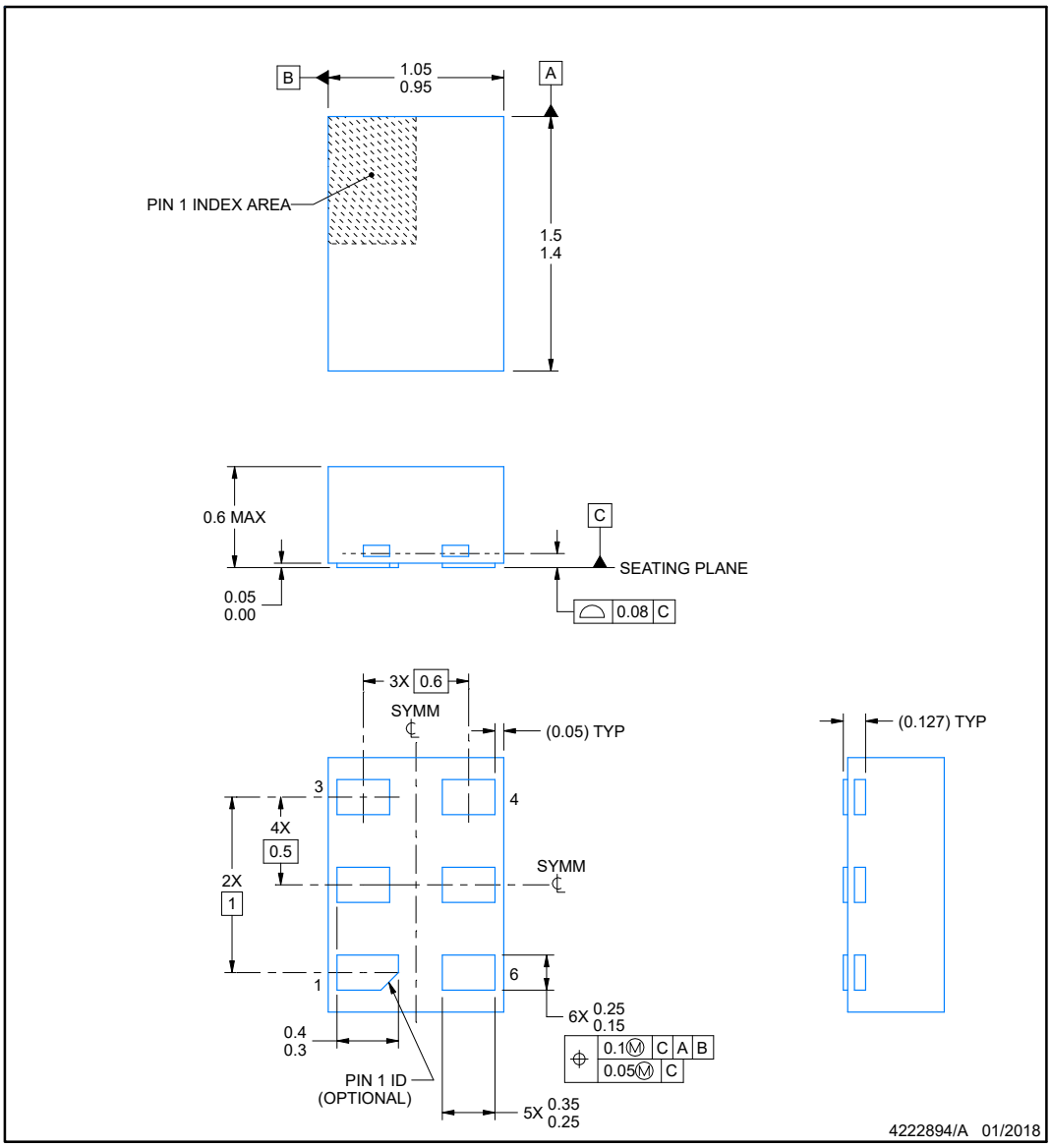


PACKAGE OUTLINE

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

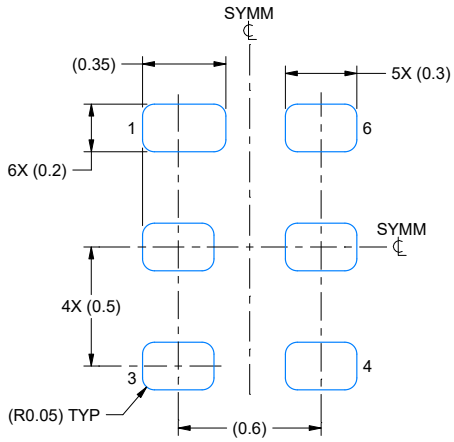
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

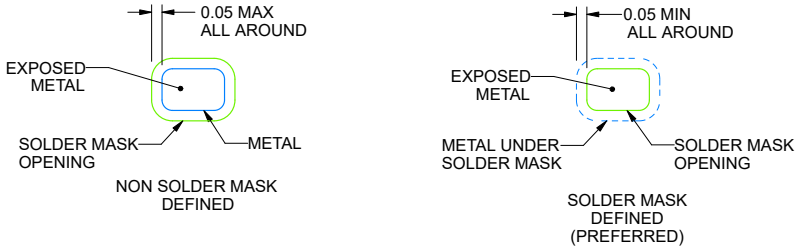
EXAMPLE BOARD LAYOUT

DRY0006A — **USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

Copyright © 2026 Texas Instruments Incorporated

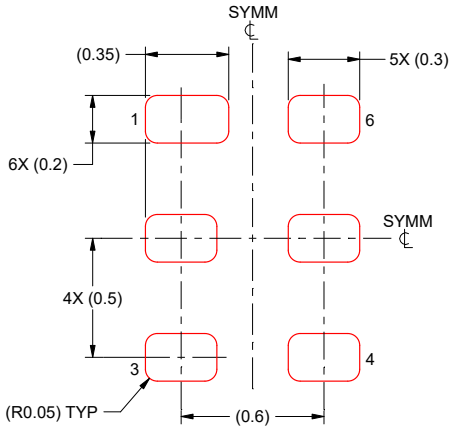
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DRY0006A — **USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PSN74UVP1G16DBVR	Active	Preproduction	SOT-23 (DBV) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PSN74UVP1G16DCKR	Active	Preproduction	SC70 (DCK) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PSN74UVP1G16DPWR	Active	Preproduction	X2SON (DPW) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PSN74UVP1G16DRYR	Active	Preproduction	SON (DRY) | 6	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PSN74UVP1G16DSFR	Active	Preproduction	SON (DSF) | 6	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74UVP1G16 :

- Automotive : SN74UVP1G16-Q1

NOTE: Qualified Version Definitions:

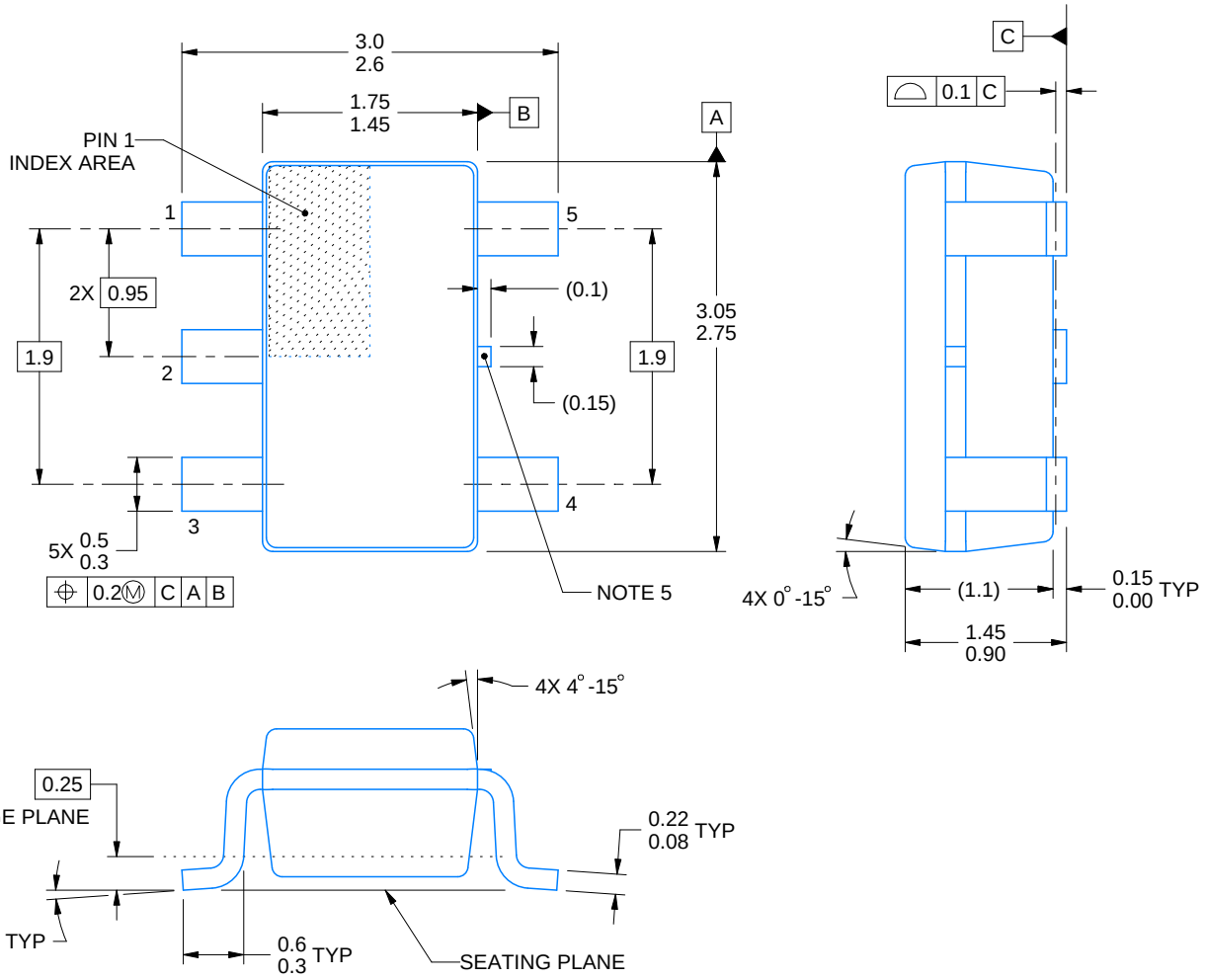
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

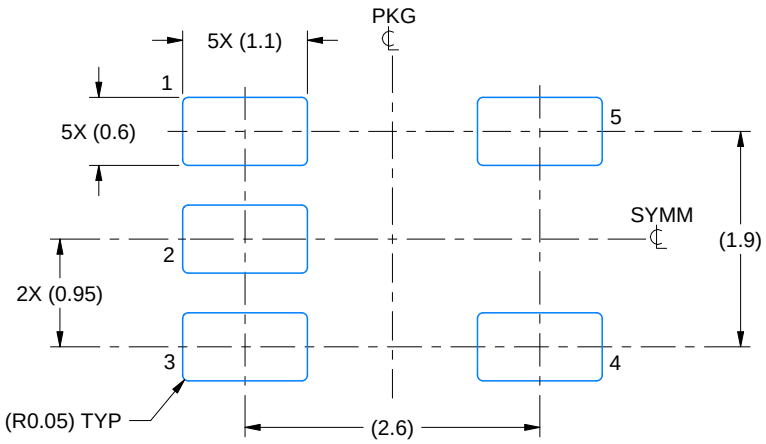
SMALL OUTLINE TRANSISTOR



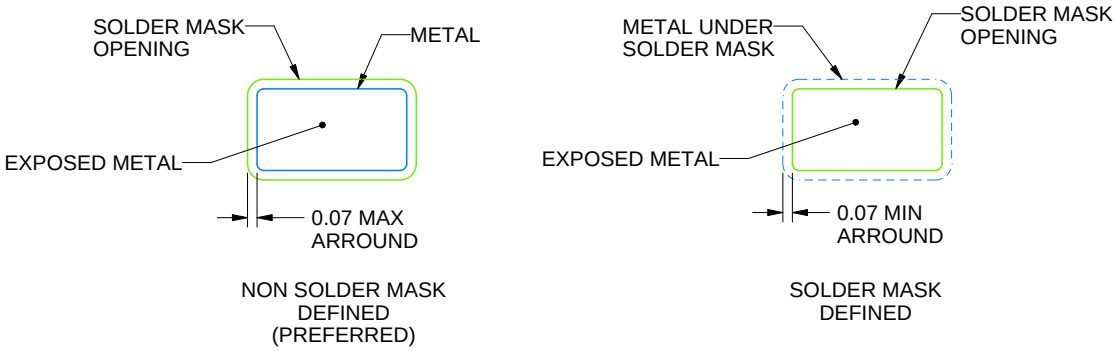
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

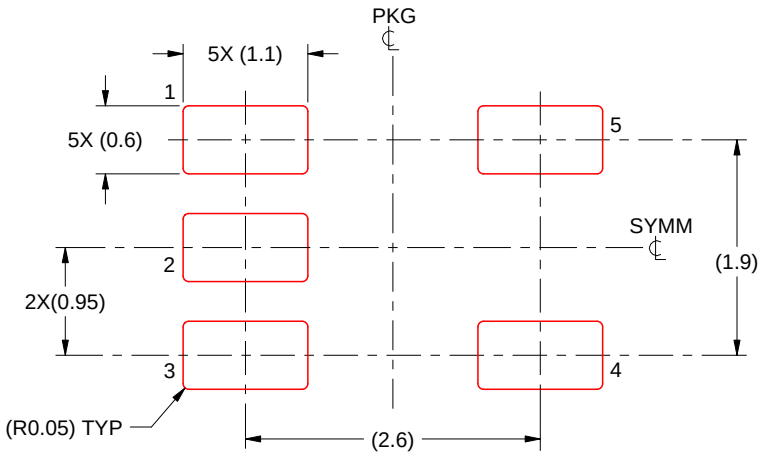


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



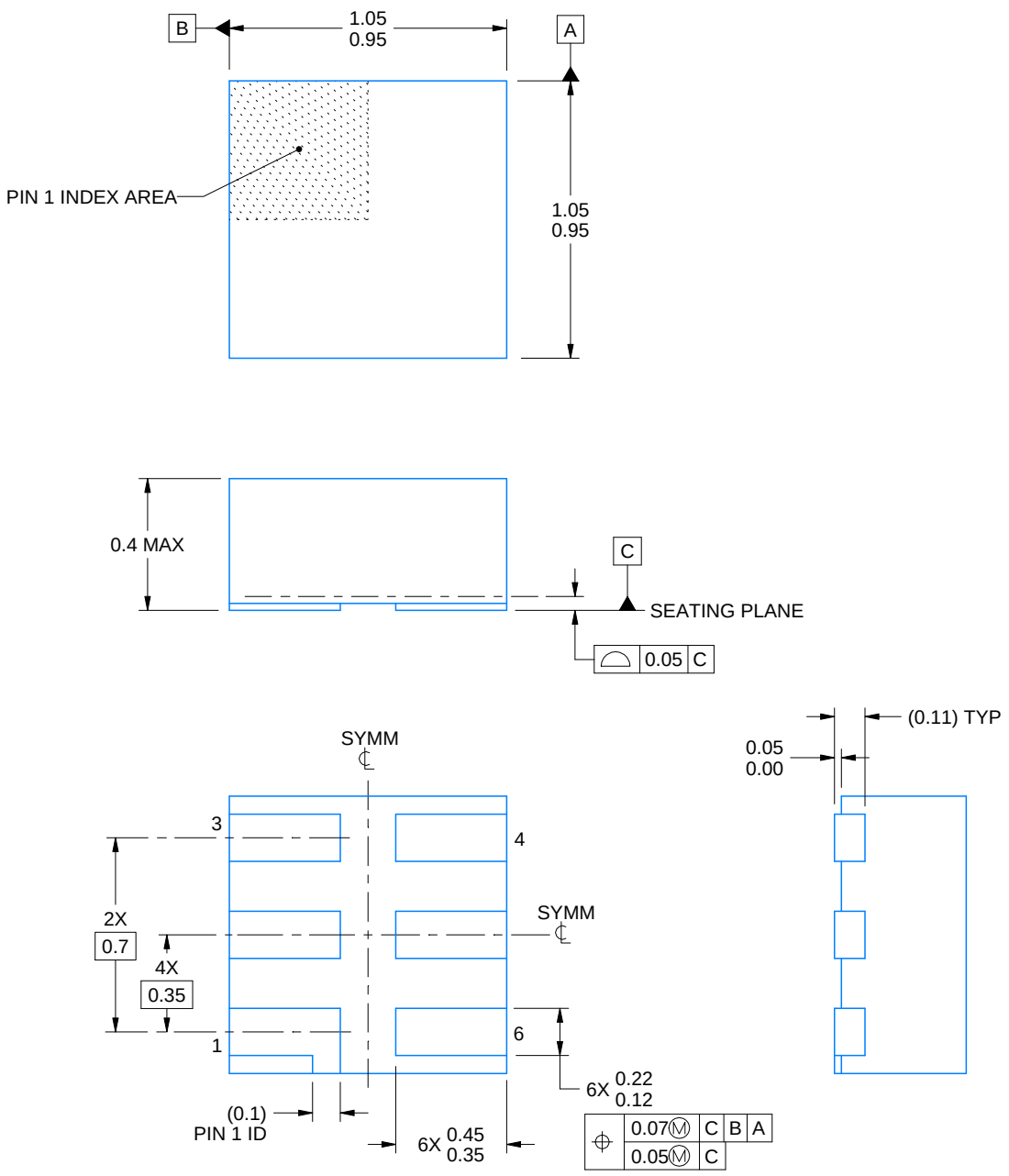
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

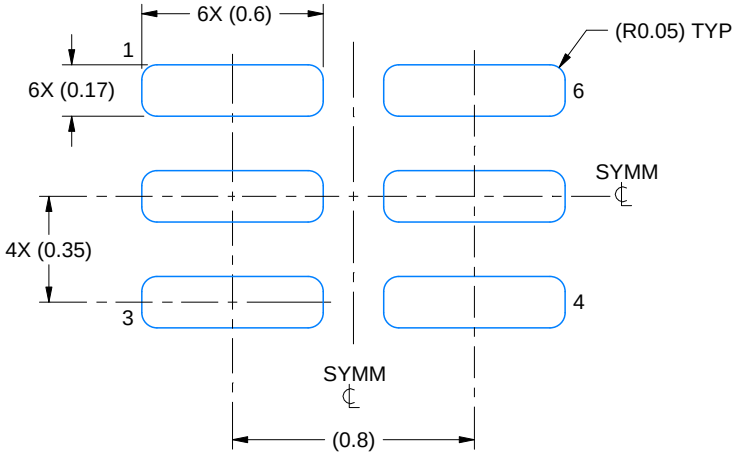
PLASTIC SMALL OUTLINE - NO LEAD



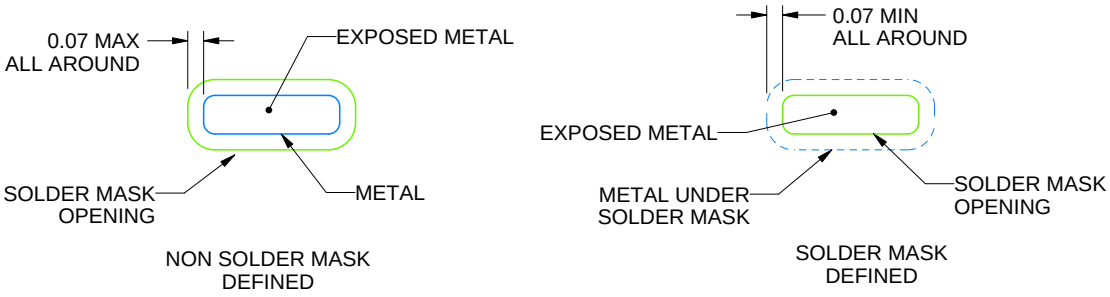
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

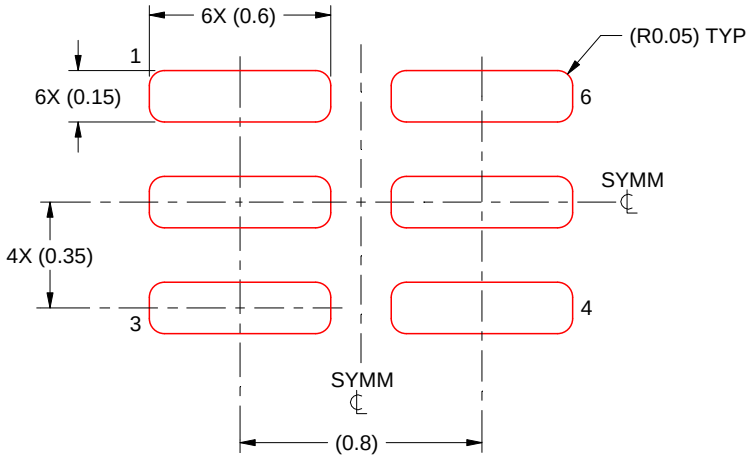
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

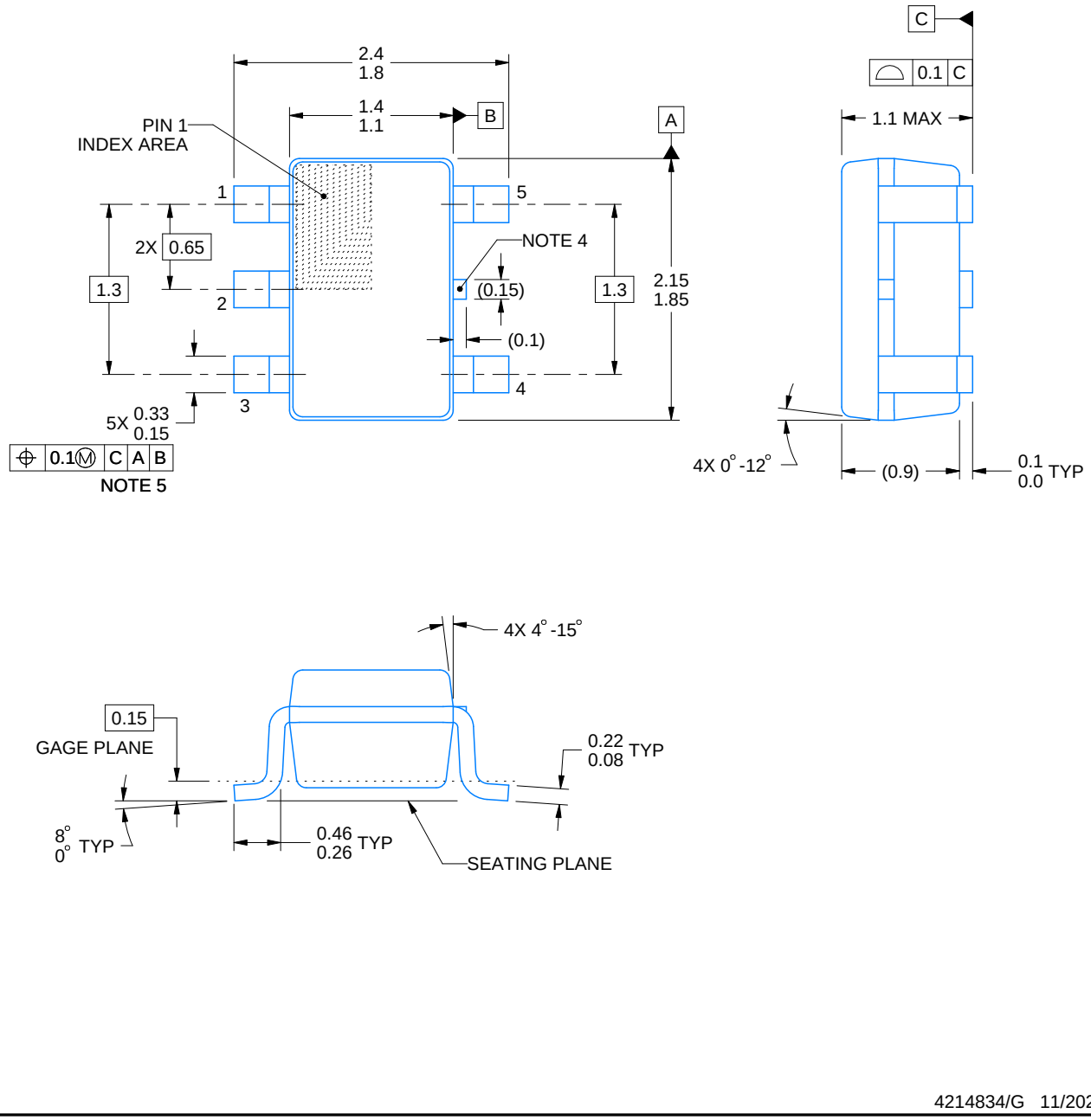
4211218-3/D

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

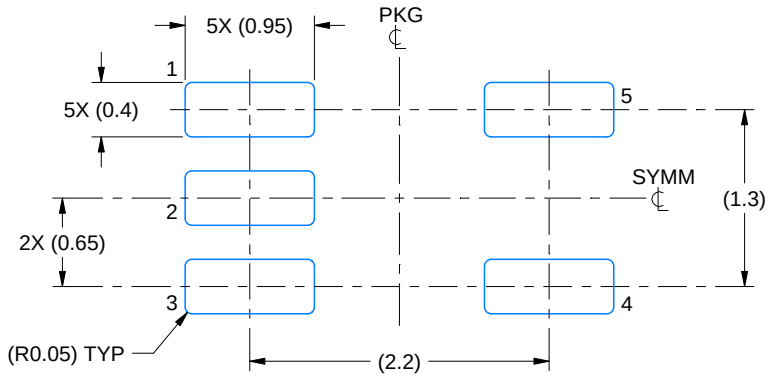
SMALL OUTLINE TRANSISTOR



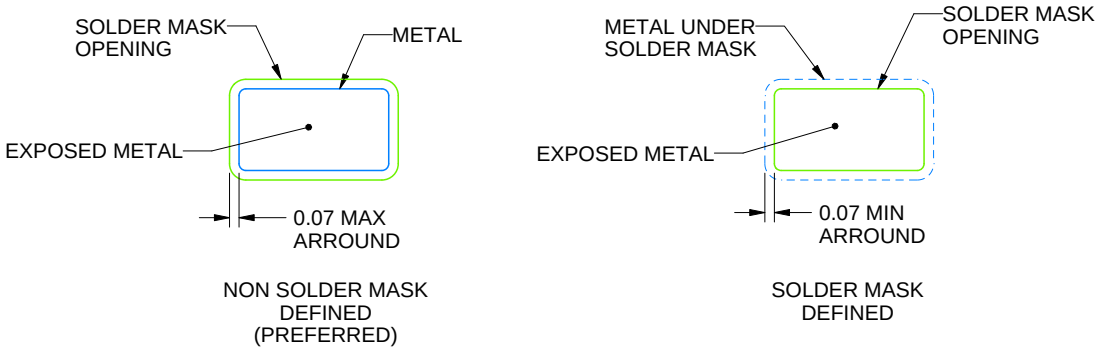
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

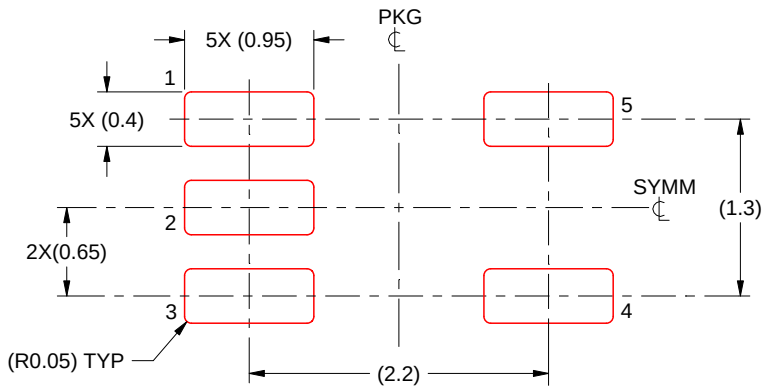


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月