

SN75179B 差動ドライバ/レシーバ・ペア

1 特長

- TIA/EIA-422-B、TIA/EIA-485-A、ITU 勧告 V.11 の要件を満たす、または上回る性能
- バス電圧入力範囲: $-7V \sim 12V$
- 正と負の電流制限
- ドライバ出力能力: 最大 60mA
- ドライバのサーマル シャットダウン保護
- レシーバ入力インピーダンス: 最小 12k Ω
- レシーバ入力感度: $\pm 200mV$
- レシーバ入力ヒステリシス: 50mV (標準値)
- 5V 単一電源で動作
- 低消費電力要件

2 概要

SN75179B は、平衡伝送ライン アプリケーションのために設計された差動ドライバ / レシーバ ペアであり、TIA/EIA-422-B、TIA/EIA-485-A、ITU 勧告 V.11 を満たしています。本デバイスは、長いバスラインでの全二重データ通信の性能が高まるように設計されています。

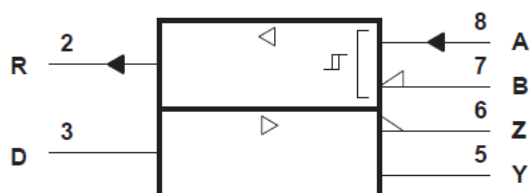
SN75179B ドライバ出力は、正負両方の電流を制限します。このレシーバは、高い入力インピーダンス、ノイズ耐性を高める入力ヒステリシス、 $-7V \sim 12V$ の同相入力電圧範囲にわたって $\pm 200mV$ の入力感度を特長としています。ドライバは、ライン フォルト条件に対して保護するためのサーマル シャットダウン機能を備えています。サーマル シャットダウンは、約 $150^{\circ}C$ の接合部温度で作動するように設計されています。SN75179B は、最大 60mA の電流負荷を駆動するように設計されています。

SN75179B は、 $0^{\circ}C \sim 70^{\circ}C$ で動作特性が規定されています。

パッケージ情報

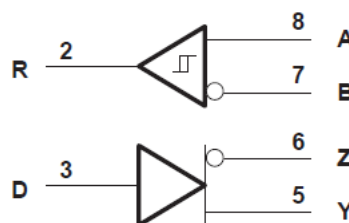
部品番号	パッケージ (1)	パッケージ サイズ (2)
SN75179B	D (SOIC)	4.9 mm $\times$ 6mm
	P (PDIP)	9.81 mm $\times$ 9.43mm
	PS (SOP)	6.2 mm $\times$ 7.8mm

- (1) 供給されているすべてのパッケージについては、[セクション 9](#) を参照してください。
- (2) パッケージサイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。



A. この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。

論理記号



論理図 (正論理)



Table of Contents

1 特長	1	5 Parameter Measurement Information	9
2 概要	1	6 Detailed Description	10
3 Pin Configuration and Functions	3	6.1 Functional Block Diagram.....	10
4 Specifications	4	6.2 Device Functional Modes.....	11
4.1 Absolute Maximum Ratings.....	4	7 Device and Documentation Support	12
4.2 Recommended Operating Conditions.....	4	7.1 Documentation Support.....	12
4.3 Thermal Information.....	4	7.2 ドキュメントの更新通知を受け取る方法.....	12
4.4 Electrical Characteristics: Driver.....	5	7.3 サポート・リソース.....	12
4.5 Switching Characteristics.....	5	7.4 Trademarks.....	12
4.6 Symbol Equivalent.....	5	7.5 静電気放電に関する注意事項.....	12
4.7 Electrical Characteristics: Receiver.....	6	7.6 用語集.....	12
4.8 Switching Characteristics.....	6	8 Revision History	12
4.9 Typical Characteristics.....	7	9 Mechanical, Packaging, and Orderable Information ..	13

3 Pin Configuration and Functions

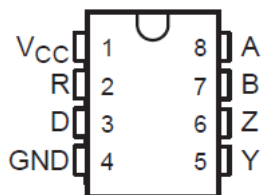


図 3-1. D, PS, or P Package
 Top View

表 3-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1	V _{CC}	P	5V Voltage Supply
2	R	O	RS485 Logic Output
3	D	I	RS485 Logic Input
4	GND	G	Ground
5	Y	O	Non-Inverting RS485 Bus Output
6	Z	O	Inverted RS485 Bus Output
7	B	I	Inverted RS485 Bus Input
8	A	I	Non-Inverting RS485 Bus Input

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power.

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage ⁽²⁾		7	V
	Voltage range at any bus terminal	–10	15	V
V _{ID}	Differential input voltage ⁽³⁾		±25	V
T _{stg}	Storage temperature	–65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to network ground terminal.
- (3) Differential input voltage is measured at the noninverting input with respect to the corresponding inverting input.

4.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V _{CC}	Supply voltage		4.75	5	5.25	V
V _{IH}	High-level input voltage	Driver	2			V
V _{IL}	Low-level input voltage	Driver			0.8	V
V _{IC}	Common-mode input voltage		–7 ⁽¹⁾		12	V
V _{ID}	Differential input voltage,				±12	V
I _{OH}	High level output current	Driver			–60	mA
		Receiver			–400	μA
I _{OL}	Low level output current	Driver			60	mA
		Receiver			8	mA
T _A	Operating free-air temperature		0		70	°C

- (1) The algebraic convention, where the less positive (more negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage.

4.3 Thermal Information

THERMAL METRIC ⁽¹⁾		SOIC (D)	PDIP (P)	SOP (PS)	UNIT
		8 PINS	8 PINS	8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	116.7	109.5	84.3	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	56.3	53.9	65.4	
R _{θJB}	Junction-to-board thermal resistance	63.4	65.7	62.1	
Ψ _{JT}	Junction-to-top characterization parameter	8.8	11.6	31.3	
Ψ _{JB}	Junction-to-board characterization parameter	62.6	64.5	60.4	
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	N/A	

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

4.4 Electrical Characteristics: Driver

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT	
V _{IK}	Input clamp voltage	I _I = −18mA				−1.5	V	
V _O	Output voltage	I _O = 0		0		6	V	
V _{OD1}	Differential output voltage	I _O = 0		1.5		6	V	
V _{OD2}	Differential output voltage	R _L = 100Ω	See ☒ 5-1	1/2 V _{OD1}			V	
		2 ⁽²⁾						
		R _L = 54Ω	See ☒ 5-1	1.5	2.5	5	V	
V _{OD3}	Differential output voltage	See ⁽⁴⁾		1.5		5	V	
Δ V _{OD}	Change in magnitude of differential output voltage					±0.2	V	
V _{OC}	Common mode output voltage	R _L = 54Ω or 100Ω,	See ☒ 5-1			3	V	
						−1		
Δ V _{OC}	Change in magnitude of common-mode output voltage ⁽³⁾					±0.2	V	
I _O	Output current	V _{CC} = 0	V _O = -7V to 12V			±100	μA	
I _{IH}	High-level input current	V _{IH} = 2.4V				20	μA	
I _{IL}	Low-level input current	V _{IL} = 0.4V				−200	μA	
I _{OS}	Short circuit output current	V _O = −7V				−250	mA	
		V _O = V _{CC}				250		
		V _O = 12V				250		
I _{CC}	Supply current (total package)	No load				57	70	mA

(1) All typical values are at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$.

(2) The minimum V_{OD2} with 100Ω load is either $1/2 V_{OD2}$ or 2V , whichever is greater

(3) $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input is changed from a high level to a low level.

(4) See TIA/EIA-485-A, Figure 3.5, Test Termination Measurement 2.

4.5 Switching Characteristics

$V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential output delay time	$R_L = 54\Omega$	See 5-3		15	22	ns
$t_{t(OD)}$	Differential output transition time	$R_L = 54\Omega$	See 5-3		20	30	ns

4.6 Symbol Equivalent

DATA-SHEET PARAMETER	TIA/EIA-422-B	TIA/EIA-485-A
V_O	V_{oa}, V_{ob}	V_{oa}, V_{ob}
$ V_{OD1} $	V_o	V_o
$ V_{OD2} $	$V_t(R_L = 100\Omega)$	$V_t(R_L = 54\Omega)$
$ V_{OD3} $		V_t (Test Termination Measurement 2)
$D V_{OD} $	$ V_t - \bar{V}_t $	$ V_t - \bar{V}_t $
V_{OC}	$ V_{os} $	$ V_{os} $
$D V_{OC} $	$ V_{os} - \bar{V}_{os} $	$ V_{os} - \bar{V}_{os} $
I_{OS}	$ I_{sa} , I_{sb} $	
I_O	$ I_{xa} , I_{xb} $	I_{ia}, I_{ib}

4.7 Electrical Characteristics: Receiver

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	$V_O = 2.7V$	$I_O = -0.4mA$				0.2	V
V_{IT-}	Negative-going input threshold voltage	$V_O = 0.5V$	$I_O = 8mA$		-0.2 ⁽²⁾			V
V_{hys}	Hysteresis voltage ($V_{IT+} - V_{IT-}$)					50		mV
V_{OH}	High-level output voltage	$V_{ID} = 200mV$	$I_{OH} = -400\mu A$	See 5-2	2.7			V
V_{OL}	Low-level output voltage	$V_{ID} = -200mV$	$I_{OL} = 8mA$	See 5-2			0.45	V
I_I	Line input current	Other input at 0V	See ⁽³⁾	$V_I = 12V$			1	mA
				$V_I = -7V$			-0.8	mA
r_I	Input resistance				12			k Ω
I_{OS}	Short-circuit output current				-15		-85	mA
I_{OS}	Supply current (total package)	No load				57	70	mA

(1) All typical values are at $V_{CC} = 5V$ and $T_A = 25^\circ C$.

(2) The algebraic convention, where the less positive (more negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.

(3) See TIA/EIA-422-B for exact conditions.

4.8 Switching Characteristics

$V_{CC} = 5V$, $T_A = 25^\circ C$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low- to high-level output	$V_{ID} = -1.5V$ to $1.5V$			19	35	ns
t_{PHL}	Propagation delay time, high- to low-level output	$C_L = 15pF$	See 5-4		30	40	ns

4.9 Typical Characteristics

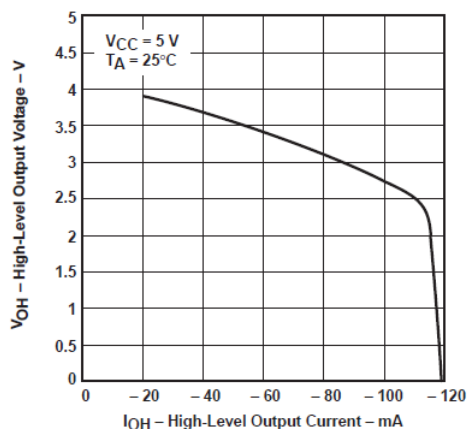


Figure 4-1. Driver High-Level Output Voltage vs High-Level Output Current

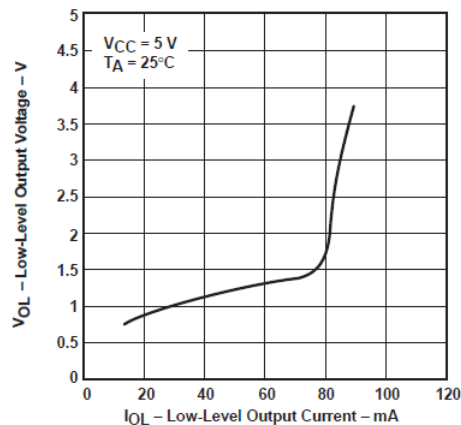


Figure 4-2. Driver Low-Level Output Voltage vs Low-Level Output Current

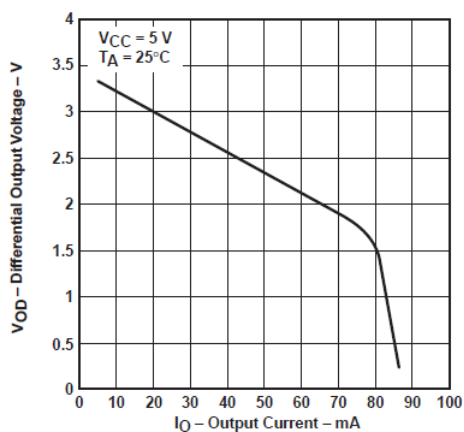


Figure 4-3. Driver Differential Output Voltage vs Output Current

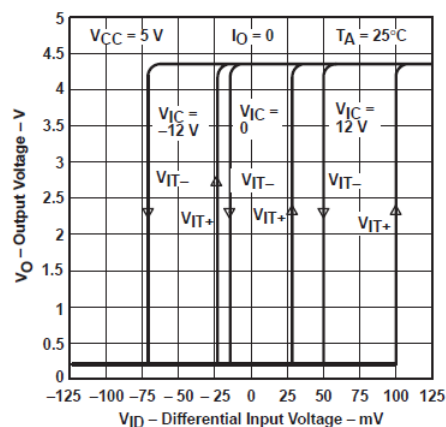


Figure 4-4. Receiver Output Voltage vs Differential Input Voltage

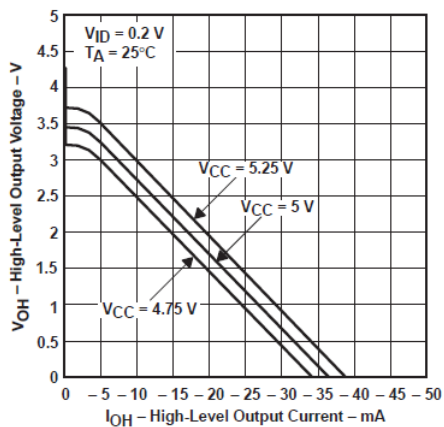


Figure 4-5. High-Level Output Voltage vs High-Level Output Current

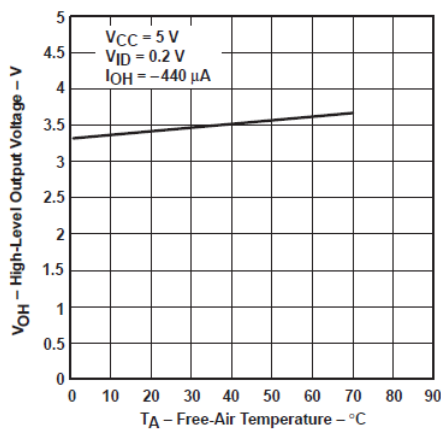


Figure 4-6. High-Level Output Voltage vs Free-Air Temperature

4.9 Typical Characteristics (continued)

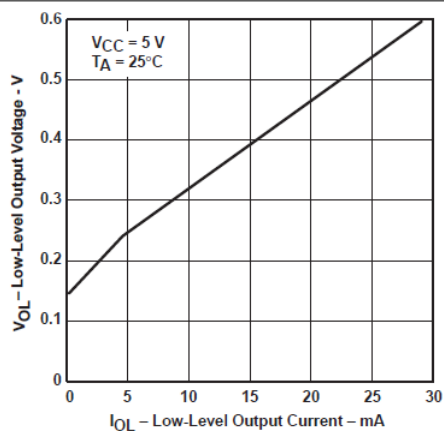


図 4-7. Receiver Low-Level Output Voltage vs Low-Level Output Current

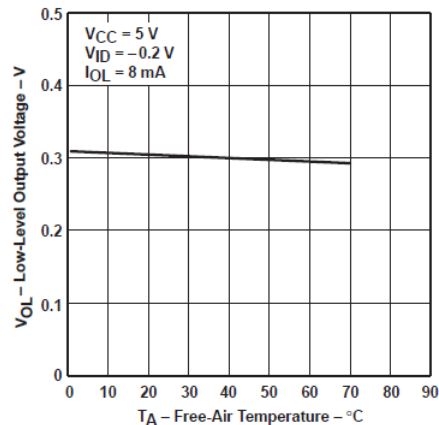


図 4-8. Receiver Low-Level Output Voltage vs Free-Air Temperature

5 Parameter Measurement Information

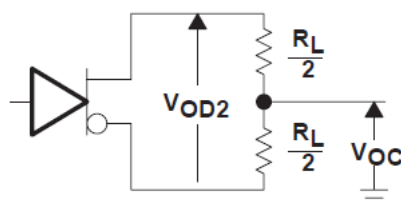


図 5-1. Driver V_{DD} and V_{OC}

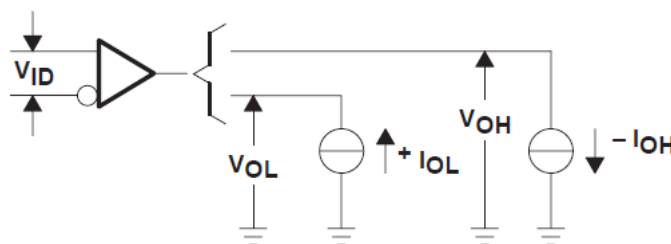
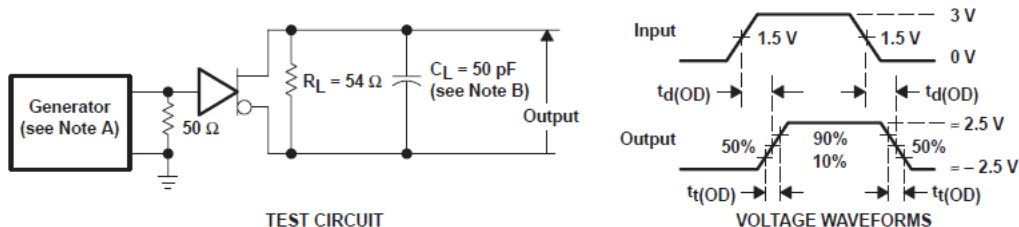
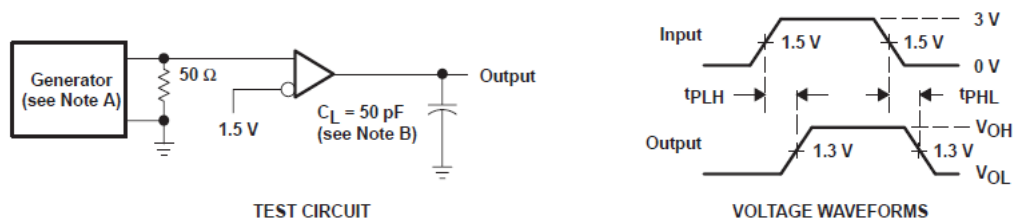


図 5-2. Receiver V_{OH} and V_{OL}



- A. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$.
- B. C_L includes probe and jig capacitance.

図 5-3. Driver Test Circuit and Voltage Waveforms

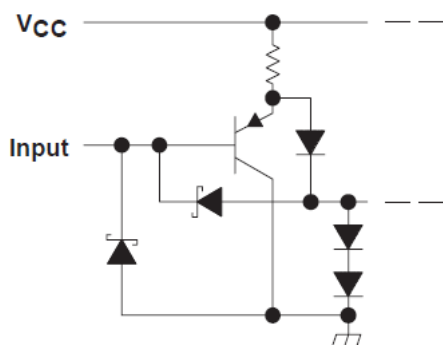


- A. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$.
- B. C_L includes probe and jig capacitance.

図 5-4. Receiver Test Circuit and Voltage Waveforms

6 Detailed Description

6.1 Functional Block Diagram



A. Driver input: $R_{(eq)} = 3k\Omega$ NOM $R_{(eq)}$ = equivalent resistor

图 6-1. Equivalent of Driver Input

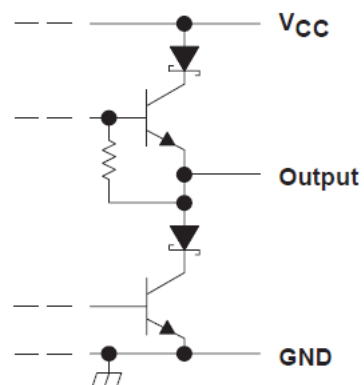


图 6-2. Typical of All Driver Outputs

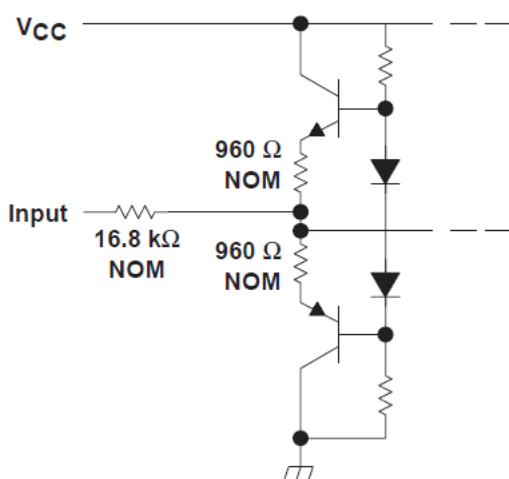


图 6-3. Equivalent of Each Receiver Input

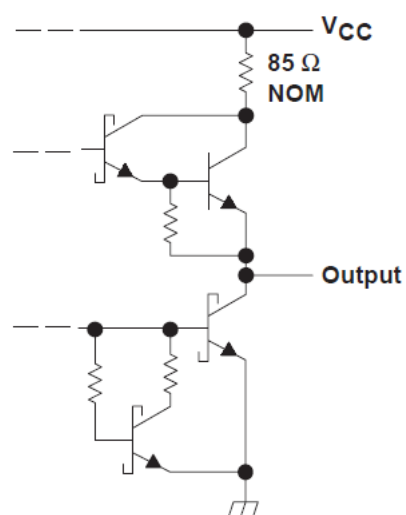


图 6-4. Typical of All Receiver Outputs

6.2 Device Functional Modes

表 6-1. Driver ⁽¹⁾

INPUT D	OUTPUTS	
	Y	Z
H	H	L
L	L	H

(1) H = high level, L = low level, ? = indeterminate

表 6-2. Receiver

DIFFERENTIAL INPUTS A – B	OUTPUT ⁽¹⁾ R
$V_{ID} \geq 0.2V$	H
$-0.2V < V_{ID} < 0.2V$	?
$V_{ID} \leq -0.2V$	L
Open	?

(1) H = high level, L = low level, ? = indeterminate

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 Documentation Support

7.1.1 Related Documentation

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (October 2022) to Revision G (April 2025)	Page
• 「パッケージ情報」表を更新	1
• Changed the I_{OH} driver max value from -602mA to -60mA in the <i>Recommended Operating Conditions</i>	4

Changes from Revision E (June 2008) to Revision F (October 2022)	Page
• 最新のデータシートフォーマットに合わせてデータシートのフォーマットを変更.....	1
• Changed the <i>Thermal Information</i> table.....	4

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75179BDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75179B
SN75179BDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75179B
SN75179BDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75179B
SN75179BP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75179BP
SN75179BP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75179BP
SN75179BPE4	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75179BP
SN75179BPSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A179B
SN75179BPSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A179B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75179BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75179BPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75179BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN75179BPSR	SO	PS	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN75179BP	P	PDIP	8	50	506	13.97	11230	4.32
SN75179BP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75179BPE4	P	PDIP	8	50	506	13.97	11230	4.32

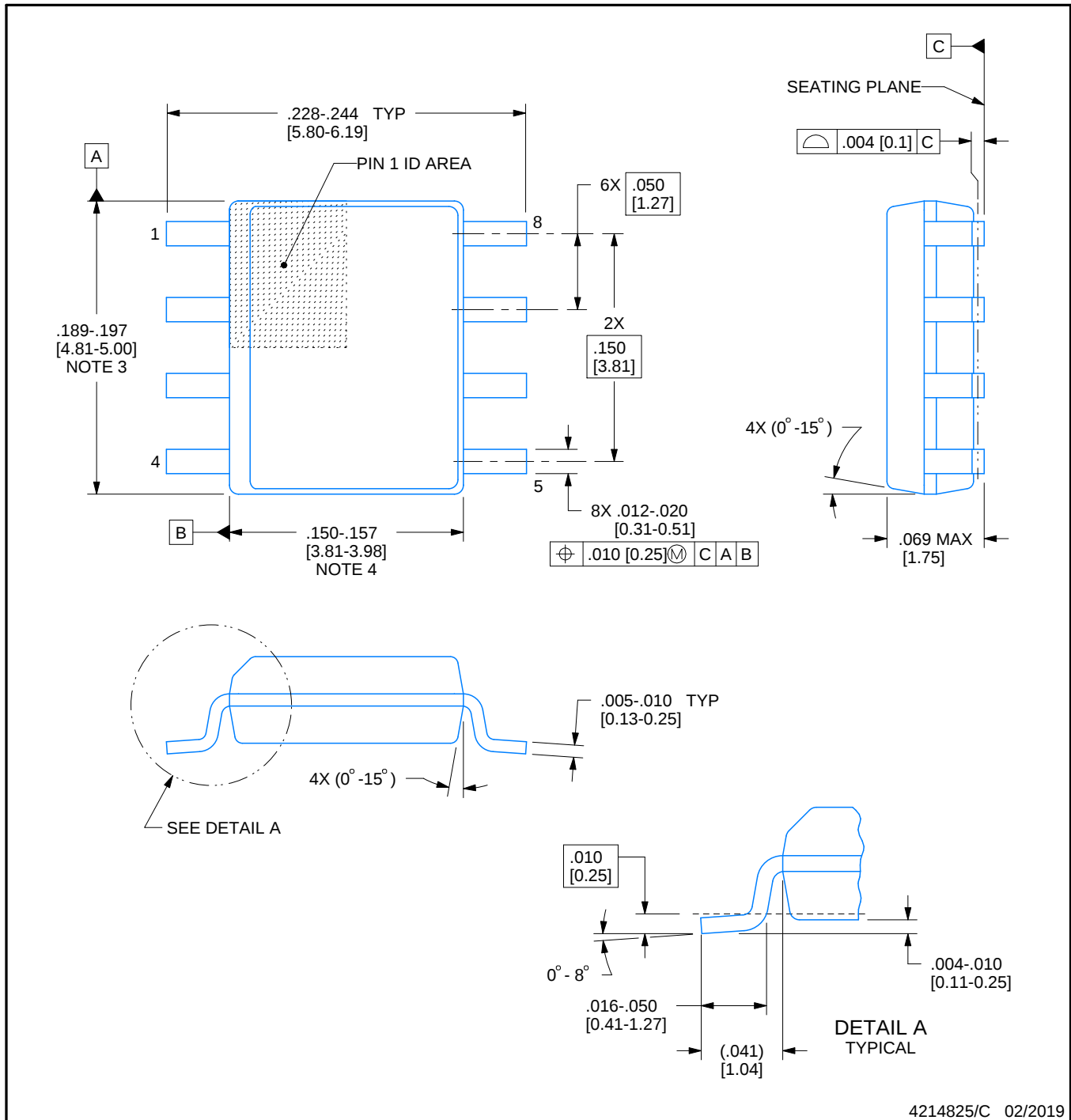


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

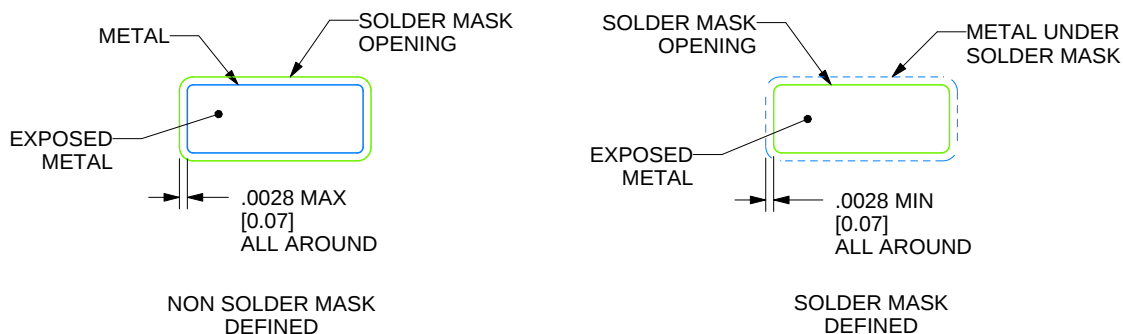
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

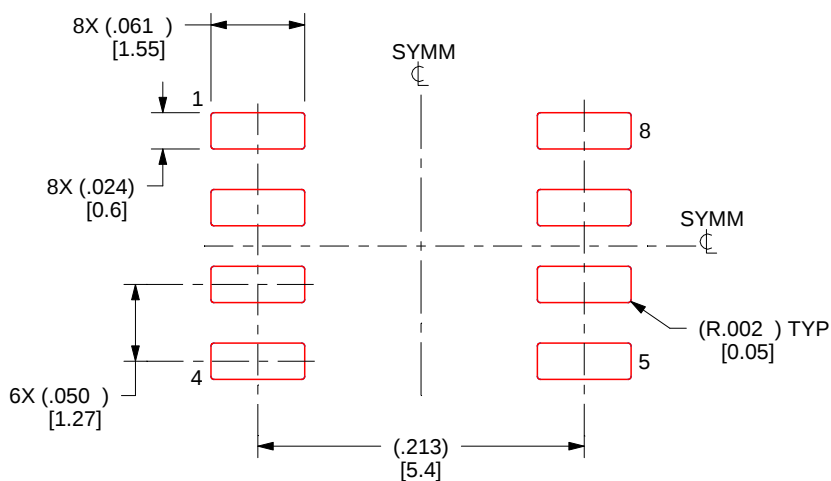
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

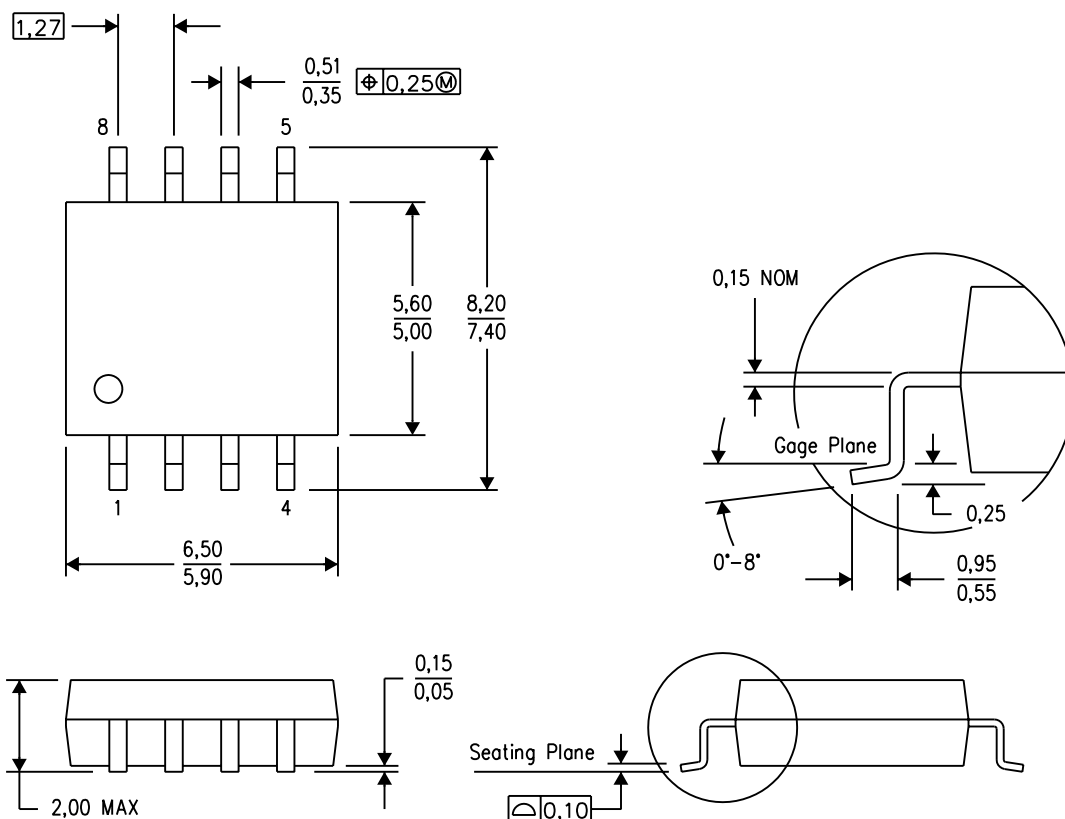
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月