

SN75ALS174 クワッド差動ライン・ドライバ

1 特長

- ANSI EIA/TIA-422-B および RS-485 の要件を満たす、または超える
- 高速の高度な低消費電力ショットキー回路
- シリアルおよびパラレル両方のアプリケーションで最高 20Mbit/s の動作を行うよう設計
- ノイズの多い環境の、長いバスラインでのマルチポイントの伝送用に設計
- 低い消費電流要件: 最大 55mA
- 広い正および負の入力 / 出力バス電圧範囲
- ドライバ出力能力: 60mA
- サーマル シャットダウン保護
- ドライバの正および負の電流制限

2 アプリケーション

- モーター・ドライブ
- ファクトリ・オートメーションおよび制御

3 概要

SN75ALS174 は、トライステート差動出力を持つクワッドラインドライバです。ANSI 標準 EIA/TIA-422-B および RS-485 の要件を満たすよう設計されています。このデバイスは、最高 20Mbit/s の速度で、平衡マルチポイントバス伝送を行うよう最適化されています。

各ドライバには、広い正および負の同相出力電圧範囲があり、ノイズの多い環境でのパーティラインアプリケーションに適しています。

SN75ALS174 には、正および負の電流制限とサーマルシャットダウンがあり、伝送バスラインのラインフォルト状況から保護します。シャットダウンは、接合部温度が約 150°C で発生します。

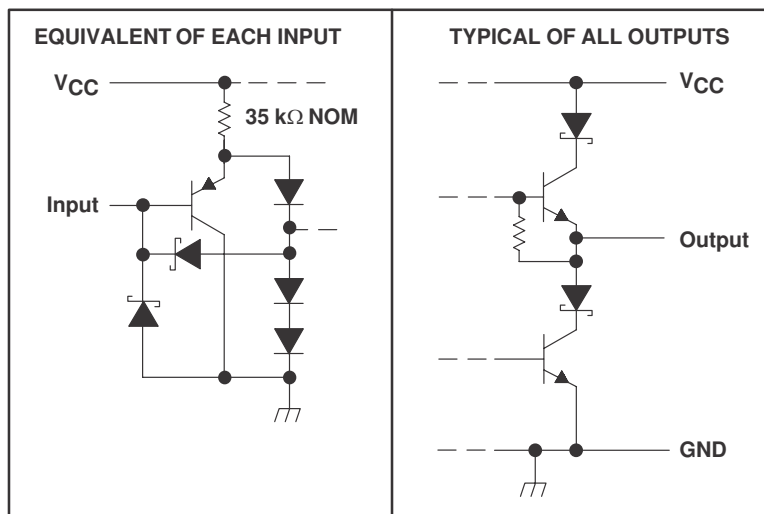
SN75ALS174 は、0°C ~ 70°C で動作特性が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
SN75ALS174	SOIC (DW, 20)	12.8mm × 10.3mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2018, Texas Instruments Incorporated

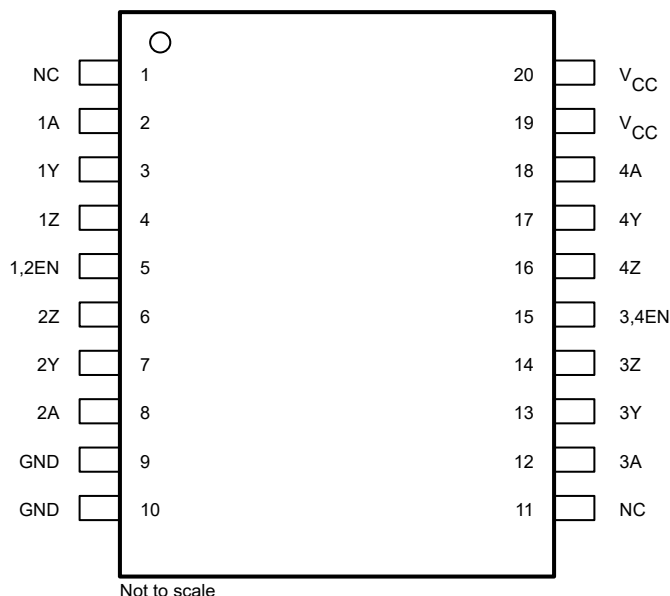
入力と出力の回路図



Table of Contents

1 特長	1	7.2 Functional Block Diagram.....	8
2 アプリケーション	1	7.3 Feature Description.....	8
3 概要	1	7.4 Device Functional Modes.....	8
4 Pin Configuration and Functions	3	8 Device and Documentation Support	11
5 Specifications	4	8.1 Documentation Support.....	11
5.1 Absolute Maximum Ratings.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	11
5.2 Dissipation Rating Table.....	4	8.3 サポート・リソース.....	11
5.3 Recommended Operating Conditions.....	4	8.4 Trademarks.....	11
5.4 Thermal Information.....	4	8.5 静電気放電に関する注意事項.....	11
5.5 Electrical Characteristics.....	5	8.6 用語集.....	11
5.6 Switching Characteristics.....	5	9 Revision History	11
6 Parameter Measurement Information	6	10 Mechanical, Packaging, and Orderable Information	11
7 Detailed Description	8		
7.1 Overview.....	8		

4 Pin Configuration and Functions



DW (SOIC) Package (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
V _{CC}	19, 20	VCC	5V supply. These pins are not connected together internally, so power must be applied to both
GND	9, 10	GND	Device ground
NC	1, 11	NC	Internally not connected
1A	2	I	Driver data input
1Y	3	O	Bus output, Y (Complementary to Z)
1Z	4	O	Bus output, Z (Complementary to Y)
1,2EN	5	I	Driver enable, active high
2Z	6	O	Bus output, Z (Complementary to Y)
2Y	7	O	Bus output, Y (Complementary to Z)
2A	8	I	Driver data input
3A	12	I	Driver data input
3Y	13	O	Bus output, Y (Complementary to Z)
3Z	14	O	Bus output, Z (Complementary to Y)
3,4EN	15	I	Driver enable, active high
4Z	16	O	Bus output, Z (Complementary to Y)
4Y	17	O	Bus output, Y (Complementary to Z)
4A	18	I	Driver data input

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

	MIN	MAX	UNIT
Supply voltage, V_{CC} ⁽²⁾		7	V
Input voltage, V_I		7	V
Output voltage range, V_O	–9	14	V
Continuous total dissipation	See the <i>Dissipation Rating</i> table		
Storage temperature, T_{stg}	–65	150	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) All voltage values are with respect to network GND.

5.2 Dissipation Rating Table

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
DW	1125 mW	9.0 mW/°C	720 mW	596 mW

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
V_{OC}	Common-mode output voltage			12	V
				–7	V
I_{OH}	High-level output current			–60	mA
I_{OL}	Low-level output current			60	mA
T_A	Operating free-air temperature	0		70	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		DW (SOIC)	UNIT
		20 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	66.8	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	34.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	39.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	8.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	39.0	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	n/a	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IK}	Input clamp voltage	I _I = −18 mA				−1.5	V
V _O	Output voltage	I _O = 0		0		6	V
V _{OD1}	Differential output voltage	I _O = 0		1.5		6	V
V _{OD2}	Differential output voltage	R _L = 100 Ω	See Note 6-1	1/2 V _{OD1} or 2 ⁽²⁾			V
		R _L = 54 Ω		1.5	2.5	5	V
V _{OD3}	Differential output voltage	See ⁽⁵⁾		1.5		5	V
Δ V _{OD}	Change in magnitude of differential output voltage ⁽³⁾	R _L = 54 Ω or 100 Ω	See 6-1			±0.2	V
V _{OC}	Common-mode output voltage ⁽⁴⁾	R _L = 54 Ω or 100 Ω	See 6-1			3	V
						−1	V
Δ V _{OC}	Change in magnitude of common-mode output voltage ⁽³⁾	R _L = 54 Ω or 100 Ω	See 6-1			±0.2	V
I _O	Output current with power off	V _{CC} = 0, V _O = −7 V to 12 V				±100	μA
I _{OZ}	High-impedance-state output current	V _O = −7 V to 12 V				±100	μA
I _{IH}	High-level input current	V _I = 2.7 V				20	μA
I _{IL}	Low-level input current	V _I = 0.4 V				−100	μA
I _{OS}	Short-circuit output current	V _O = −7 V to 12 V				±250	mA
I _{CC}	Supply current (all drivers)	No load	Outputs enabled		36	55	mA
			Outputs disabled		16	30	mA

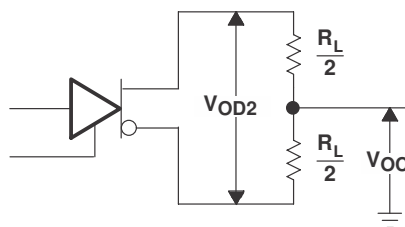
- (1) All typical values are at $V_{CC} = 5\text{ V}$ and $T_A = 25^\circ\text{C}$.
(2) The minimum V_{OD2} with a $100\text{-}\Omega$ load is either $1/2 V_{OD1}$ or 2 V , whichever is greater.
(3) $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input is changed from a high level to a low level.
(4) In ANSI Standard EIA/TIA-422-B, V_{OC} , which is the average of the two output voltages with respect to ground, is called output offset voltage, V_{OS} .
(5) See EIA Standard RS-485, Figures 3-5, Test Termination Measurement 2.

5.6 Switching Characteristics

over operating free-air temperature range (unless otherwise noted), $C_L = 50\text{ pF}$

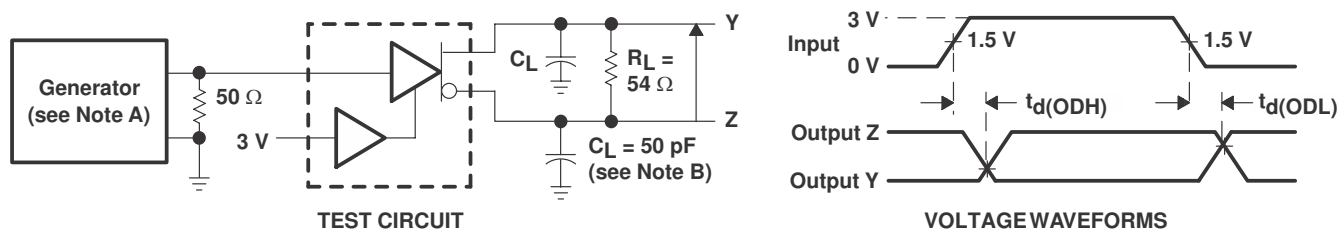
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{d(OD)}	Differential output delay time	R _L = 54 Ω, See 6-2	9	15	22	ns
t _{PZH}	Output enable time to high level	R _L = 110 Ω, See 6-3	30	45	70	ns
t _{PZL}	Output enable time to low level	R _L = 110 Ω, See 6-4	25	40	65	ns
t _{PHZ}	Output disable time from high level	R _L = 110 Ω, See 6-3	10	20	35	ns
t _{PLZ}	Output disable time from low level	R _L = 110 Ω, See 6-4	10	30	45	ns

6 Parameter Measurement Information



Copyright © 2018, Texas Instruments Incorporated

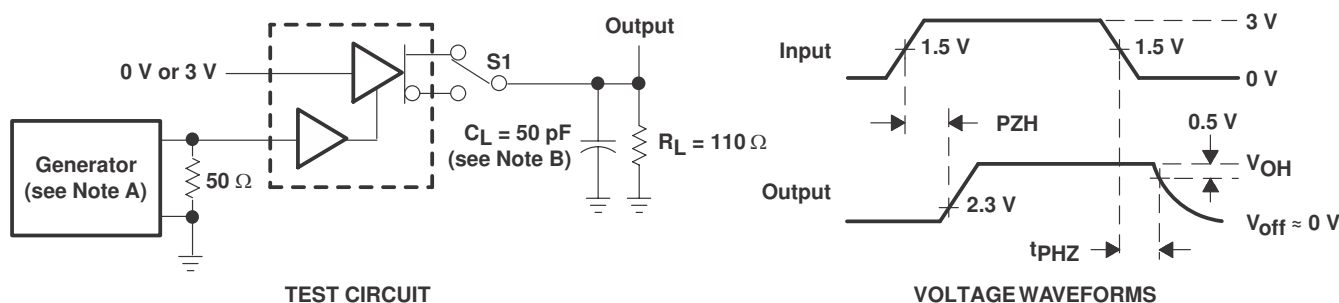
図 6-1. Differential and Common-Mode Output Voltages



Copyright © 2018, Texas Instruments Incorporated

- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1MHz, $Z_O = 50\Omega$, duty cycle = 50%, t_r 5ns, t_f 5ns.
 B. C_L includes probe and stray capacitance.

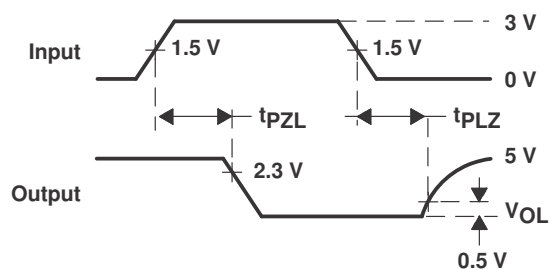
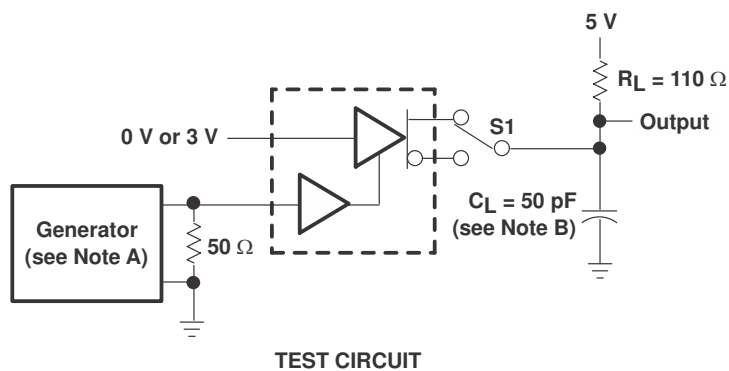
図 6-2. Differential-Output Test Circuit and Delay and Transition Times Voltage Waveforms



Copyright © 2018, Texas Instruments Incorporated

- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1MHz, $Z_O = 50\Omega$, duty cycle = 50%, t_r 5ns, t_f 5ns.
 B. C_L includes probe and stray capacitance.

図 6-3. Test Circuit and Voltage Waveforms, t_{PZH} and t_{PHZ}



Copyright © 2018, Texas Instruments Incorporated

- A. The input pulse is supplied by a generator having the following characteristics: PRR = 1MHz, $Z_O = 50\Omega$, duty cycle = 50%, t_f 10ns, t_r 10ns.
- B. C_L includes probe and stray capacitance.

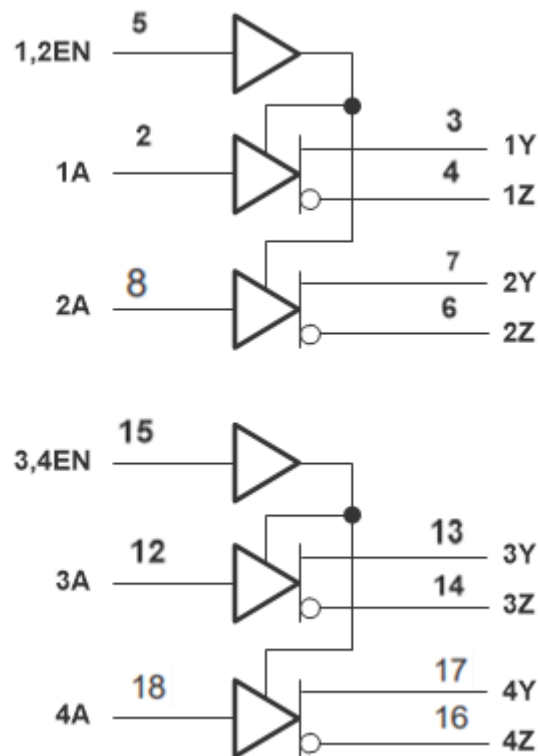
6-4. Test Circuit and Voltage Waveforms, t_{PZL} and t_{PLZ}

7 Detailed Description

7.1 Overview

The SN75ALS174 is a quadruple line driver with tristate differential outputs. the device is designed to meet the requirements of ANSI Standards EIA/TIA-422-B and RS-485. This device is optimized for balanced multipoint bus transmission at rates of up to 20Mbit/s

7.2 Functional Block Diagram



7.3 Feature Description

Each driver features wide positive and negative common-mode output voltage ranges that make them suitable for party-line applications in noisy environments. The SN75ALS174 provides positive- and negative-current limiting and thermal shutdown for protection from line fault conditions on the transmission bus line. Shutdown occurs at a junction temperature of approximately 150°C

7.4 Device Functional Modes

表 7-1. Function Table (each driver)

INPUT A ⁽¹⁾	ENABLES	OUTPUTS ⁽²⁾	
		Y	Z
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = high level, L = low level, X = irrelevant.

(2) Z = high impedance (off)

Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

1 Application Information

2 Typical Application

When designing a system that uses drivers, receivers, and transceivers that comply with RS-422 or RS-485, proper cable termination is essential for highly reliable applications with reduced reflections in the transmission line. Because RS-422 allows only one driver on the bus, if termination is used, it is placed only at the end of the cable near the last receiver. In general, RS-485 requires termination at both ends of the cable. Factors to consider when determining the type of termination usually are performance requirements of the application and the ever-present factor, cost. The different types of termination techniques discussed are unterminated lines, parallel termination, ac termination, and multipoint termination

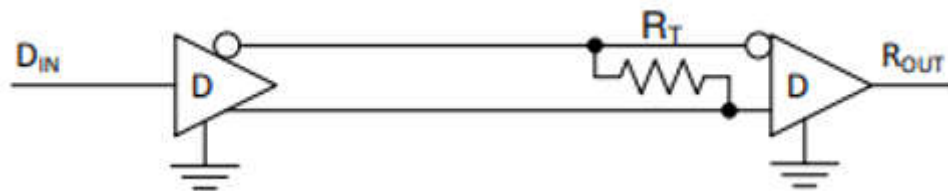


図 8-1. Typical RS-485 or RS-422 Application with Terminated Reciever.

2.1 Design Requirements

RS-485 is a robust electrical standard suitable for long-distance networking that may be used in a wide range of applications with varying requirements, such as distance, data rate, and number of nodes.

2.2 Detailed Design Procedure

2.2.1 Data Rate and Bus Length

There is an inverse relationship between data rate and cable length, which means the higher the data rate, the shorter the cable length; and conversely, the lower the data rate, the longer the cable length. While most RS-485 systems use data rates between 10 kbps and 100 kbps, some applications require data rates up to 250 kbps at distances of 4000 feet and longer. Longer distances are possible by allowing for small signal jitter of up to 5 or 10%.

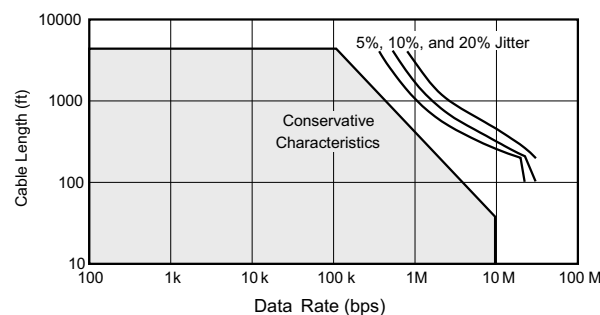


図 8-2. Cable Length vs Data Rate Characteristic

2.2.2 Stub Length

When connecting a node to the bus, the distance between the transceiver inputs and the cable trunk, known as the stub, should be as short as possible. Stubs present a non-terminated piece of bus line which can introduce reflections of varying phase as the length of the stub increases. As a general guideline, the electrical length, or round-trip delay, of a stub should be less than one-tenth of the rise time of the driver, thus giving a maximum physical stub length.

$$L_{(\text{STUB})} \leq 0.1 \times t_r \times v \times c \quad (1)$$

where:

- t_r is the 10/90 rise time of the driver
- c is the speed of light (3×10^8 m/s)
- v is the signal velocity of the cable or trace as a factor of c

2.2.3 Bus Loading

The RS-485 standard specifies that a compliant driver must be able to drive 32 unit loads (UL), where 1 unit load represents a load impedance of approximately 12 k Ω .

3 Power Supply Recommendations

To ensure reliable operation at all data rates and supply voltages, each supply should be decoupled with a 100 nF ceramic capacitor located as close to the supply pins as possible. This helps to reduce supply voltage ripple present on the outputs of switched-mode power supplies and also helps to compensate for the resistance and inductance of the PCB power planes

8 Device and Documentation Support

8.1 Documentation Support

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2023) to Revision A (April 2024)	Page
• Changed the <i>Thermal Information</i> table.....	4
• Changed Note A in 図 6-4	6

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75ALS174DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS174
SN75ALS174DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS174

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

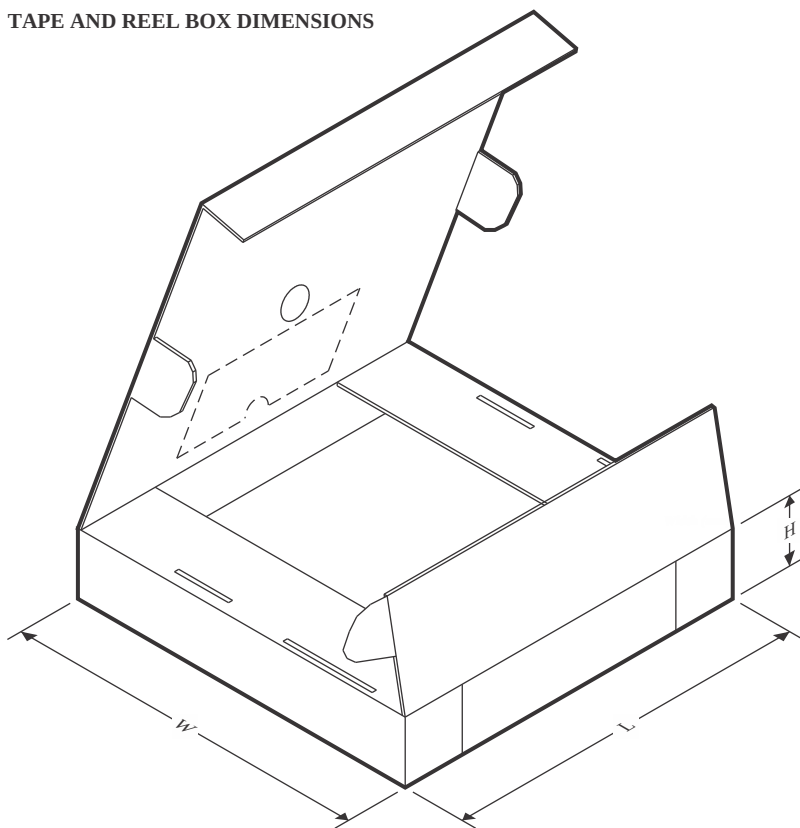
TAPE AND REEL INFORMATION



*All dimensions are nominal

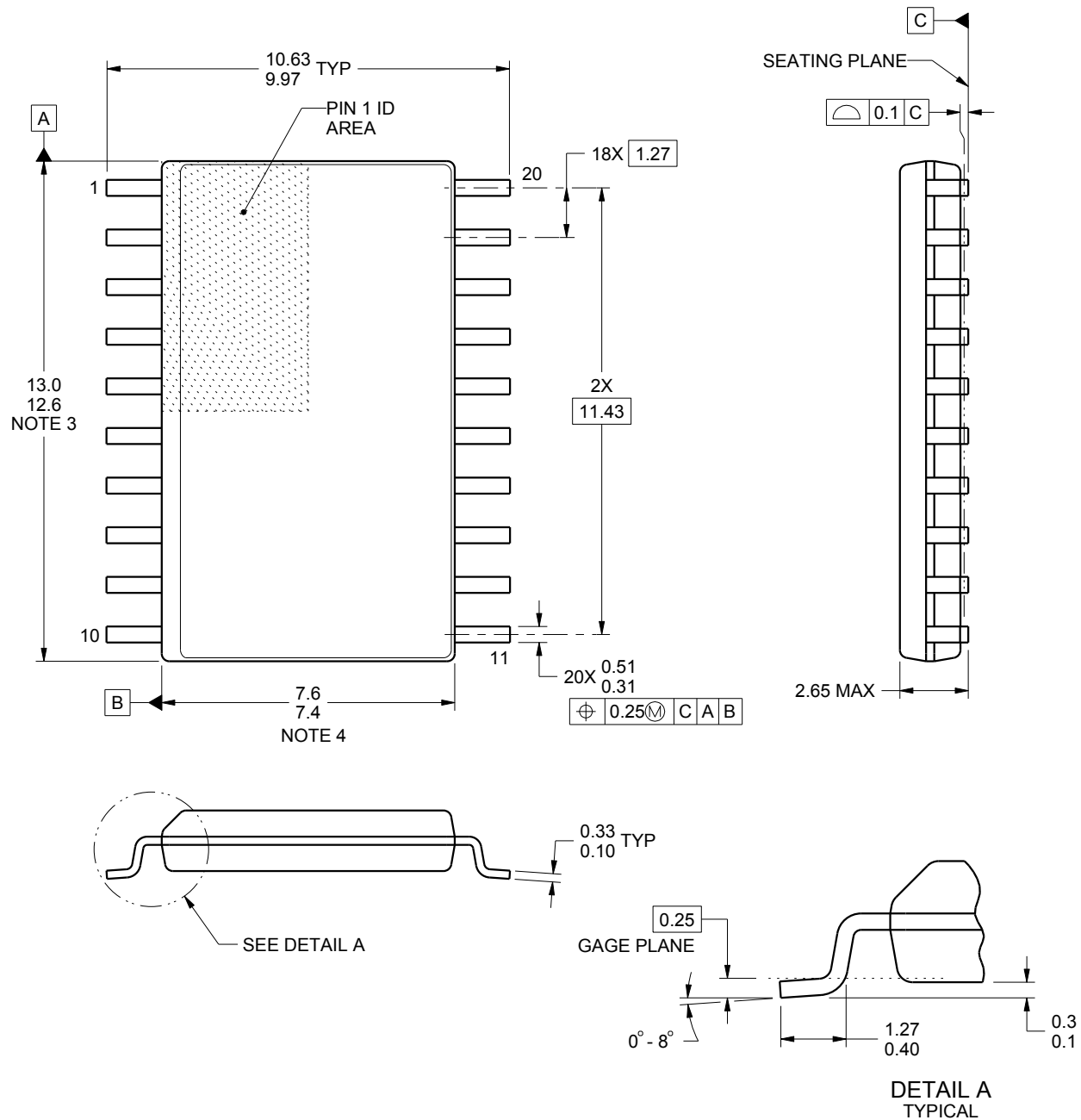
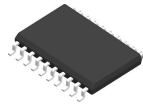
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75ALS174DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN75ALS174DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75ALS174DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN75ALS174DWR	SOIC	DW	20	2000	356.0	356.0	45.0



4220724/A 05/2016

NOTES:

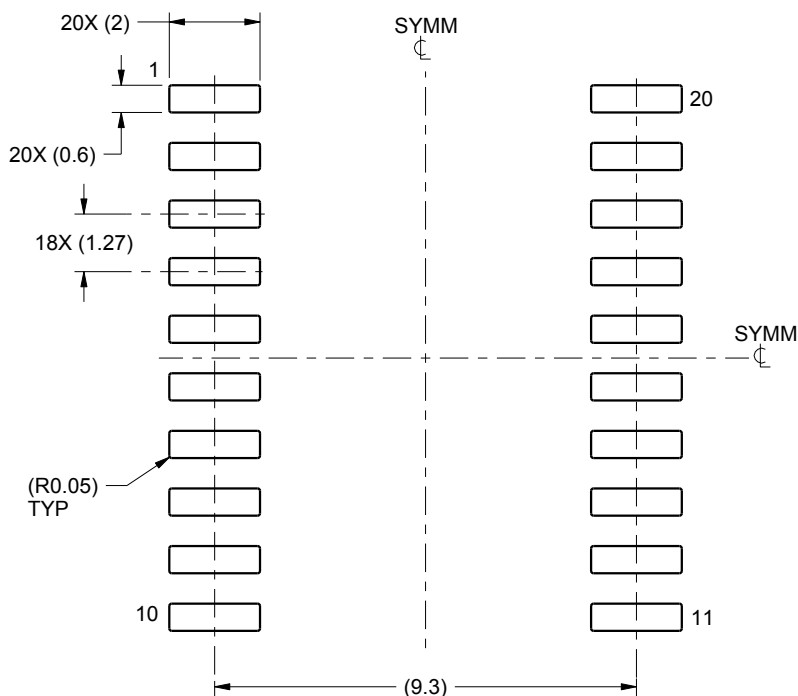
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

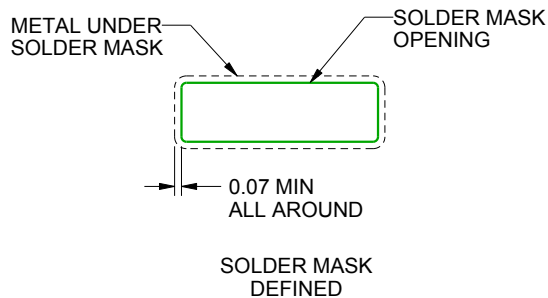
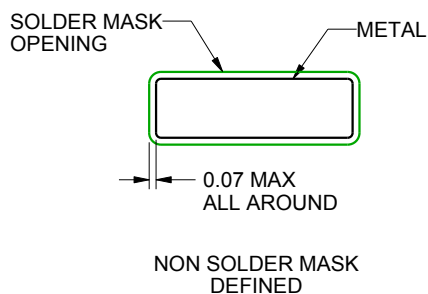
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

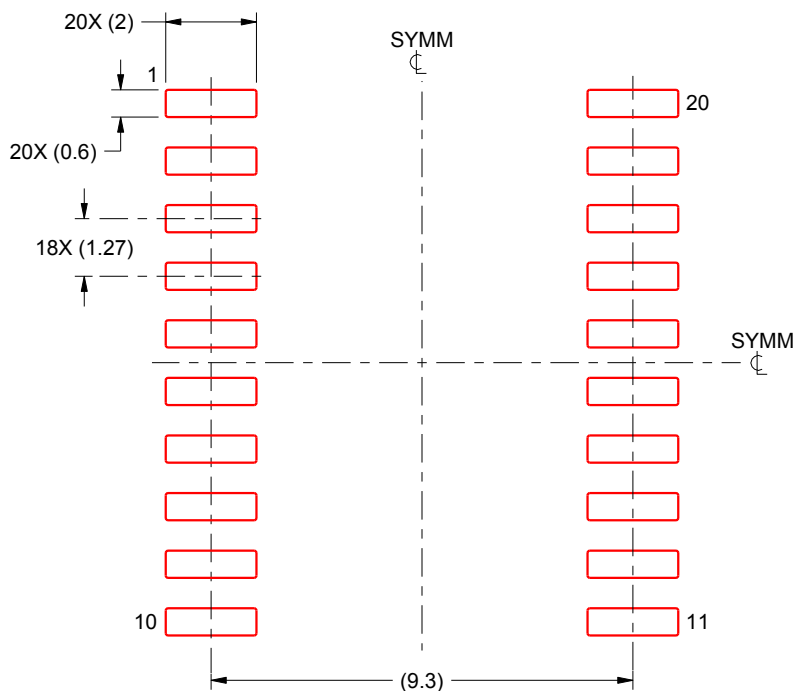
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月