

SN75ALS194 クワッド差動ラインドライバ

1 特長

- ANSI 標準 EIA/TIA-422-B と ITU 勧告 V.11 の要件を満たす、または上回る性能
- 最大 20Mbaud で動作する設計
- 3 ステート、TTL 互換出力
- 5V 単一電源動作
- 電源オフ状況での高い出力インピーダンス
- 2 対のドライバ (別々に有効化可能)
- MC3487 の改良版として設計

2 アプリケーション

- ファクトリオートメーション
- ATM / キャッシュ カウンタ
- スマートグリッド
- AC / サーボ モーター ドライブ

3 概要

これらの 4 つの差動ラインドライバは、ツイストペアまたは平行線伝送線路上でデータを伝送するためのものです。これらのドライバは ANSI 標準 EIA/TIA-422-B と ITU 勧告 V.11 の要件を満たしており、3 ステート TTL 回路と互換性があります。高度な低消費電力ショットキーテクノロジーにより、通常発生する消費電力を損なわずに高速を実現します。スタンバイ時の消費電流はわずか 26mA (標準値) です。伝搬遅延時間は 10ns (標準値) 未満、イネーブル / ディスエーブル時間は 16ns (標準値) 未満です。

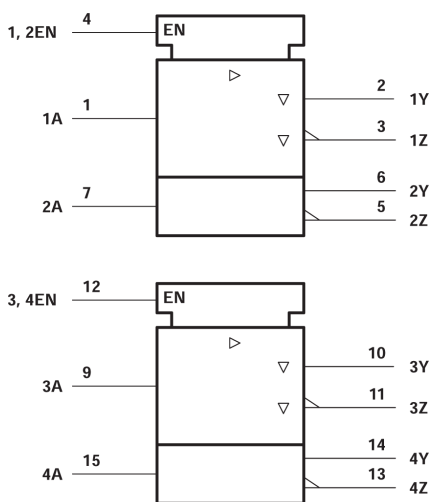
高インピーダンス入力により、入力電流は低く (High レベルでは 1μA 未満、Low レベルで 100μA 未満) 保たれます。ドライバ回路は、独立したアクティブ High イネーブル入力により、2 つ一組で有効化できます。SN75ALS194 は 20 メガビット/秒を超えるデータレートに対応でき、SN75ALS195 クワッドラインレシーバと組み合わせて動作するように設計されています。

SN75ALS194 は、0°C ~ 70°C で動作特性が規定されています。

パッケージ情報

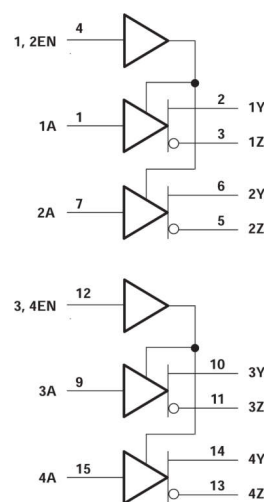
部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
SN75ALS194	NS (SOP, 16)	10.2mm × 7.8mm
	D (SOIC, 16)	9.9mm × 6mm
	N (PDIP, 16)	19.3mm × 9.4mm

- (1) 詳細は、[セクション 10](#) を参照してください。
 (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ここに示すピン番号は D、J、N、W の各パッケージのものです。

論理記号¹



論理図 (正論理)

¹ この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

1 特長	1	6 Parameter Measurement Information	10
2 アプリケーション	1	7 Detailed Description	12
3 概要	1	7.1 Device Functional Modes.....	12
4 Pin Configuration and Functions	3	8 Device and Documentation Support	13
5 Specifications	4	8.1 ドキュメントの更新通知を受け取る方法.....	13
5.1 Absolute Maximum Ratings.....	4	8.2 サポート・リソース.....	13
5.2 Dissipation Ratings.....	4	8.3 Trademarks.....	13
5.3 Recommended Operating Conditions.....	4	8.4 静電気放電に関する注意事項.....	13
5.4 Thermal Information.....	4	8.5 用語集.....	13
5.5 Electrical Characteristics.....	5	9 Revision History	13
5.6 Switching Characteristics.....	5	10 Mechanical, Packaging, and Orderable	
5.7 Typical Characteristics	7	Information	13

4 Pin Configuration and Functions

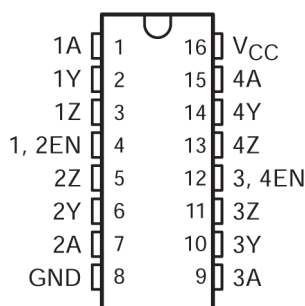


図 4-1. D, N, or NS Package
(Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I	Single Ended Data Input for Channel 1
1Y	2	O	Non-Inverting Output for Differential Driver on Channel 1
1Z	3	O	Inverting Output of Differential Driver on Channel 1
1, 2EN	4	I	Channel 1 and 2 Enable
2Z	5	O	Inverting Output of Differential Driver on Channel 2
2Y	6	O	Non-Inverting Output for Differential Driver on Channel 2
2A	7	I	Single Ended Data Input for Channel 2
GND	8	GND	Device GND
3A	9	I	Single Ended Data Input for Channel 3
3Y	10	O	Non-Inverting Output for Differential Driver on Channel 3
3Z	11	O	Inverting Output of Differential Driver on Channel 3
3, 4EN	12	I	Channel 3 and 4 Enable
4Z	13	O	Inverting Output of Differential Driver on Channel 4
4Y	14	O	Non-Inverting Output for Differential Driver on Channel 4
4A	15	I	Single Ended Data Input for Channel 4
V _{CC}	16	PWR	Device VCC (4.75V to 5.25V)

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage, (see ⁽²⁾)			7	V
V _I	Input voltage			5.5	V
V _O	Output voltage			7	V
	Continuous total dissipation		See <i>Dissipation Ratings</i> table		
T _A	Operating free-air temperature range:	SN75ALS194	0	70	°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds:	D or N package		260	°C
T _{stg}	Storage temperature range		–65	150	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to network ground terminal

5.2 Dissipation Ratings

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 125°C POWER RATING
D	950 mW	7.6 mW/°C	608 mW	N/A
N	1150 mW	9.2 mW/°C	736 mW	N/A

5.3 Recommended Operating Conditions

⁽¹⁾		SN75ALS194			UNIT
		MIN	NOM	MAX	
Supply voltage, V _{CC}		4.75	5	5.25	V
High-level input voltage, V _{IH}	All inputs, T _A = 25°C	2			
	A inputs, T _A = Full range	2			V
	EN inputs, T _A = Full range	2			
Low-level input voltage, V _{IL}				0.8	V
High-level output current, I _{OH}				–20	mA
Low-level output current, I _{OL}	T _A = 25°C			48	mA
	T _A = Full range			48	
Operating free-air temperature, T _A		0		70	°C

- (1) Full range is T_A = 0°C to 70°C for SN75ALS194.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		D (SOIC)	N (PDIP)	NS (SOP)	UNIT
		16-PINS			
R _{θJA}	Junction-to-ambient thermal resistance	84.6	60.6	88.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	43.5	48.1	46.2	°C/W
R _{θJB}	Junction-to-board thermal resistance	43.2	40.6	50.7	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	10.4	27.5	13.5	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	42.8	40.3	50.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Electrical Characteristics

over recommended ranges of supply voltage and operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ⁽¹⁾		MIN	TYP ⁽²⁾	MAX	UNIT
V _{IK}	Input clamp voltage	V _{CC} = MIN,	I _I = –18mA			–1.5	V
V _{OH}	High-level output voltage	V _{CC} = MIN, I _{OH} = –20mA	SN75ALS194	2.5			V
V _{OL}	Low-level output voltage	V _{CC} = MIN,	I _{OL} = MAX			0.5	V
V _O	Output voltage	I _O = 0		0		6	V
V _{OD1}	Differential output voltage	I _O = 0		1.5		6	V
V _{OD2}	Differential output voltage	R _L = 100W,	See FIG 5-1	1/2 V _{OD1} or 2 ⁽³⁾			V
Δ V _{OD}	Change in magnitude of differential output voltage ⁽⁴⁾					±0.4	V
V _{OC}	Common-mode output voltage					±3	V
Δ V _{OC}	Change in magnitude of common-mode output voltage ⁽⁴⁾					±0.4	V
I _O	Output current with power off	V _{CC} = 0	V _O = 6V			100	mA
			V _O = –0.25V			–100	
I _{OZ}	High-impedance-state output current	V _{CC} = MAX, Output enables at 0.8V	V _O = 2.7V			100	mA
			V _O = 0.5V			–100	
I _I	Input current at maximum input voltage	V _{CC} = MAX,	V _I = 5.5V			100	mA
I _{IH}	High-level input current	V _{CC} = MAX,	V _I = 2.7V			50	mA
I _{IL}	Low-level input current	V _{CC} = MAX,	V _I = 0.5V			–200	mA
I _{OS}	Short-circuit output current ⁽⁵⁾	V _{CC} = MAX,	V _I = 2V	–40		–140	mA
I _{CC}	Supply current (all drivers)	V _{CC} = MAX,	All outputs disabled		26	45	mA

- (1) For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
(2) All typical values are at V_{CC} = 5V, T_A = 25°C.
(3) The minimum V_{OD2} with a 100Ω load is either 1/2V_{OD1} or 2V, whichever is greater.
(4) Δ|V_{OD}| and Δ|V_{OC}| are the changes in magnitude of V_{OD} and V_{OC}, respectively, that occur when the input is changed from a high level to a low level.
(5) Not more than one output should be shorted at a time, and duration of the short circuit should not exceed one second.

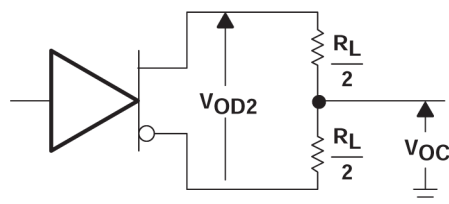
5.6 Switching Characteristics

V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	SN75ALS194			UNIT
			MIN	TYP	MAX	
t _{PLH}	Propagation delay time, low- to high-level output	C 15 F L = 15pF, See FIG 6-1		6	13	ns
t _{PHL}	Propagation delay time, high- to low-level output			9	14	ns
	Output-to-output skew			3.5	6	ns
t _{I(OD)}	Differential output transition time	C _L = 15pF, See FIG 6-2		8	14	ns
t _{PZH}	Output enable time to high level	C _L = 15pF, See FIG 6-3		9	12	ns
t _{PZL}	Output enable time to low level			12	20	ns
t _{PHZ}	Output disable time from high level			9	14	ns
t _{PLZ}	Output disable time from low level			12	15	ns

表 5-1. Symbol Equivalents

DATA SHEET PARAMETER	EIA/TIA-422-B
V_O	V_{oa}, V_{ob}
$ V_{OD1} $	V_o
$ V_{OD2} $	$V_t (R_L = 100 \Omega)$
$\Delta V_{OD} $	$ V_t - \bar{V}_t $
V_{OC}	$ V_{os} $
$\Delta V_{OC} $	$ V_{os} - \bar{V}_{os} $
I_{OS}	$ I_{sa} , I_{sb} $
I_O	$ I_{xa} , I_{xb} $

図 5-1. Driver V_{OD} And V_{OC}

5.7 Typical Characteristics

Data for temperatures below 0°C and above 70°C are applicable to the SN55ALS194 circuits only.

The A input is connected to V_{CC} during the testing of the Y outputs and to GND during the testing of the Z outputs.

The A input is connected to ground during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

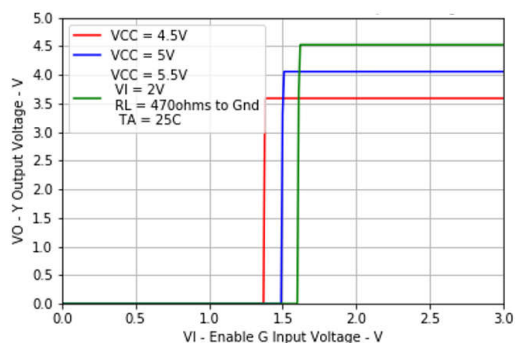


図 5-2. Y Output Voltage vs Data Input Voltage

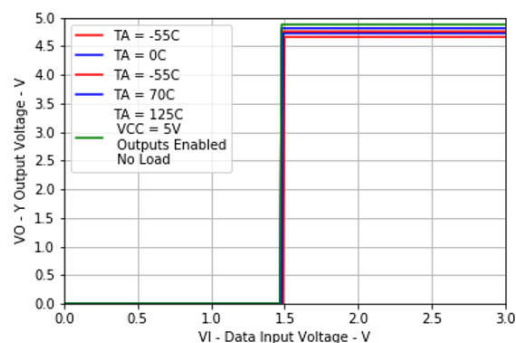


図 5-3. Y Output Voltage vs Data Input Voltage

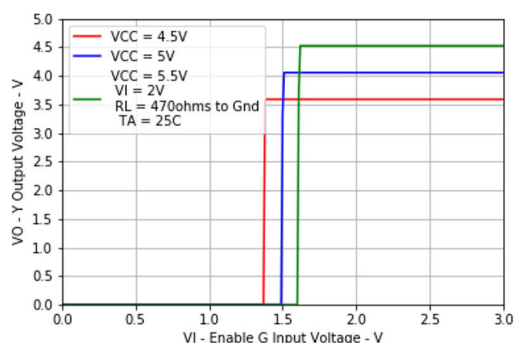


図 5-4. Y Output Voltage vs Enable G Input Voltage

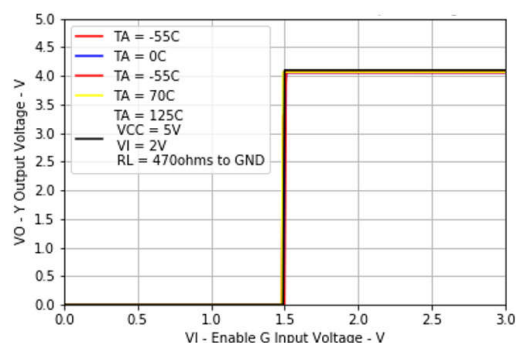


図 5-5. Y Output Voltage vs Enable G Input Voltage

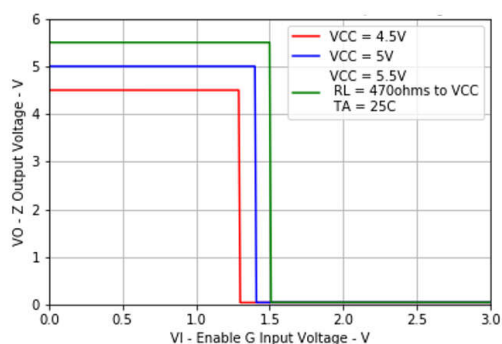


図 5-6. Z Output Voltage vs Enable G Input Voltage

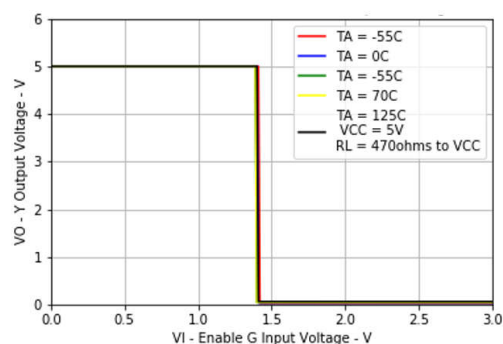


図 5-7. Z Output Voltage vs Enable G Input Voltage

5.7 Typical Characteristics (continued)

Data for temperatures below 0°C and above 70°C are applicable to the SN55ALS194 circuits only.

The A input is connected to V_{CC} during the testing of the Y outputs and to GND during the testing of the Z outputs.

The A input is connected to ground during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

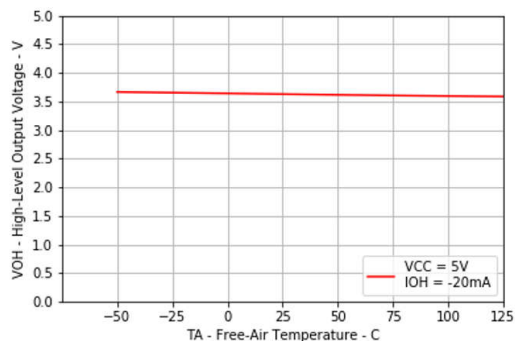


図 5-8. High-level Output Voltage vs Free-air Temperature

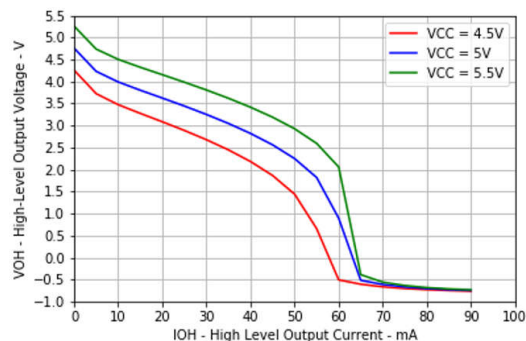


図 5-9. High-level Output Voltage vs High-level Output Current

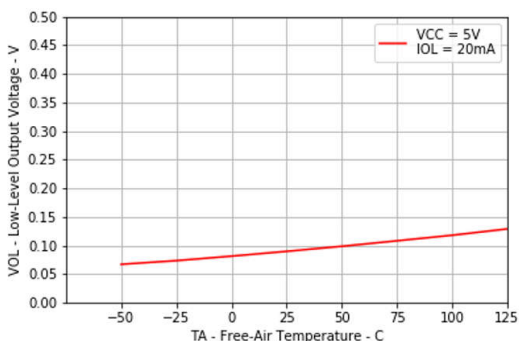


図 5-10. Low-level Output Voltage vs Free-air Temperature

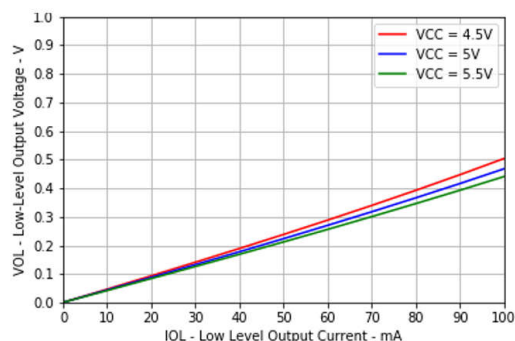


図 5-11. Low-level Output Voltage vs Low-level Output Current

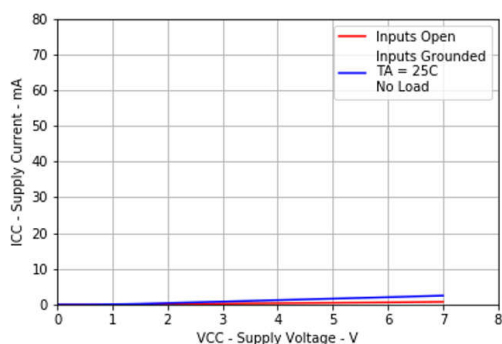


図 5-12. Supply Current vs Supply Voltage

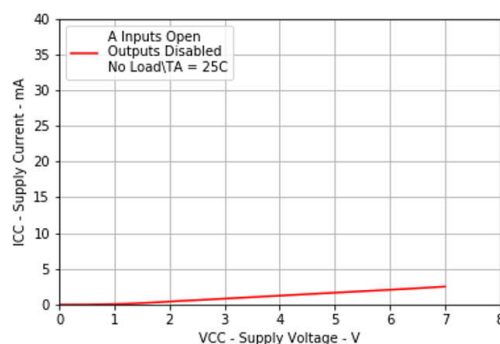


図 5-13. Supply Current vs Supply Voltage

5.7 Typical Characteristics (continued)

Data for temperatures below 0°C and above 70°C are applicable to the SN55ALS194 circuits only.

The A input is connected to V_{CC} during the testing of the Y outputs and to GND during the testing of the Z outputs.

The A input is connected to ground during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

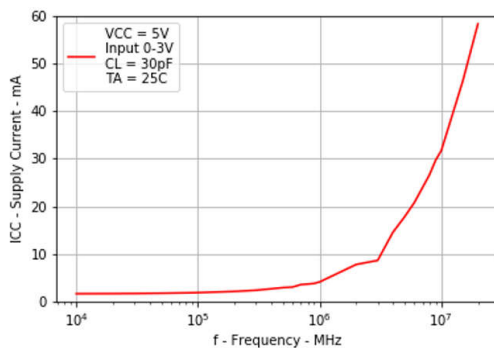
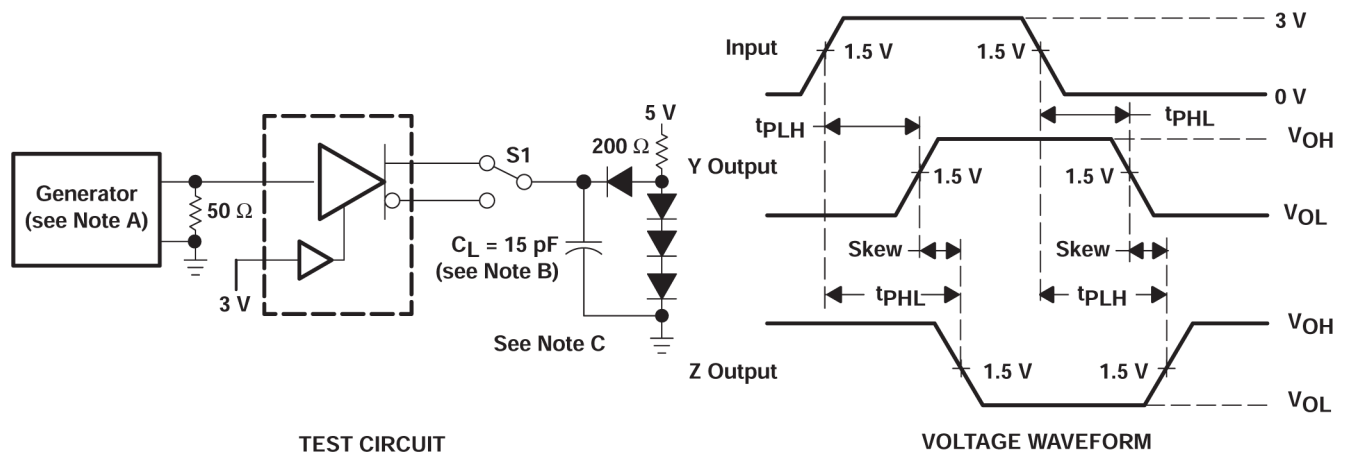


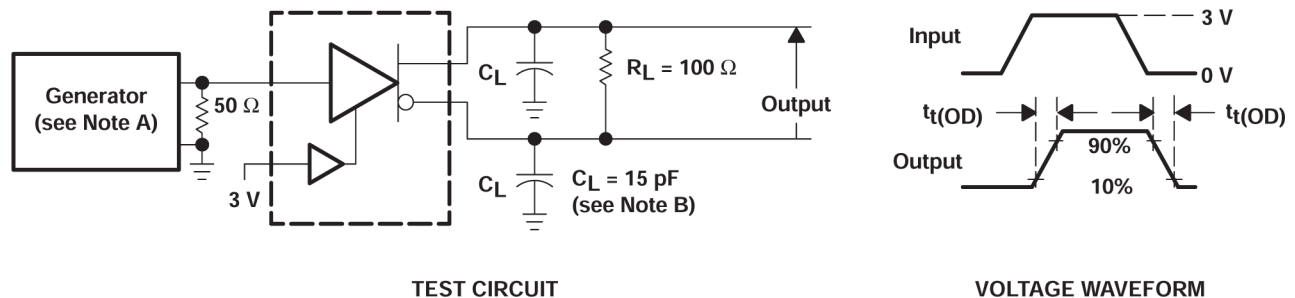
図 5-14. Supply Current vs Frequency

6 Parameter Measurement Information



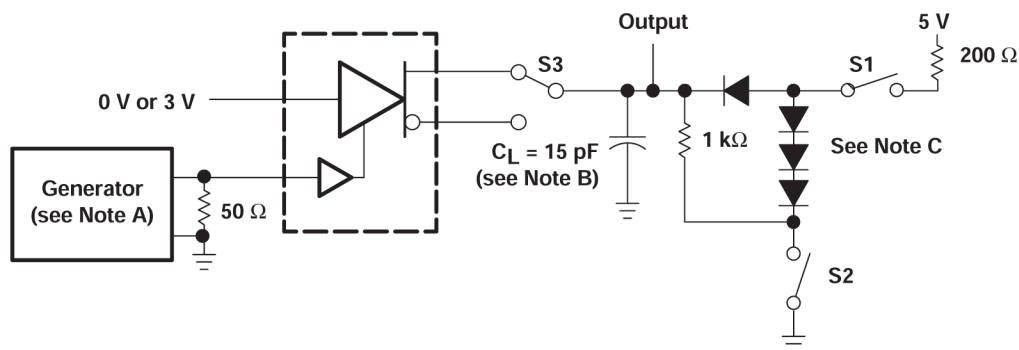
- A. The input pulse is supplied by a generator having the following characteristics: $t_r \leq 5\text{ns}$, $t_f \leq 5\text{ns}$, $\text{PRR} \leq 1\text{MHz}$, duty cycle $\leq 50\%$, $Z_O \approx 50\Omega$.
- B. C_L includes probe and stray capacitance.
- C. All diodes are 1N916 or 1N3064.

图 6-1. Test Circuit and Voltage Waveform

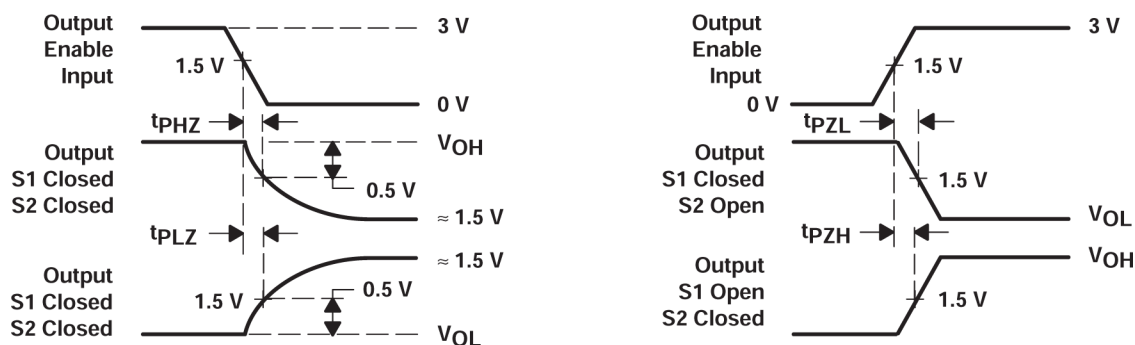


- A. The input pulse is supplied by a generator having the following characteristics: $t_r \leq 5\text{ns}$, $t_f \leq 5\text{ns}$, $\text{PRR} \leq 1\text{MHz}$, duty cycle $\leq 50\%$, $Z_O \approx 50\Omega$.
- B. C_L includes probe and stray capacitance.

图 6-2. Differential-Output Test Circuit and Voltage Waveform



TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. The input pulse is supplied by a generator having the following characteristics: $t_r \leq 5\text{ns}$, $t_f \leq 5\text{ns}$, $\text{PRR} \leq 1\text{MHz}$, duty cycle $\leq 50\%$, $Z_O \approx 50\Omega$.
- B. C_L includes probe and stray capacitance.
- C. All diodes are 1N916 or 1N3064.

图 6-3. Driver Test Circuit and Voltage Waveforms

7 Detailed Description

7.1 Device Functional Modes

Function Table (Each Driver)

INPUTS A ⁽¹⁾	OUTPUT EN	OUTPUTS	
		Y	Z
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = high level, L = low level, X = irrelevant, Z = high impedance

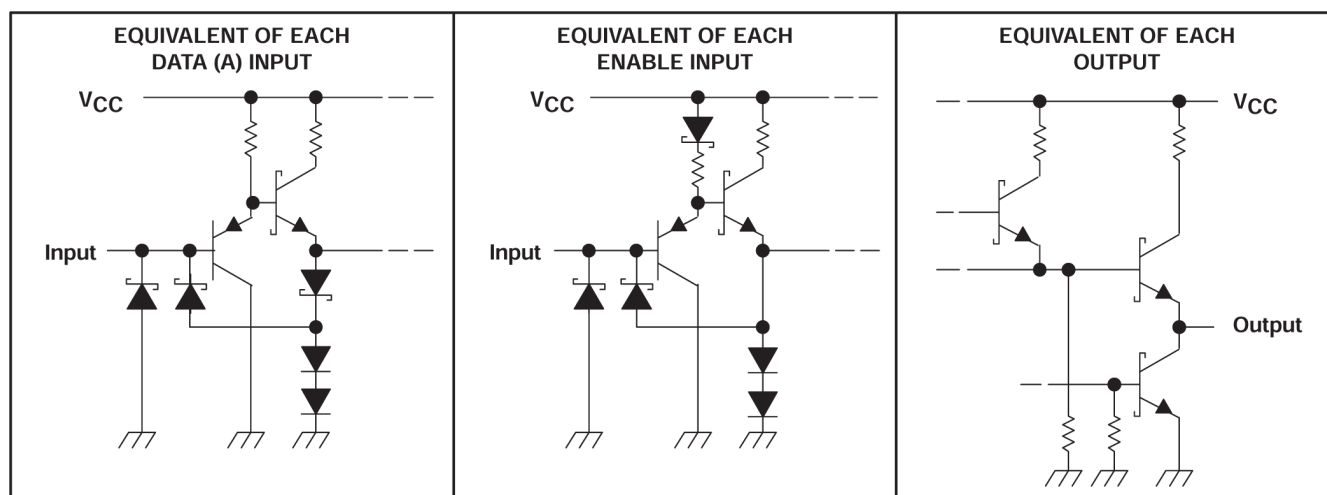


图 7-1. Schematics of Inputs and Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 1995) to Revision E (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75ALS194D	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	75ALS194
SN75ALS194DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS194
SN75ALS194DR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS194
SN75ALS194N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75ALS194N
SN75ALS194N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75ALS194N
SN75ALS194NSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS194
SN75ALS194NSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS194

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75ALS194DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75ALS194DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75ALS194NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75ALS194DR	SOIC	D	16	2500	340.5	336.1	32.0
SN75ALS194DR	SOIC	D	16	2500	353.0	353.0	32.0
SN75ALS194NSR	SOP	NS	16	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN75ALS194N	N	PDIP	16	25	506	13.97	11230	4.32
SN75ALS194N.A	N	PDIP	16	25	506	13.97	11230	4.32

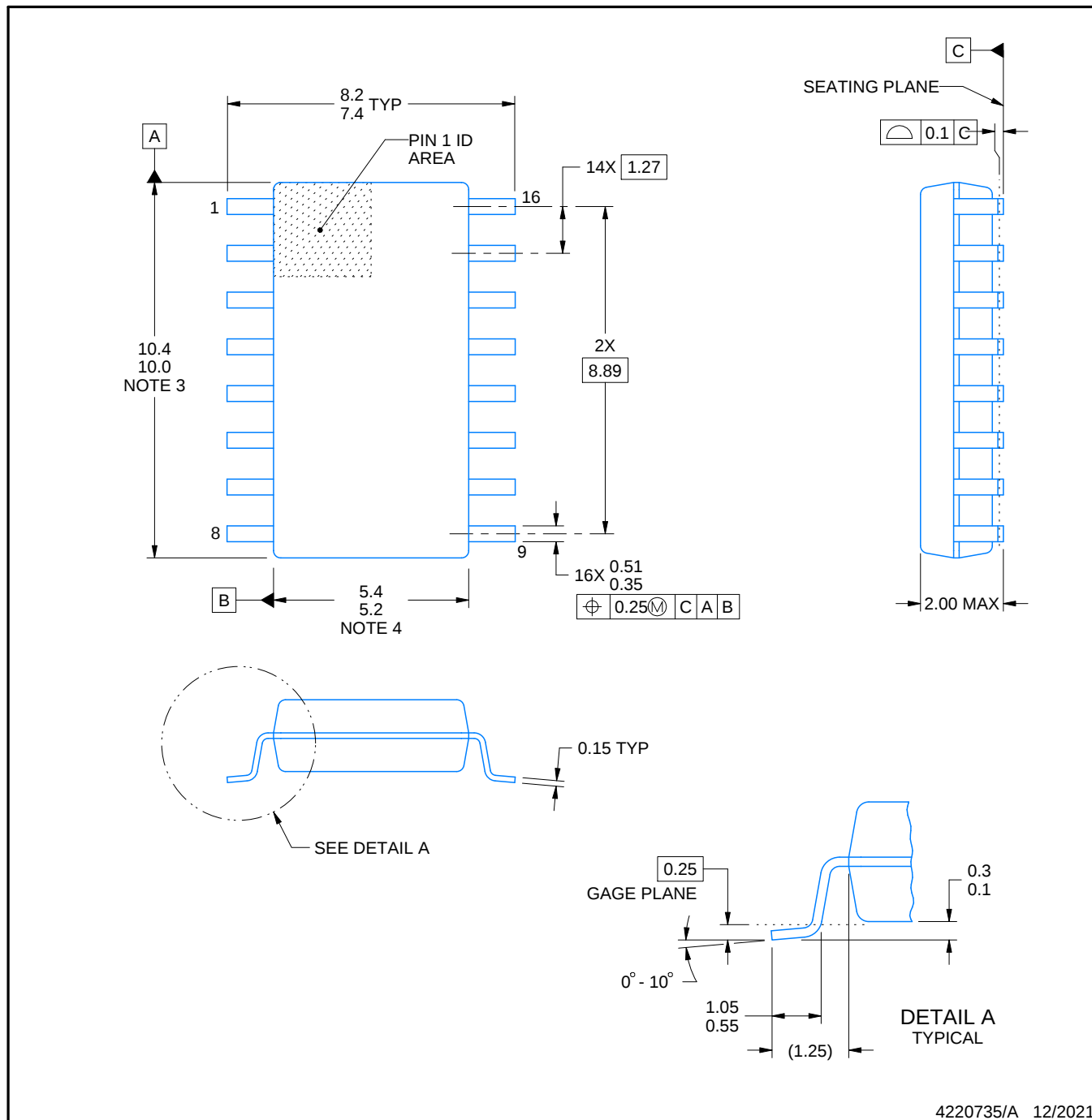


PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

SOP



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AC.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月