

SN75ALS197 クワッド差動ライン・レシーバ

1 特長

- ITU 勧告 V.10、V.11、X.26、X.27 の要件を満たす、または超える
- ノイズの多い環境の、長いバス・ラインでのマルチポイント・バス伝送用に設計
- 最大 20Mbaud で動作する設計
- 3 ステート出力
- 同相入力電圧範囲: $-7V \sim 7V$
- 入力感度: $\pm 300mV$
- 入力ヒステリシス: 120mV (標準値)
- 高入力インピーダンス: 12k Ω (最小値)
- 5V 単一電源で動作
- 低消費電流要件: 35mA (最大値)
- AM26LS32A と比較して速度および消費電力が向上

2 アプリケーション

- モータ・ドライブ
- ファクトリ・オートメーション / 制御

3 概要

SN75ALS197 は、高度な低消費電力のショットキー・テクノロジーを使用して設計された、3 ステート出力を搭載したモノリシック・クワッド・ライン・レシーバです。このテクノロジーにより、バー設計、金型製造、ウェハー製造がまとめて改善されています。その結果、電力要件は大幅に低くなり、他の設計に比べてはるかに高いデータ・スループットを実現

できます。このデバイスは、ITU 勧告 V.10、V.11、X.26、X.27 の仕様を満たしています。3 ステート出力機能により、入力がオープンの場合に出力が常に High になるようフェイルセーフ設計のバス構成システムに直接接続できます。

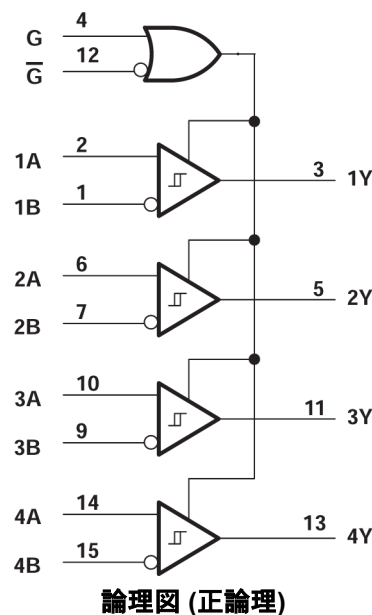
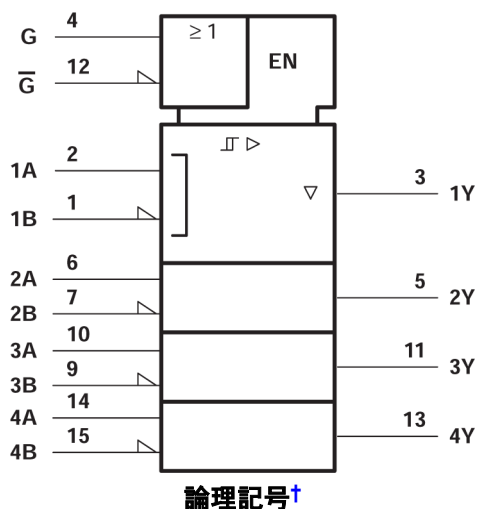
このデバイスは、最大 20Mbps の速度での平衡マルチポイント・バス伝送用に最適化されています。入力が高い入力インピーダンス、ノイズ耐性を高める入力ヒステリシス、 $-7V \sim 7V$ の同相入力電圧範囲にわたって $\pm 300mV$ の入力感度を特長としています。このデバイスは 4 つのチャンネルに共通するアクティブ High およびアクティブ Low のイネーブル機能も備えています。このデバイスは、SN75ALS192 クワッド差動ライン・ドライバと組み合わせて使用すると、最適な性能を発揮するよう設計されています。

SN75ALS197 は、 $0^{\circ}C \sim 70^{\circ}C$ での動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN75ALS197	SOIC (D, 16)	9.9mm × 6mm
	PDIP (N, 16)	19.3mm × 9.4mm
	SO (NS, 16)	10mm × 7.8mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



† この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

1 特長	1	6 Parameter Measurement Information	11
2 アプリケーション	1	7 Detailed Description	13
3 概要	1	7.1 Device Functional Modes.....	13
4 Pin Configuration and Functions	3	8 Device and Documentation Support	14
5 Specifications	4	8.1 ドキュメントの更新通知を受け取る方法.....	14
5.1 Absolute Maximum Ratings.....	4	8.2 サポート・リソース.....	14
5.2 Dissipation Ratings.....	4	8.3 商標.....	14
5.3 Recommended Operating Conditions.....	4	8.4 静電気放電に関する注意事項.....	14
5.4 Thermal Information.....	4	8.5 用語集.....	14
5.5 Electrical Characteristics.....	5	9 Revision History	14
5.6 Switching Characteristics.....	5	10 Mechanical, Packaging, and Orderable Information	14
5.7 Typical Characteristics.....	6		

4 Pin Configuration and Functions

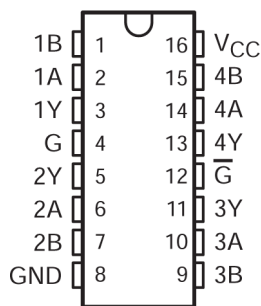


図 4-1. D or N Package (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1B	1	I	Channel 1 Differential Receiver Inverting Input
1A	2	I	Channel 1 Differential Receiver Non-Inverting Input
1Y	3	O	Channel 1 Single Ended Output
G	4	I	Active High Enable
2Y	5	O	Channel 2 Single Ended Output
2A	6	I	Channel 2 Differential Receiver Non-Inverting Input
2B	7	I	Channel 2 Differential Receiver Inverting Input
GND	8	GND	Device GND
3B	9	I	Channel 3 Differential Receiver Inverting Input
3A	10	I	Channel 3 Differential Receiver Non-Inverting Input
3Y	11	O	Channel 3 Single Ended Output
Ḡ	12	I	Active Low Enable
4Y	13	O	Channel 4 Single Ended Output
4A	14	I	Channel 4 Differential Receiver Non-Inverting Input
4B	15	I	Channel 4 Differential Receiver Inverting Input
V _{CC}	16	PWR	Device VCC (4.75 V to 5.25 V)

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage, see note ⁽²⁾		7	V
V_I	Input voltage, A or B inputs		±15	V
V_{ID}	Differential input voltage, see note ⁽³⁾		±15	V
V_I	Enable input voltage		7	V
I_{OL}	Low-level output current		50	mA
	Continuous total dissipation	See Dissipation Rating Table		
T_A	Operating free-air temperature range	0	70	°C
T_{stg}	Storage temperature range	– 65	150	°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential input voltage, are with respect to network ground terminal.
- (3) Differential input voltage is measured at the noninverting input with respect to the corresponding inverting input.

5.2 Dissipation Ratings

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR	$T_A = 70^\circ\text{C}$ POWER RATING
D	950 mW	7.6 mW/°C	608 mW
N	1150 mW	9.2 mW/°C	736 mW

5.3 Recommended Operating Conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
Common-mode input voltage, V_{IC}			±7	V
Differential input voltage, V_{ID}			±12	V
High-level input voltage, V_{IH}	2			V
Low-level input voltage, V_{IL}			0.8	V
High-level output current, I_{OH}			–400	μA
Low-level output current, I_{OL}			16	mA
Operating free-air temperature, T_A	0		70	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		N (PDIP)	D (SOIC)	UNIT
		16 Pins	16 Pins	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	60.6	84.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	48.1	43.5	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	40.6	43.2	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	27.5	10.4	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	40.3	42.8	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Electrical Characteristics

over recommended range of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN TYP ⁽¹⁾	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage				300	mV
V _{IT-}	Negative-going input threshold voltage			-300 ⁽¹⁾		mV
V _{hys}	Hysteresis voltage (V _{IT+} - V _{IT-})	See Figure 5-1		120		mV
V _{IK}	Enable-input clamp voltage	I _I = -18 mA			-1.5	V
V _{OH}	High-level output voltage	V _{ID} = 300 mV,	I _{OH} = - 400 µA	2.7 1.6		V
V _{OL}	Low-level output voltage	V _{ID} = -300 mV	I _{OL} = 8 mA		0.45	V
			I _{OL} = 16 mA		0.5	
I _{OZ}	High-impedance-state output current	V _{CC} = 5.25 V	V _O = 2.4 V		20	µA
			V _{OH} = 0.4 V		-20	
I _I	Line input current	Other input at 0 V, See Note 3	V _I = 15 V	0.7	1.2	µA
			V _I = -15 V	-1.0	-1.7	
I _H	High-level enable-input current		V _{IH} = 2.7 V		20	µA
			V _{IH} = 5.25 V		100	
I _{IL}	Low-level enable-input current	V _{IL} = 0.4 V			-100	µA
	Input resistance			12 18		kΩ
I _{OS}	Short-circuit output current ⁽²⁾	V _{ID} = 3 V,	V _O = 0	-15 -78	-130	mA
I _{CC}	Supply current	Outputs disabled		22	35	mA

- (1) The algebraic convention, in which the less positive limit is designated minimum, is used in this data sheet for threshold voltage levels only.
- (2) Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.
- (3) Refer to ANSI Standard EIA/TIA-422-B and EIA/TIA-423-B for exact conditions.

5.6 Switching Characteristics

V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time, low- to high-level output	V _{ID} = -2.5 V to 2.5 V, See Figure 6-2	C _L = 15 pF		15	22	ns
t _{PHL}	Propagation delay time, high- to low-level output				15	22	
t _{PZH}	Output enable time to high level	C _L = 15 pF,	See Figure 6-3		13	25	ns
t _{PZL}	Output enable time to low level				11	25	
t _{PHZ}	Output disable time from high level	C _L = 15 pF,	See Figure 6-3		13	25	ns
t _{PLZ}	Output disable time from low level				15	22	

5.7 Typical Characteristics

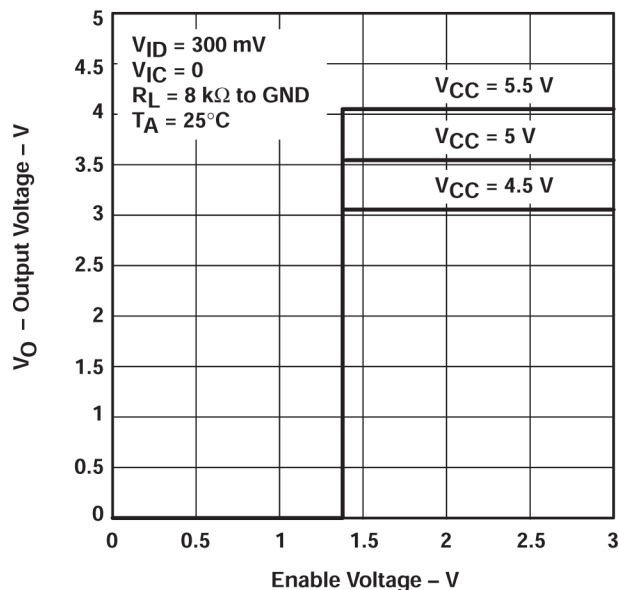


Figure 5-1. Output Voltage vs Enable Voltage

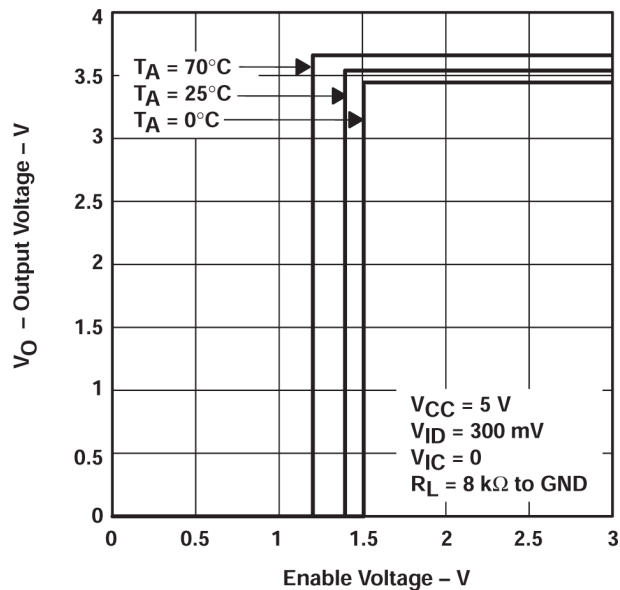


Figure 5-2. Output Voltage vs Enable Voltage

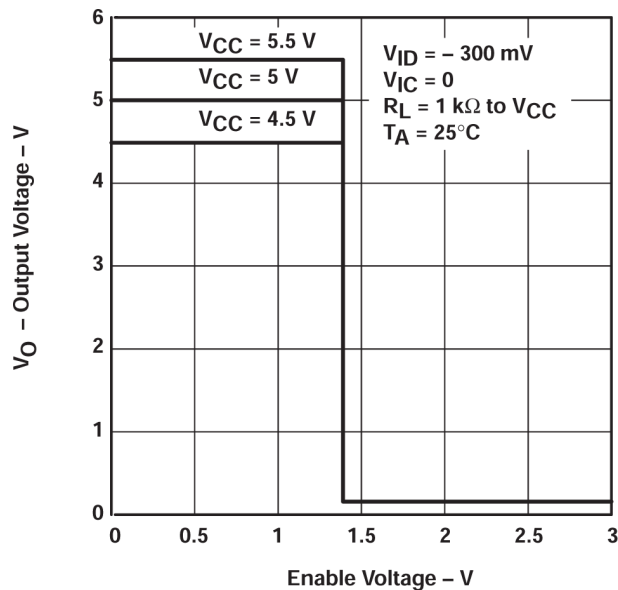


Figure 5-3. Output Voltage vs Enable Voltage

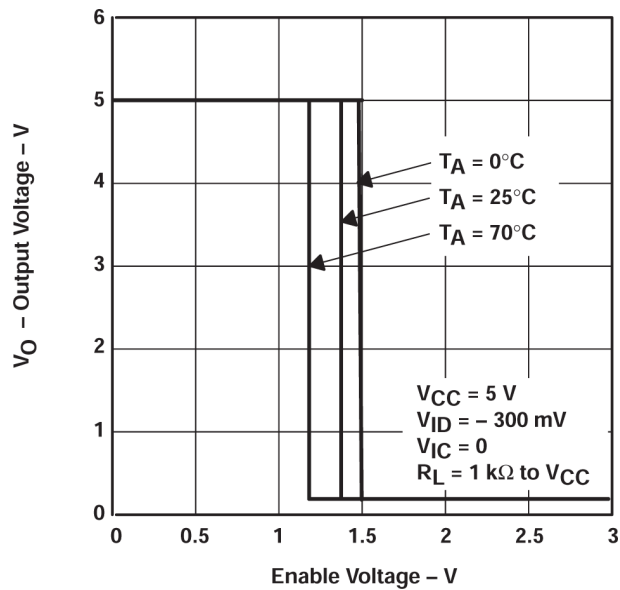
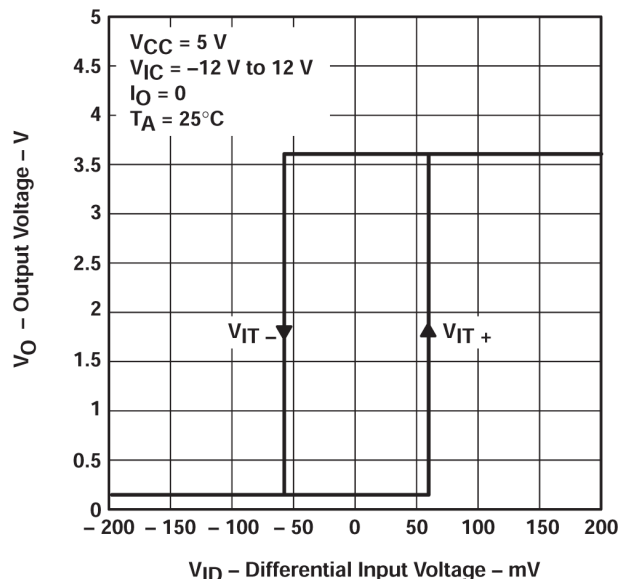
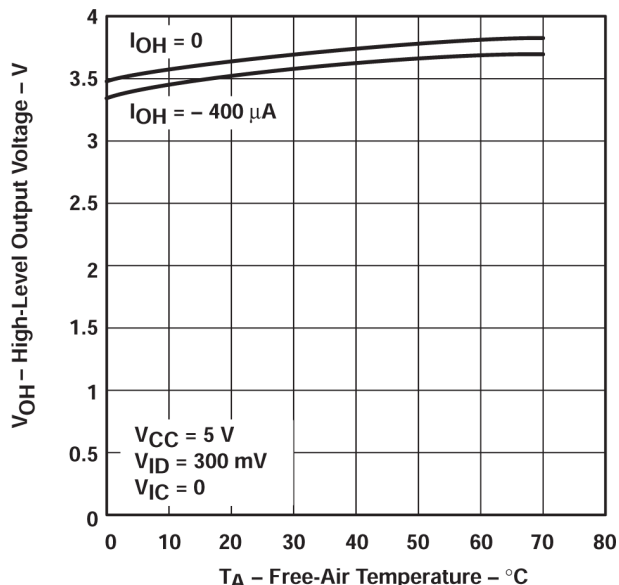


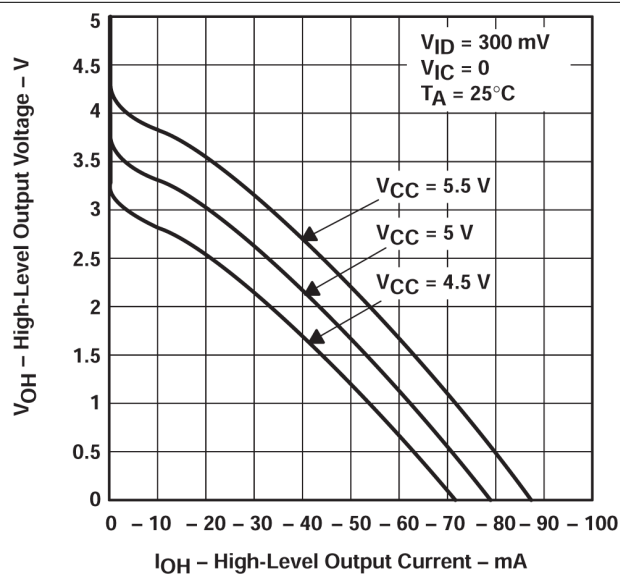
Figure 5-4. Output Voltage vs Enable Voltage



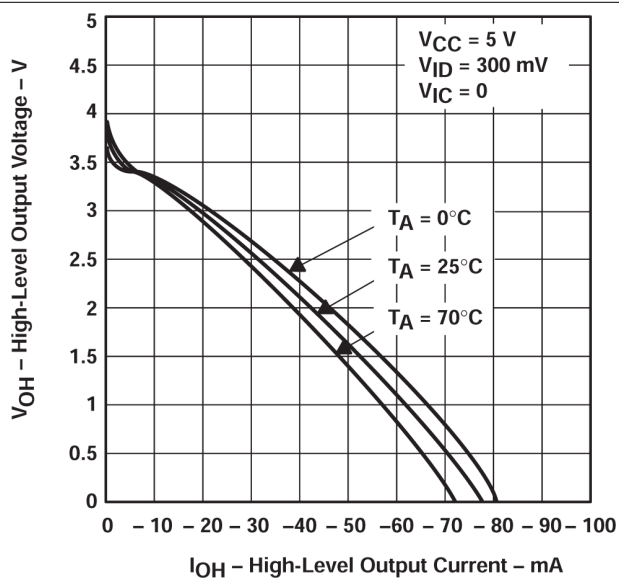
5-5. Output Voltage vs Differential Input Voltage



5-6. High-level Output Voltage vs Free-air Temperature



5-7. High-level Output Voltage vs High-level Output Current



5-8. High-level Output Voltage vs High-level Output Current

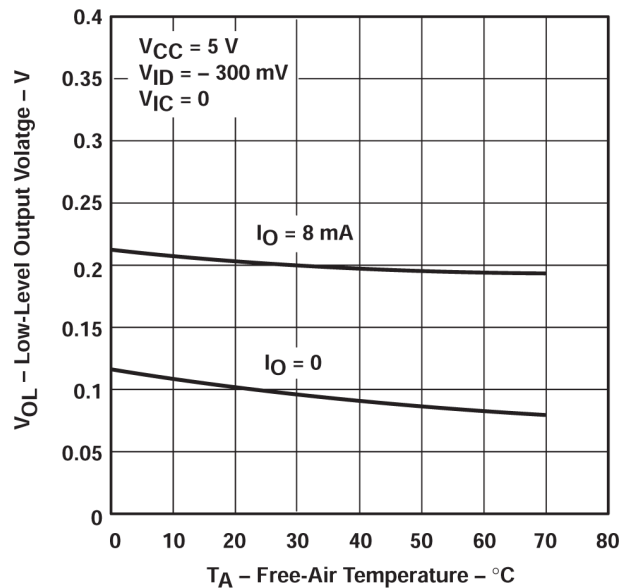


图 5-9. Low-level Output Voltage vs Free-air Temperature

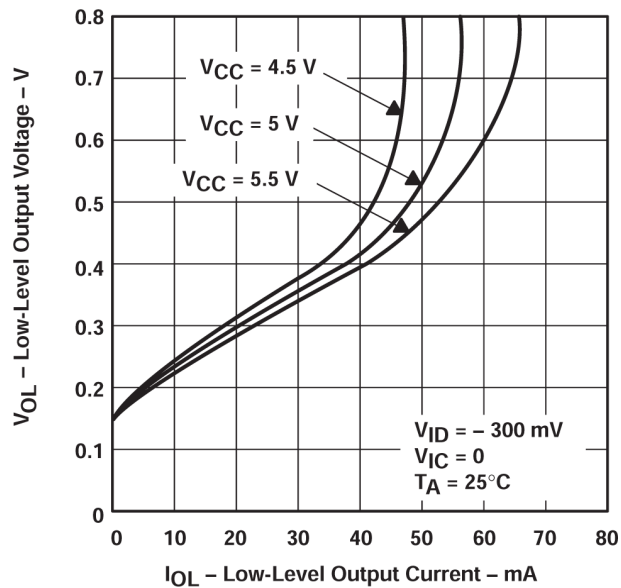


图 5-10. Low-level Output Voltage vs Low-level Output Current

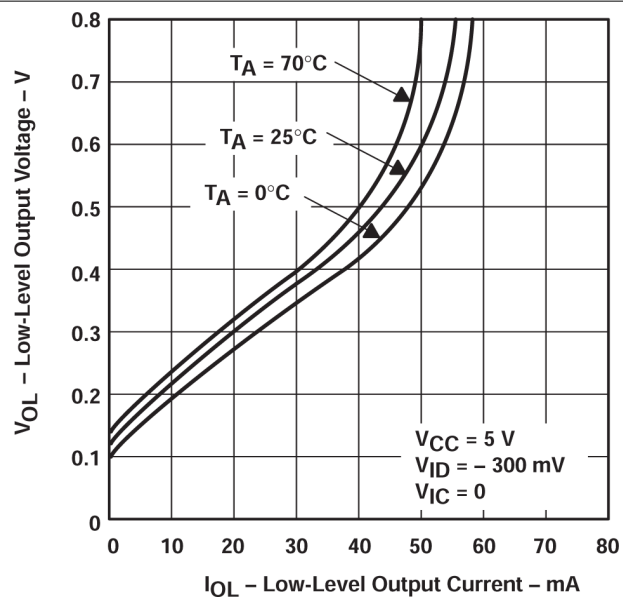


图 5-11. Low-level Output Voltage vs Low-level Output Current

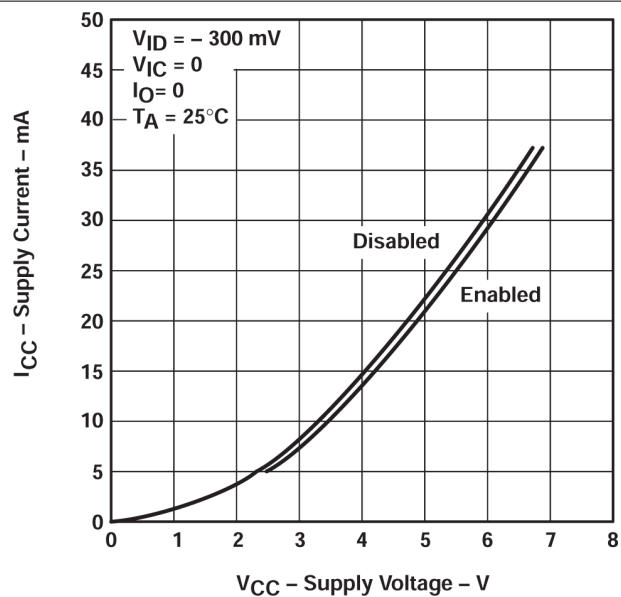
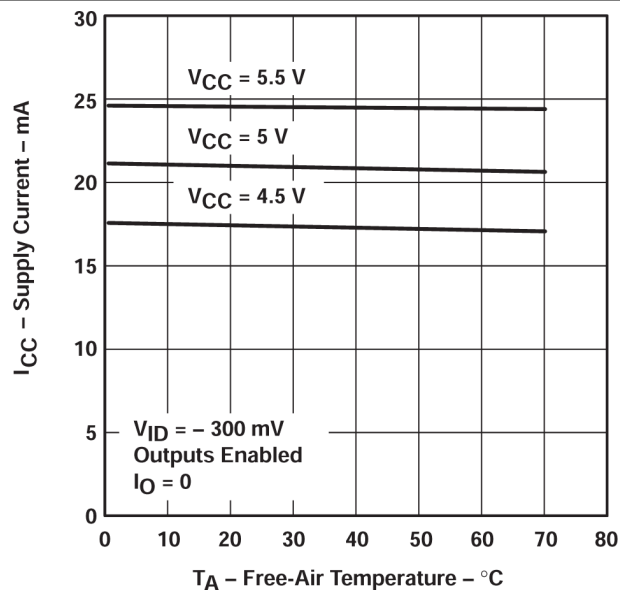
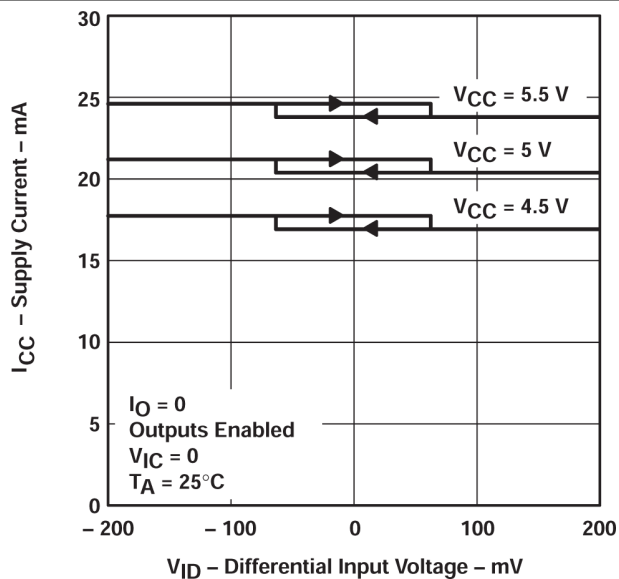


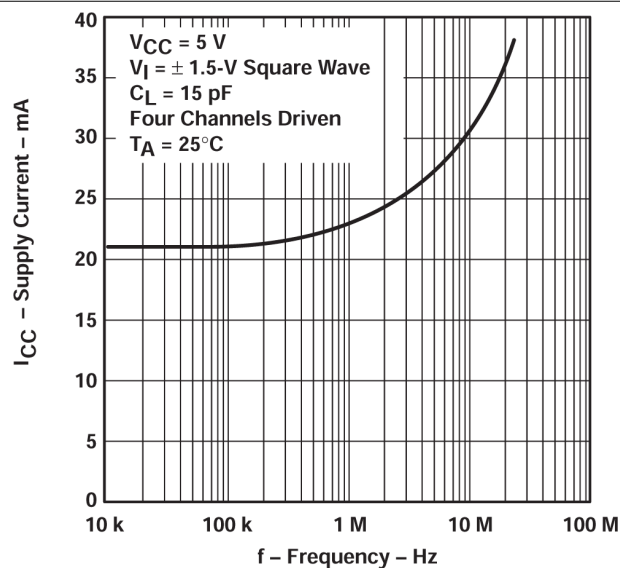
图 5-12. Supply Current vs Supply Voltage



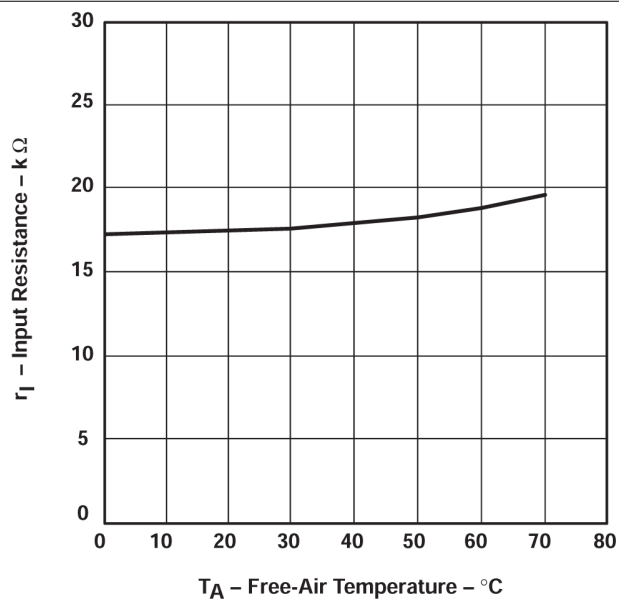
5-13. Supply Current vs Free-air Temperature



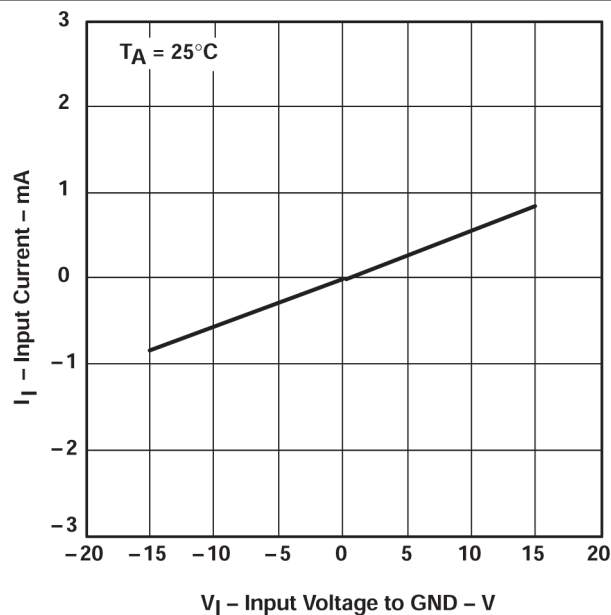
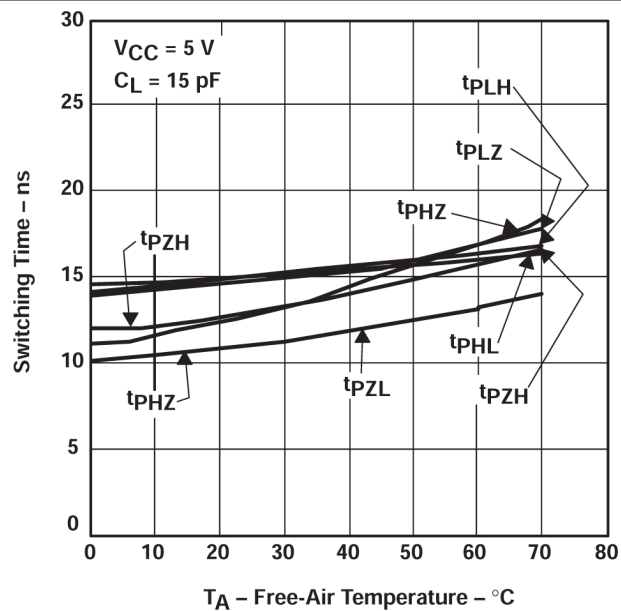
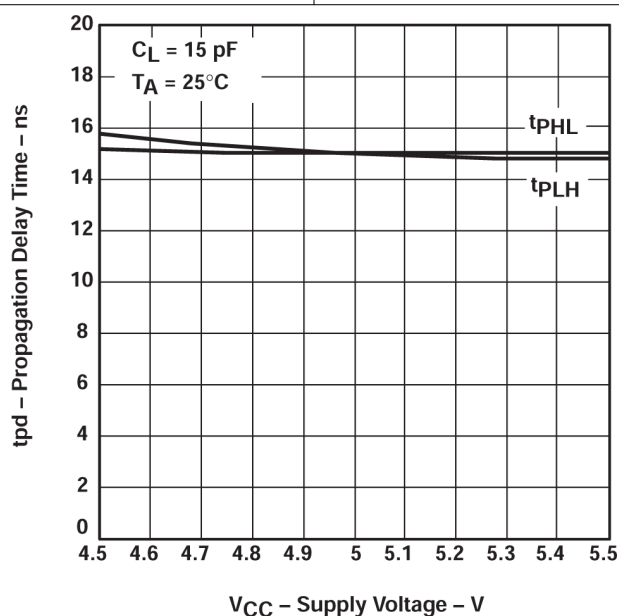
5-14. Supply Current vs Differential Input Voltage



5-15. Supply Current vs Frequency



5-16. Input Resistance vs Free-air Temperature


 5-17. Input Current vs Input Voltage to Gnd

 5-18. Switching Time vs Free-air Temperature

 5-19. Propagation Delay Time vs Supply Voltage

6 Parameter Measurement Information

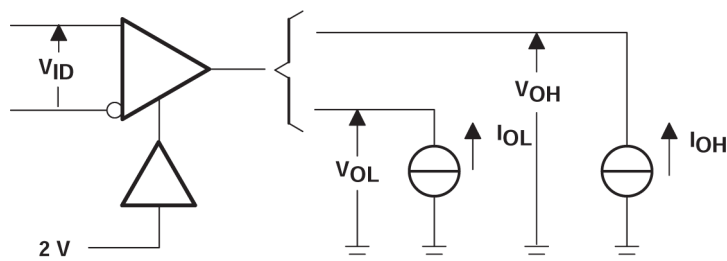
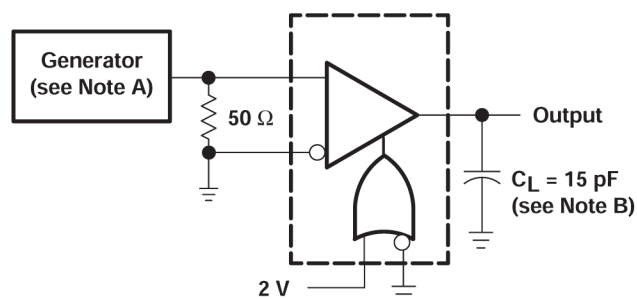
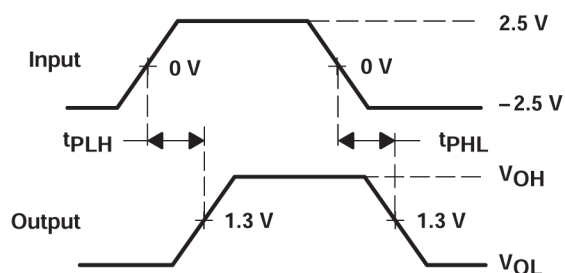


図 6-1. V_{OH} and V_{OL} Test Circuit



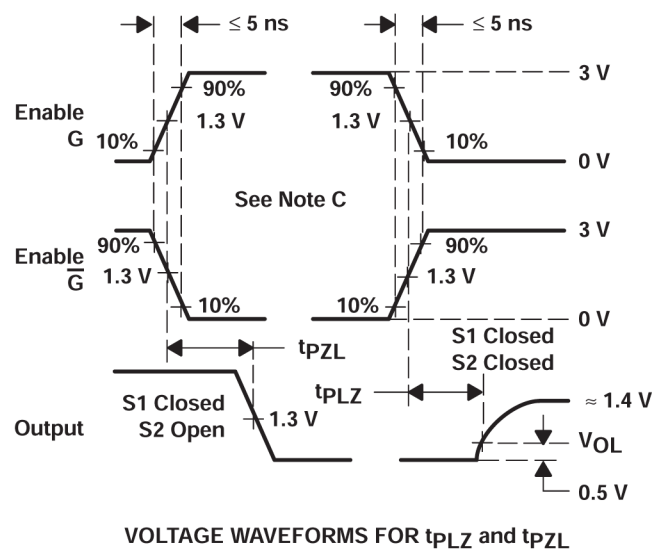
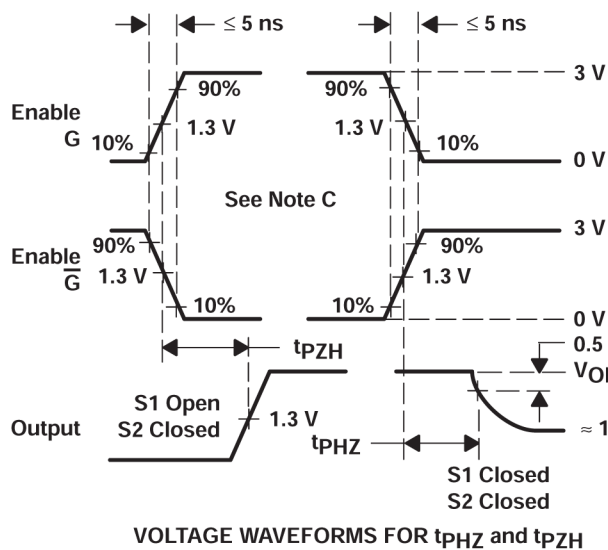
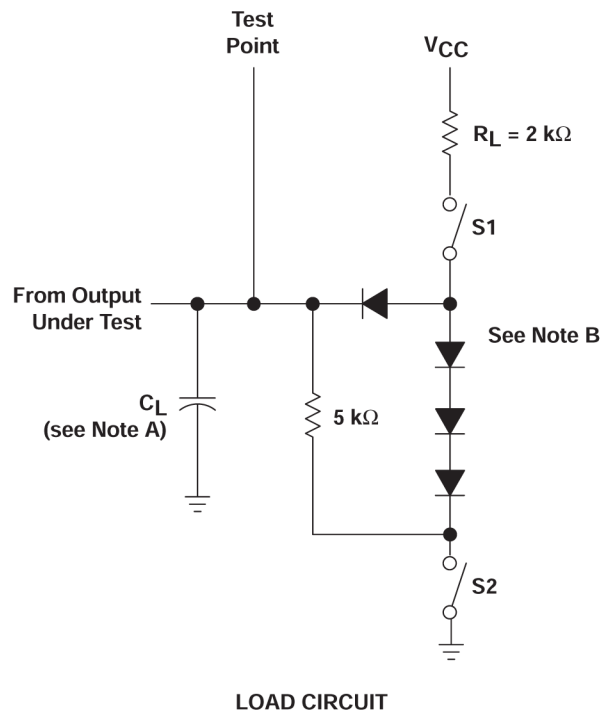
TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1 \text{ MHz}$, duty cycle $\leq 50\%$, $Z_O = 50 \Omega$, $t_r \leq 6 \text{ ns}$, $t_f \leq 6 \text{ ns}$.
- B. C_L includes probe and jig capacitance.

図 6-2. t_{PLH} And t_{PHL} Test Circuit and Voltage Waveforms



- NOTES: A. C_L includes probe and jig capacitance.
 B. All diodes are 1N3064 or equivalent.
 C. Enable G is tested with $\overline{G}$ high; $\overline{G}$ is tested with G low.

- A. C_L includes probe and jig capacitance.
 B. All diodes are 1N3064 or equivalent.
 C. Enable G is tested with $\overline{G}$ high; $\overline{G}$ is tested with G low.

図 6-3. t_{pPHZ} , T_{pZH} , T_{pLZ} , and T_{pZL} Load Circuit and Voltage Waveforms

7 Detailed Description

7.1 Device Functional Modes

表 7-1. Function Table (each receiver)

DIFFERENTIAL INPUTS A–B	ENABLES ⁽¹⁾		OUTPUT Y
	G	$\bar{G}$	
$V_{ID} \geq 0.3\text{ V}$	H	X	H
	X	L	H
$-0.3\text{ V} < V_{ID} < 0.3\text{ V}$	H	X	?
	X	L	?
$V_{ID} \leq -0.3\text{ V}$	H	X	L
	X	L	L
X	L	H	Z
Open	H	X	H
	X	L	H

(1) H = high level, L = low level, X = irrelevant, ? = indeterminate, Z = high impedance (off)

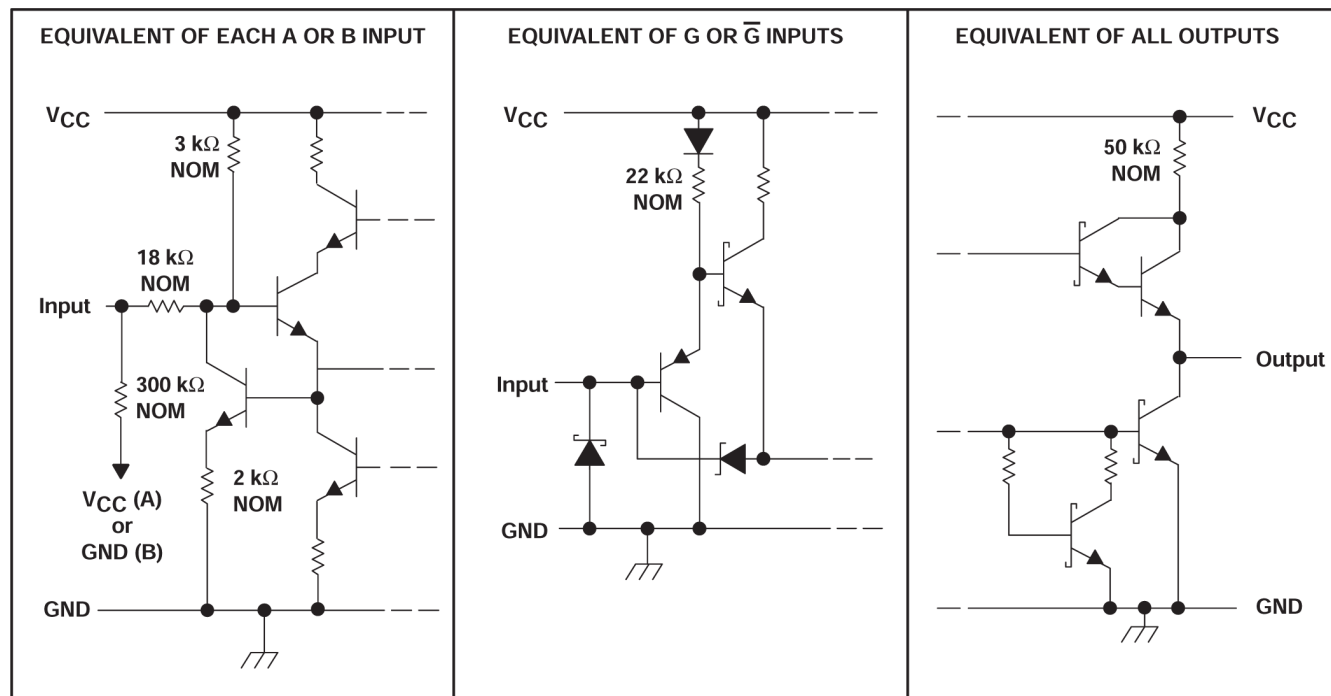


図 7-1. Schematics of Inputs and Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 1995) to Revision C (October 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75ALS197D	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	75ALS197
SN75ALS197DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS197
SN75ALS197DR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS197
SN75ALS197N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75ALS197N
SN75ALS197N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75ALS197N
SN75ALS197NSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS197
SN75ALS197NSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS197

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

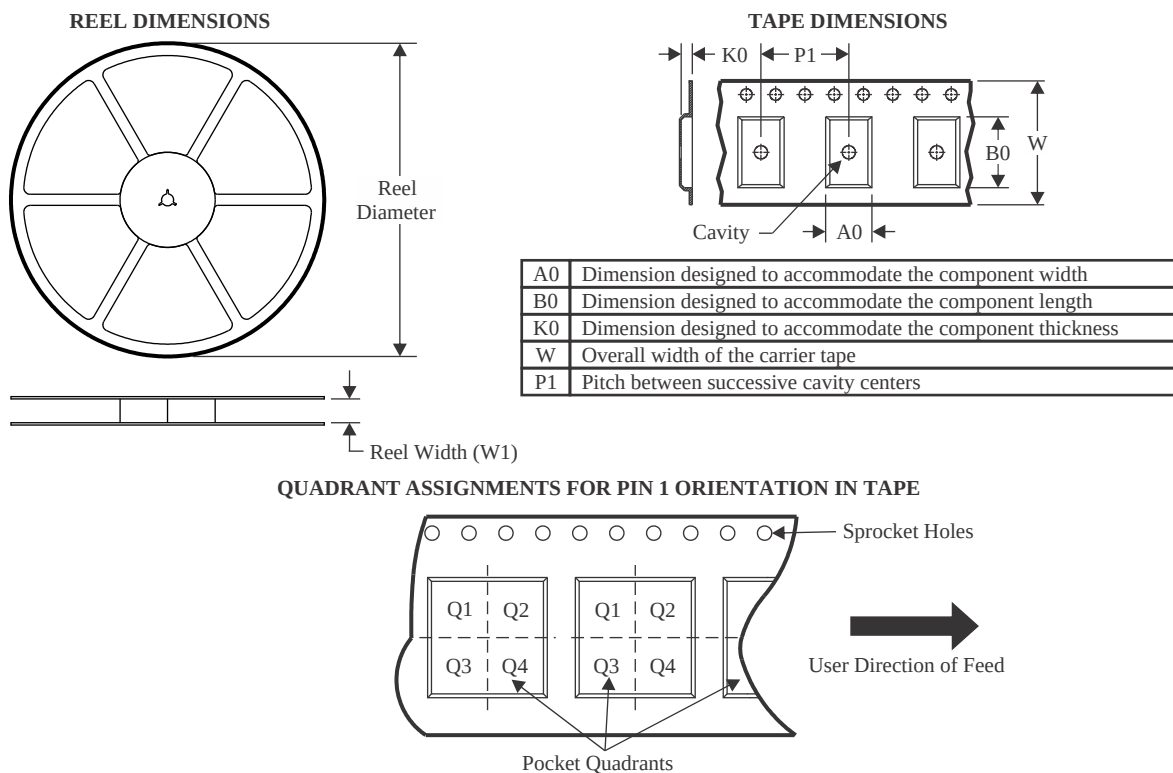
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75ALS197DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75ALS197NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

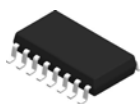
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75ALS197DR	SOIC	D	16	2500	340.5	336.1	32.0
SN75ALS197NSR	SOP	NS	16	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN75ALS197N	N	PDIP	16	25	506	13.97	11230	4.32
SN75ALS197N.A	N	PDIP	16	25	506	13.97	11230	4.32

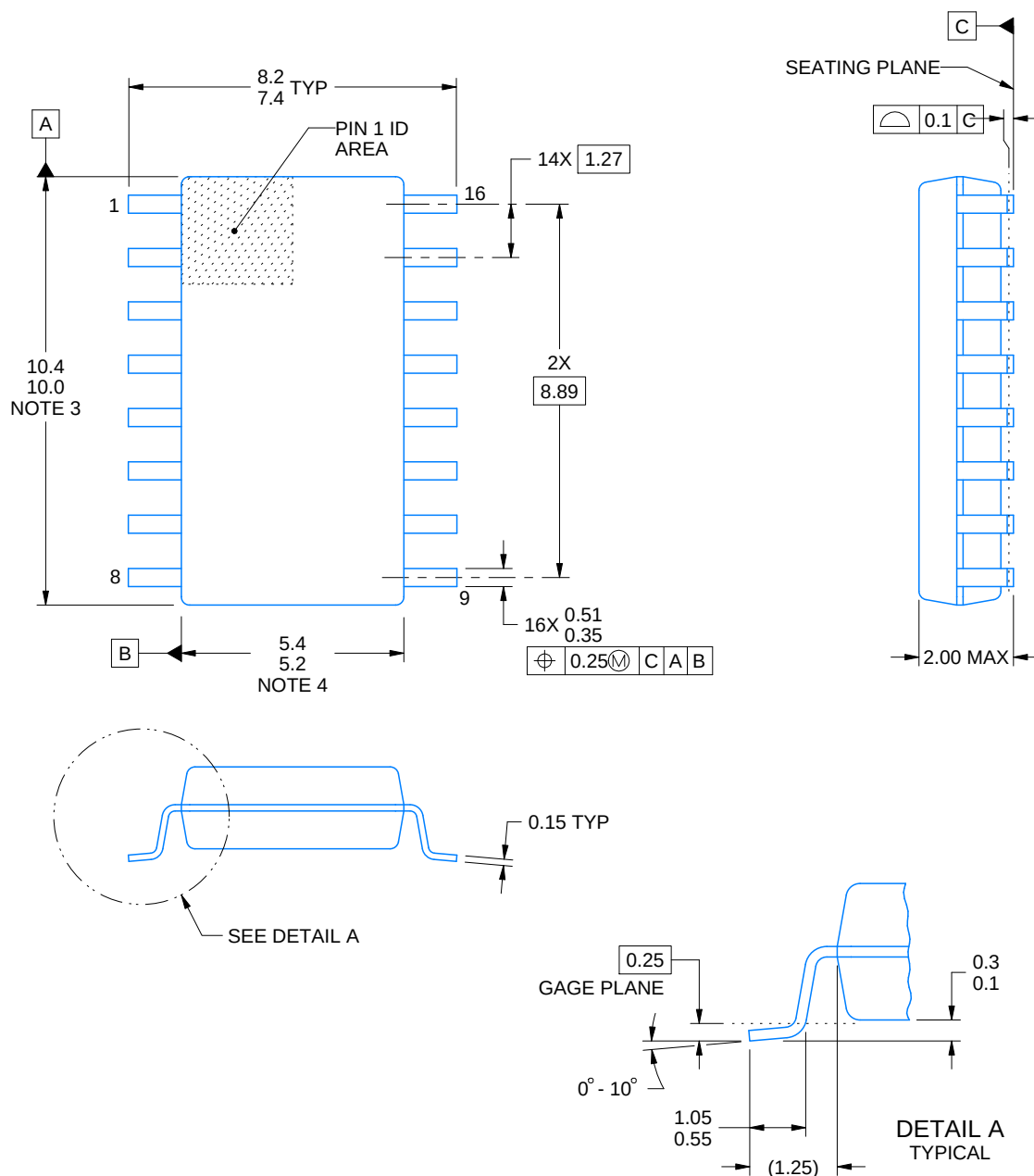


PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

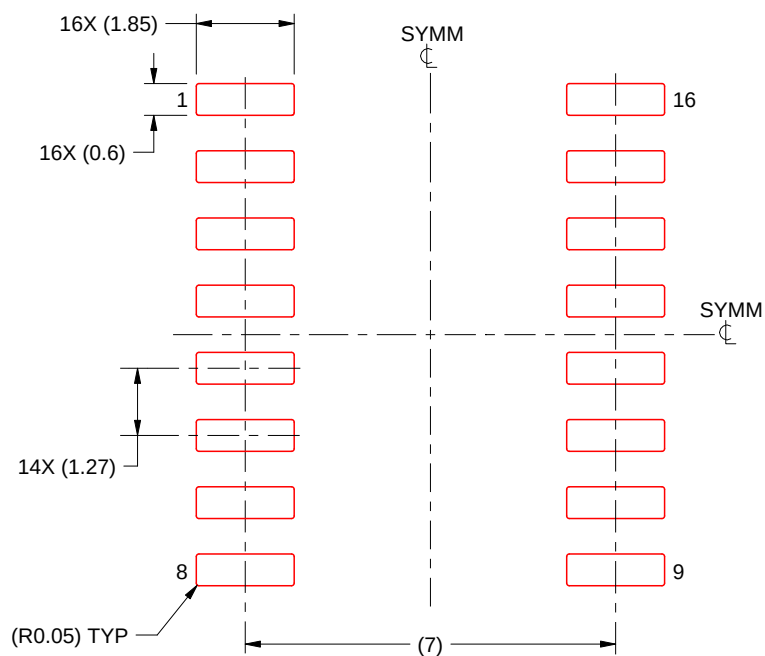
SOP



4220735/A 12/2021

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:7X

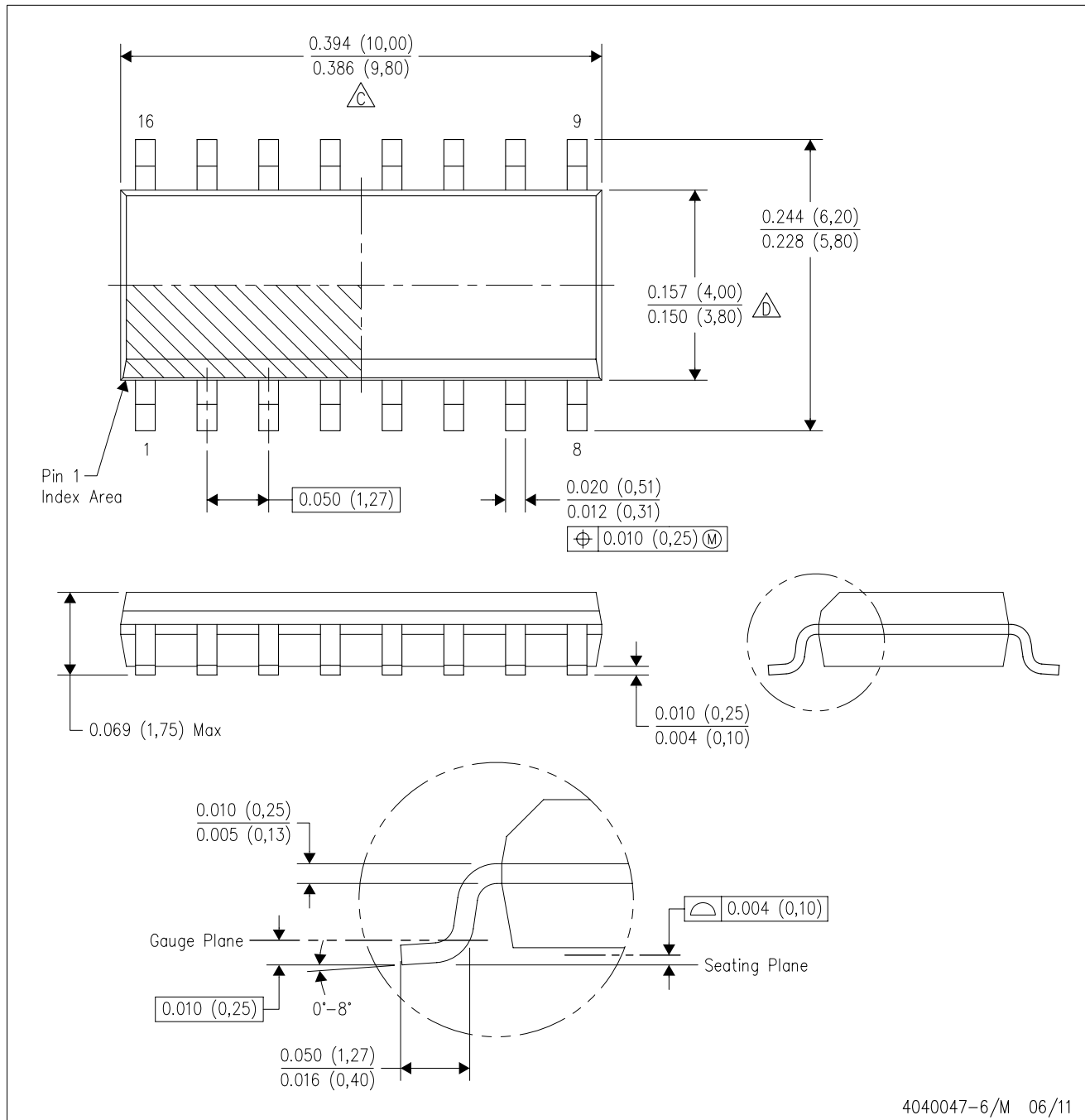
4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



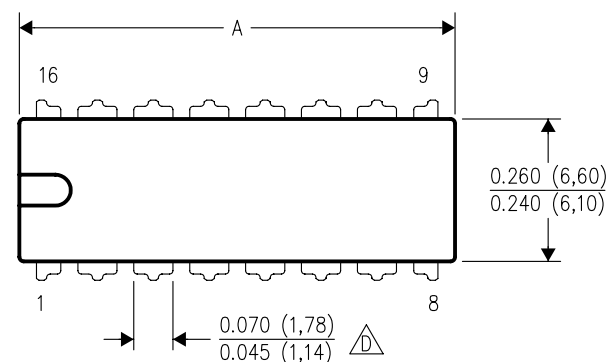
4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

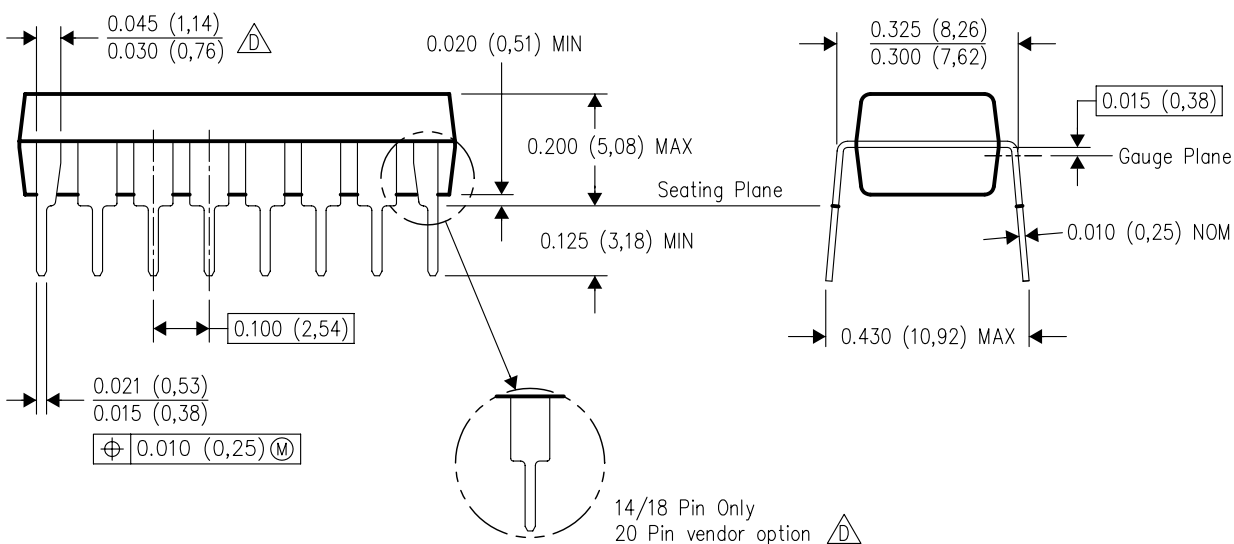
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月