

SN65LBC172、SN75LBC172 クワッド、低消費電力差動ラインドライバ

1 特長

- EIA 規格 RS -485 に適合または上回る性能
- ノイズの多い環境の、長いバスラインでの高速マルチポイント伝送用に設計
- 毎秒最大 1,000 万転送以上のデータレートをサポート
- -7V~12V の同相出力電圧範囲に対応
- 正および負電流制限を提供
- 低消費電力:最大 1.5mA (出力ディセーブル)
- SN75172 との機能互換性

2 アプリケーション

- モータードライブ
- ファクトリオートメーション / 制御

3 概要

SN65LBC172 および SN75LBC172 は、3 ステート出力のモノリシック クワッド差動ラインドライバです。どちらのデバイスも、EIA 規格 RS -485 の要件を満たすように設計されています。これらのデバイスは、最大で 10 Mbps、さらにそれ以上のデータ転送速度での平衡マルチポイントバス伝送用に最適化されています。各ドライバは、広い正および負の同相出力電圧範囲、電流制限、サーマルシャットダウン回路を備えているため、ノイズの多い環境でのパ

ーティライン アプリケーションとして使用できます。これらのデバイスは LinBiCMOS™ を使用して設計されており、低消費電力と本質的な堅牢性を実現しています。

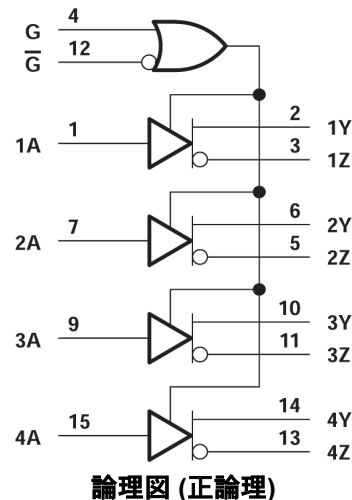
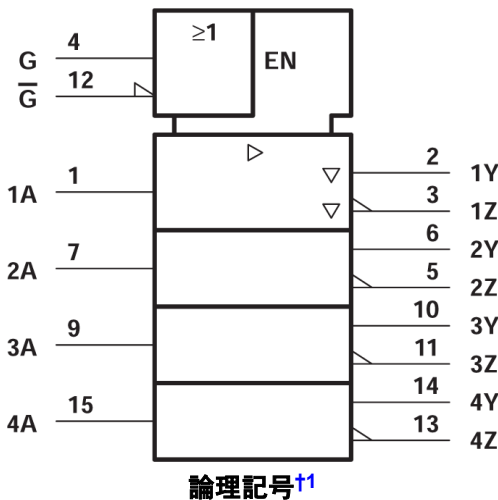
SN65LBC172 および SN75LBC172 には、正および負の電流制限とサーマルシャットダウンがあり、伝送バスラインのラインフォルト状況から保護します。これらのデバイスは、SN75LBC173 または SN75LBC175 クワッドラインレシーバとともに使用したとき、最高のパフォーマンスを発揮します。SN65LBC172 および SN75LBC172 は、16 ピンの DIP パッケージ (N) と、20 ピンの幅広 SOIC (Small Outline Integrated Circuit) パッケージ (DW) で供給されます。

SN75LBC172 は 0°C~70°C の商用温度範囲で動作が規定されています。SN65LBC172 は -40°C~85°C の産業用温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
SN65LBC172	DW (SOIC, 20)	10.3mm × 10.3mm
SN75LBC172	N (PDIP, 16)	19.3mm × 9.4mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



† この記号は ANSI/IEEE Std 91-1984 および IEC Publication 617-12 に準拠しています。

¹ ここに示すピン番号は N パッケージのもので。



Table of Contents

1 特長	1	7 Detailed Description	11
2 アプリケーション	1	7.1 Thermal Characteristics of Ic Packages.....	11
3 概要	1	7.2 Device Functional Modes.....	12
4 Pin Configuration and Functions	3	8 Device and Documentation Support	13
5 Specifications	5	8.1 ドキュメントの更新通知を受け取る方法.....	13
5.1 Absolute Maximum Ratings.....	5	8.2 サポート・リソース.....	13
5.2 Recommended Operating Conditions.....	5	8.3 Trademarks.....	13
5.3 Dissipation Rating Table.....	5	8.4 静電気放電に関する注意事項.....	13
5.4 Thermal Information.....	6	8.5 用語集.....	13
5.5 Electrical Characteristics.....	6	9 Revision History	13
5.6 Switching Characteristics.....	7	10 Mechanical, Packaging, and Orderable	
5.7 Typical Characteristics.....	8	Information	13
6 Parameter Measurement Information	9		

4 Pin Configuration and Functions

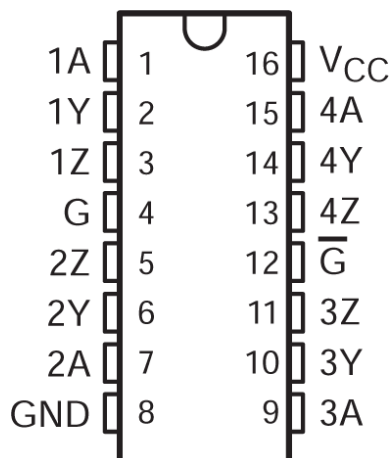
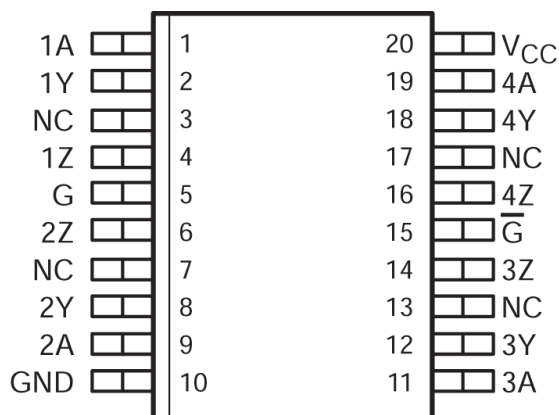


図 4-1. N Package (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I	Driver 1 input
1Y	2	O	Driver 1 output
1Z	3	O	Driver 1 inverted output
G	4	I	Active high enable all drivers
2Z	5	O	Driver 2 inverted output
2Y	6	O	Driver 2 output
2A	7	I	Driver 2 input
GND	8	G	Ground pin
3A	9	I	Driver 3 input
3Y	10	O	Driver 3 output
3Z	11	O	Driver 3 inverted output
$\overline{G}$	12	I	Active low enable all drivers
4Z	13	O	Driver 4 inverted output
4Y	14	O	Driver 4 output
4A	15	O	Driver 4 input
V _{CC}	16	P	Power pin

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power.



NC – No internal connection

 **4-2. DW Package (Top View)**
表 4-2. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I	Driver 1 input
1Y	2	O	Driver 1 output
NC	3	-	No Internal Connection
1Z	4	O	Driver 1 inverted output
G	5	I	Active high enable all drivers
2Z	6	O	Driver 2 inverted output
NC	7	-	No Internal Connection
2Y	8	O	Driver 2 output
2A	9	I	Driver 2 input
GND	10	G	Ground pin
3A	11	I	Driver 3 input
3Y	12	O	Driver 3 output
NC	13	-	No Internal Connection
3Z	14	O	Driver 3 inverted output
$\overline{G}$	15	I	Active low enable all drivers
4Z	16	O	Driver 4 inverted output
NC	17	-	No Internal Connection
4Y	18	O	Driver 4 output
4A	19	I	Driver 4 input
V _{CC}	20	P	Power pin

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage range, (see ⁽³⁾)	-0.3	7	V
V _O	Output voltage range	-10	15	V
V _I	Voltage range at A, $\bar{G}$, G	-0.3	V _{CC} + 0.5	V
P _D	Continuous power dissipation	Internally limited ⁽²⁾		
T _{stg}	Storage temperature range	-65	150	°C
T _{LEAD}	Lead temperature 1,6mm (1/16 inch) from case for 10 seconds		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The maximum operating junction temperature is internally limited. Use the dissipation rating table to operate below this temperature.
- (3) All voltage values are with respect to GND.

5.2 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
High-level input voltage, V _{IH}		2			V
Low-level input voltage, V _{IL}				0.8	V
Voltage at any bus terminal (separately or common mode), V _O	Y or Z	-7		12	V
High-level output current, I _{OH}	Y or Z			-60	mA
Low-level output current, I _{OL}	Y or Z			60	mA
Continuous total power dissipation		See Dissipation Rating Table			
Junction temperature, T _J				140	°C
Operating free-air temperature, T _A	SN65LBC172	-40		85	°C
	SN75LBC172	0		70	

5.3 Dissipation Rating Table

PACKAGE	THERMAL MODEL	T _A < 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
DW	Low K ⁽¹⁾	1094mW	10.4mW/°C	625mW	469mW
	High K ⁽²⁾	1669mW	15.9mW/°C	954mW	715mW
N		1150mW	9.2mW/°C	736mW	598mW

- (1) In accordance with the low effective thermal conductivity metric definitions of EIA/JESD 51-3.
- (2) In accordance with the high effective thermal conductivity metric definitions of EIA/JESD 51-7.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		N (PDIP)	DW (SOIC)	UNIT
		16 PINS	20 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	60.6	66.8	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	48.1	34.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	40.6	39.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	27.5	8.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	40.3	39	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	n/a	n/a	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IK}	Input clamp voltage	$I_I = -18\text{mA}$				-1.5	V
$ V_{OD} $	Differential output voltage ⁽²⁾	$R_L = 54\Omega$ See Figure 6-1	SN65LBC172	1.1	1.8	5	V
			SN75LBC172	1.5	1.8	5	
		$R_L = 60\Omega$, See Figure 6-2	SN65LBC172	1.1	1.7	5	
			SN75LBC172	1.5	1.7	5	
$\Delta V_{OD} $	Change in magnitude of common-mode output voltage ⁽³⁾	$R_L = 54\Omega$, See Figure 6-1				±0.2	V
V_{OC}	Common-mode output voltage			-1		3	V
$\Delta V_{OC} $	Change in magnitude of common-mode output voltage ⁽³⁾					±0.2	V
I_O	Output current with power off	$V_{CC} = 0$,	$V_O = -7\text{V to }12\text{V}$			± 100	μA
I_{OZ}	High-impedance-state output current	$V_O = -7\text{V to }12\text{V}$				± 100	μA
I_{IH}	High-level input current	$V_I = 2.4\text{V}$				-100	μA
I_{IL}	Low-level input current	$V_I = 0.4\text{V}$				-100	μA
I_{OS}	Short-circuit output current	$V_O = -7\text{V to }12\text{V}$				±250	mA
I_{CC}	Supply current (all drivers)	No load	Outputs enabled			7	mA
			Outputs disabled			1.5	

- (1) All typical values are at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$.
 (2) The minimum V_{OD} specification does not fully comply with EIA-485 at operating temperatures below 0°C . The lower output signal should be used to determine the maximum signal-transmission distance.
 (3) $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input changes from a high level to a low level.

5.6 Switching Characteristics

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential output delay time	$R_L = 54\Omega$,	See Fig 6-3	2	11	20	ns
$t_{t(OD)}$	Differential output transition time			9	15	25	
t_{PZH}	Output enable time to high level	$R_L = 110\Omega$,	See Fig 6-4		20	30	ns
t_{PZL}	Output enable time to low level	$R_L = 110\Omega$,	See Fig 6-5		21	30	ns
t_{PHZ}	Output disable time from high level	$R_L = 110\Omega$,	See Fig 6-4		48	70	ns
t_{PLZ}	Output disable time from low level	$R_L = 110\Omega$,	See Fig 6-5		21	30	ns

5.7 Typical Characteristics

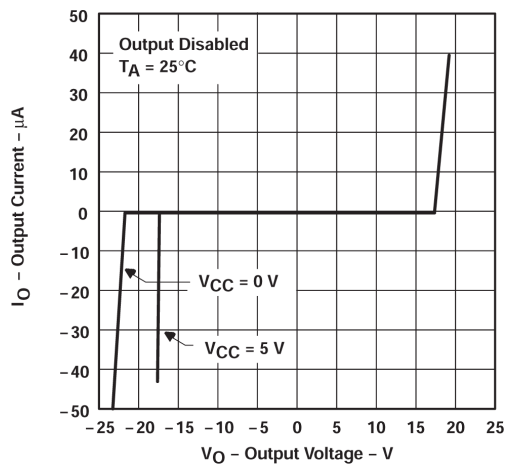


Figure 5-1. Output Current vs Output Voltage

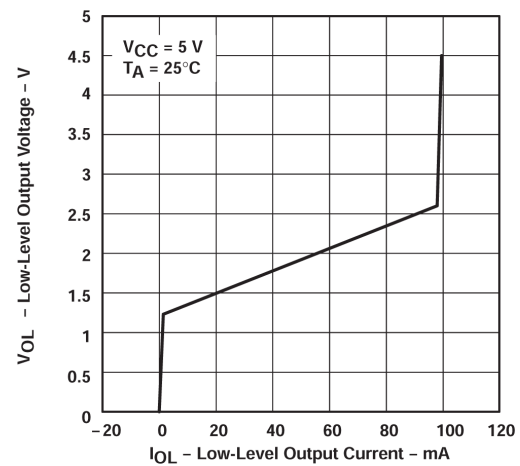


Figure 5-2. Low-level Output Voltage vs Low-level Output Current

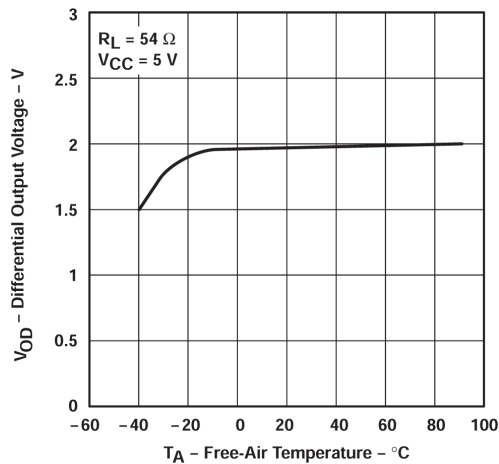


Figure 5-3. Differential Output Voltage vs Free-air Temperature

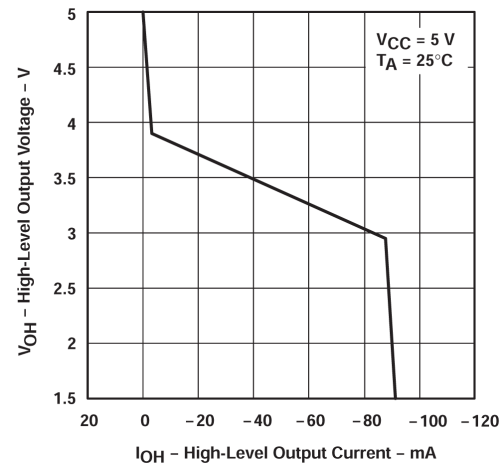


Figure 5-4. High-level Output Voltage vs High-level Output Current

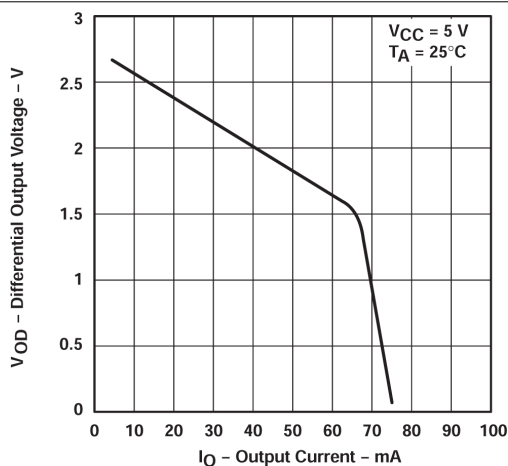


Figure 5-5. Differential Output Voltage vs Output Current

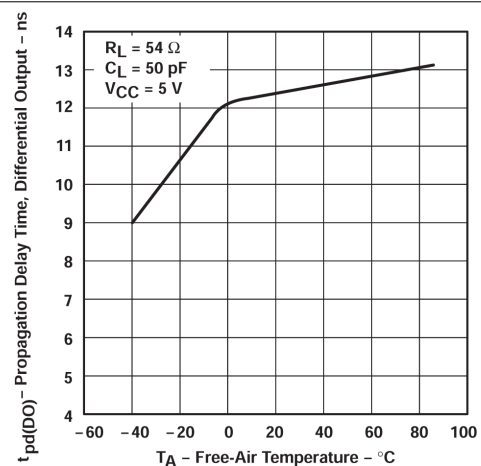


Figure 5-6. Propagation Delay Time, Differential Output vs Free-air Temperature

6 Parameter Measurement Information

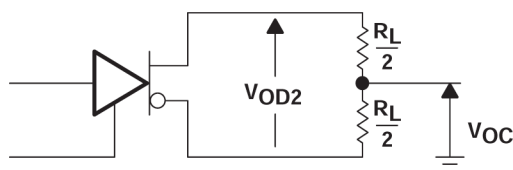
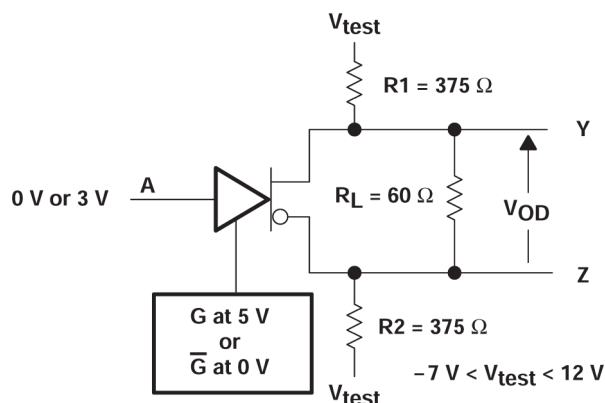
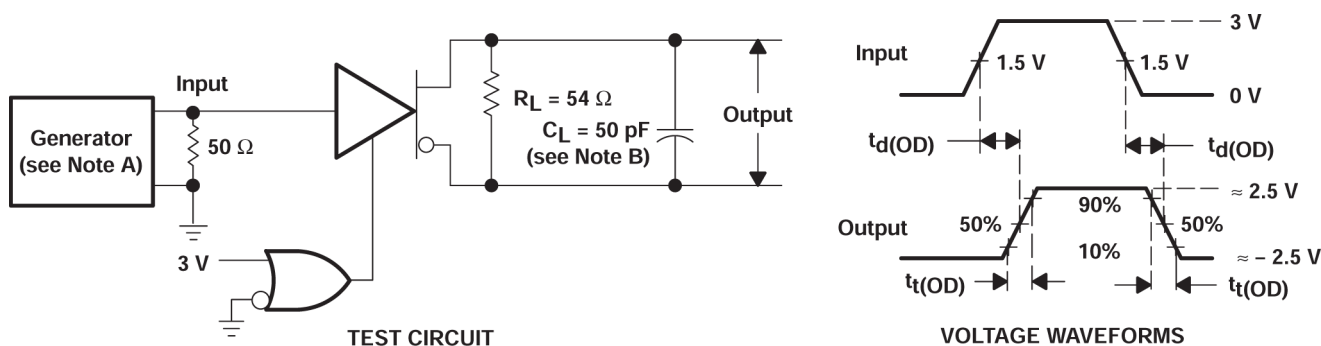


図 6-1. Differential and Common-Mode Output Voltages



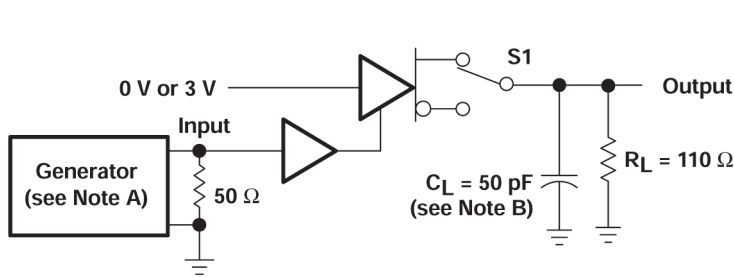
- A. The input pulse is supplied by a generator having the following characteristics: PRR ≤ 1 MHz, duty cycle = 50%, $t_r \leq 5$ ns, $t_f \leq 5$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and stray capacitance.

図 6-2. Driver V_{OD} Test Circuit

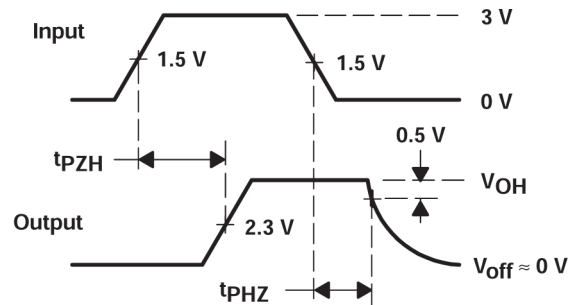


- A. The input pulse is supplied by a generator having the following characteristics: PRR ≤ 1 MHz, duty cycle = 50%, $t_r \leq 5$ ns, $t_f \leq 5$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and stray capacitance.

図 6-3. Driver Differential-Output Test Circuit and Delay and Transition-Time Waveforms



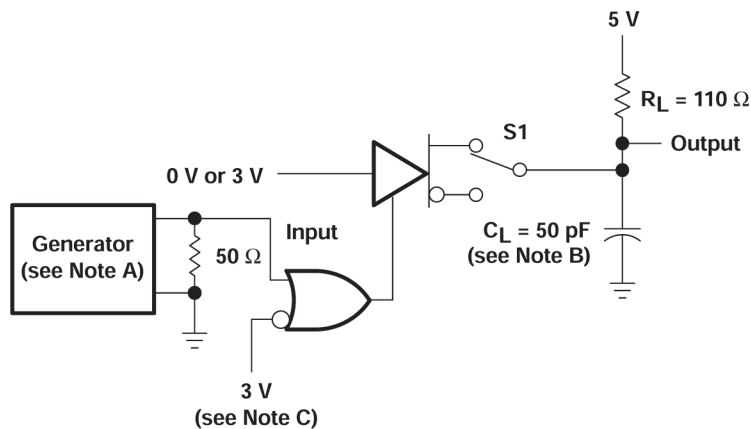
TEST CIRCUIT



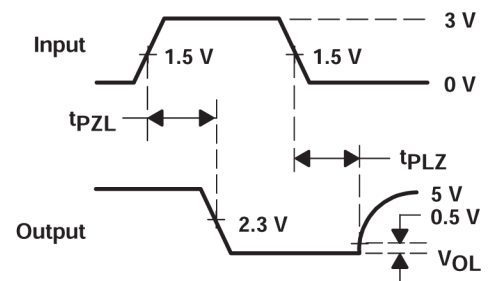
VOLTAGE WAVEFORMS

- A. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, duty cycle = 50%, $t_r \leq 5$ ns, $t_f \leq 5$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and stray capacitance.

FIGURE 6-4. t_{PZH} and t_{PHZ} Test Circuit and Voltage Waveforms



TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, duty cycle = 50%, $t_r \leq 5$ ns, $t_f \leq 5$ ns, $Z_O = 50 \Omega$.
- B. C_L includes probe and stray capacitance
- C. To test the active-low enable $\overline{G}$, ground G and apply an inverted waveform to $\overline{G}$.

FIGURE 6-5. t_{PZL} and t_{PLZ} Test Circuit and Waveforms

7 Detailed Description

7.1 Thermal Characteristics of Ic Packages

Θ_{JA} (Junction-to-Ambient Thermal Resistance) is defined as the difference in junction temperature to ambient temperature divided by the operating power

Θ_{JA} is NOT a constant and is a strong function of

- the PCB design (50% variation)
- altitude (20% variation)
- device power (5% variation)

Θ_{JA} can be used to compare the thermal performance of packages if the specific test conditions are defined and used. Standardized testing includes specification of PCB construction, test chamber volume, sensor locations, and the thermal characteristics of holding fixtures. Θ_{JA} is often misused when it is used to calculate junction temperatures for other installations.

TI uses two test PCBs as defined by JEDEC specifications. The low-k board gives *average* in-use condition thermal performance and consists of a single trace layer 25mm long and 2 oz thick copper. The high-k board gives *best case* in-use condition and consists of two 1-oz buried power planes with a single trace layer 25mm long with 2-oz thick copper. A 4% to 50% difference in Θ_{JA} can be measured between these two test cards

Θ_{JC} (Junction-to-Case Thermal Resistance) is defined as difference in junction temperature to case divided by the operating power. It is measured by putting the mounted package up against a copper block cold plate to force heat to flow from die, through the mold compound into the copper block.

Θ_{JC} is a useful thermal characteristic when a heatsink is applied to package. It is NOT a useful characteristic to predict junction temperature as it provides pessimistic numbers if the case temperature is measured in a non-standard system and junction temperatures are backed out. It can be used with Θ_{JB} in 1-dimensional thermal simulation of a package system.

Θ_{JB} (Junction-to-Board Thermal Resistance) is defined to be the difference in the junction temperature and the PCB temperature at the center of the package (closest to the die) when the PCB is clamped in a cold-plate structure. Θ_{JB} is only defined for the high-k test card.

Θ_{JB} provides an overall thermal resistance between the die and the PCB. Including a bit for the PCB thermal resistance (especially for BGAs with thermal balls), and can be used for simple 1-dimensional network analysis of package system (see [Figure 7-1](#)).

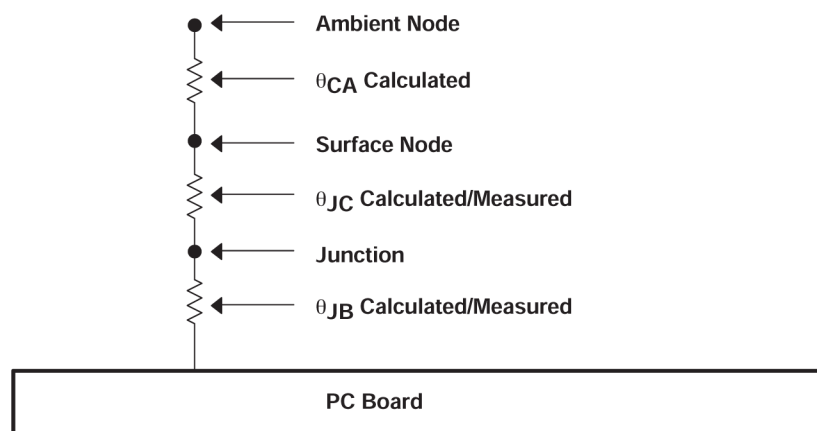


Figure 7-1. Thermal Resistance

7.2 Device Functional Modes

表 7-1. Function Table (Each Driver)

INPUT A	ENABLES ⁽¹⁾		OUTPUTS	
	G	$\overline{G}$	Y	Z
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)

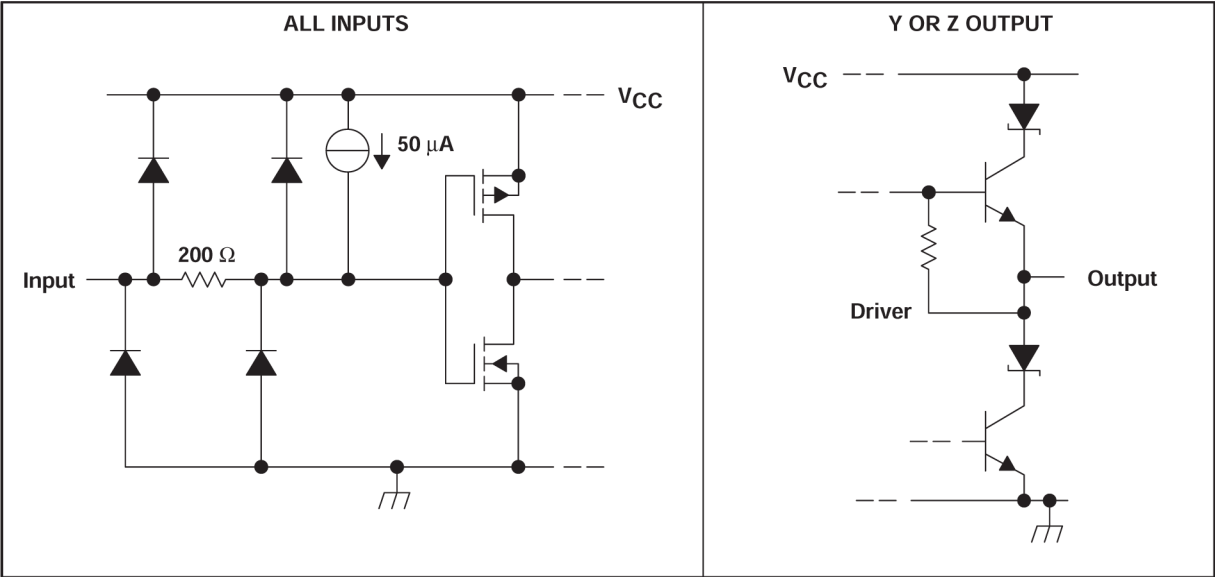


図 7-2. Schematic Diagrams of Inputs and Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 Trademarks

LinBiCMOS™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (April 2006) to Revision F (April 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1
• Added the <i>Thermal Information</i> table.....	6

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC172DW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SN65LBC172
SN65LBC172DW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SN65LBC172
SN65LBC172N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN65LBC172N
SN65LBC172N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN65LBC172N
SN75LBC172DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	0 to 70	SN75LBC172
SN75LBC172DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	SN75LBC172
SN75LBC172DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	SN75LBC172
SN75LBC172N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75LBC172N
SN75LBC172N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75LBC172N

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN75LBC172 :

- Military : [SN55LBC172](#)

NOTE: Qualified Version Definitions:

- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75LBC172DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75LBC172DWR	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC172DW	DW	SOIC	20	25	506.98	12.7	4826	6.6
SN65LBC172DW	DW	SOIC	20	25	507	12.83	5080	6.6
SN65LBC172DW.A	DW	SOIC	20	25	506.98	12.7	4826	6.6
SN65LBC172DW.A	DW	SOIC	20	25	507	12.83	5080	6.6
SN65LBC172N	N	PDIP	16	25	506	13.97	11230	4.32
SN65LBC172N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC172N	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC172N.A	N	PDIP	16	25	506	13.97	11230	4.32

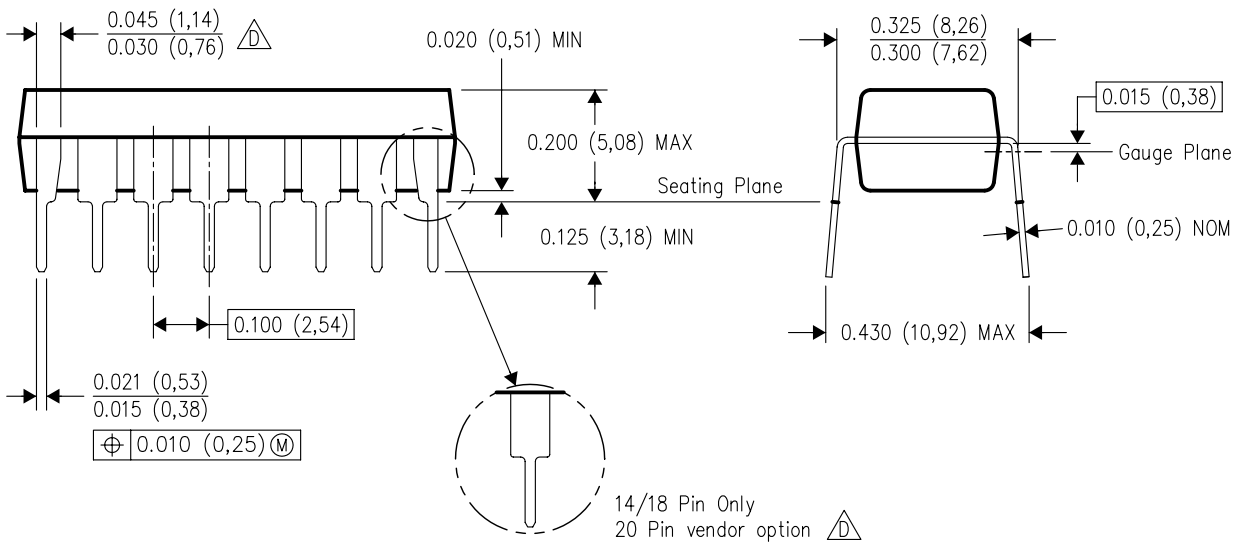
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



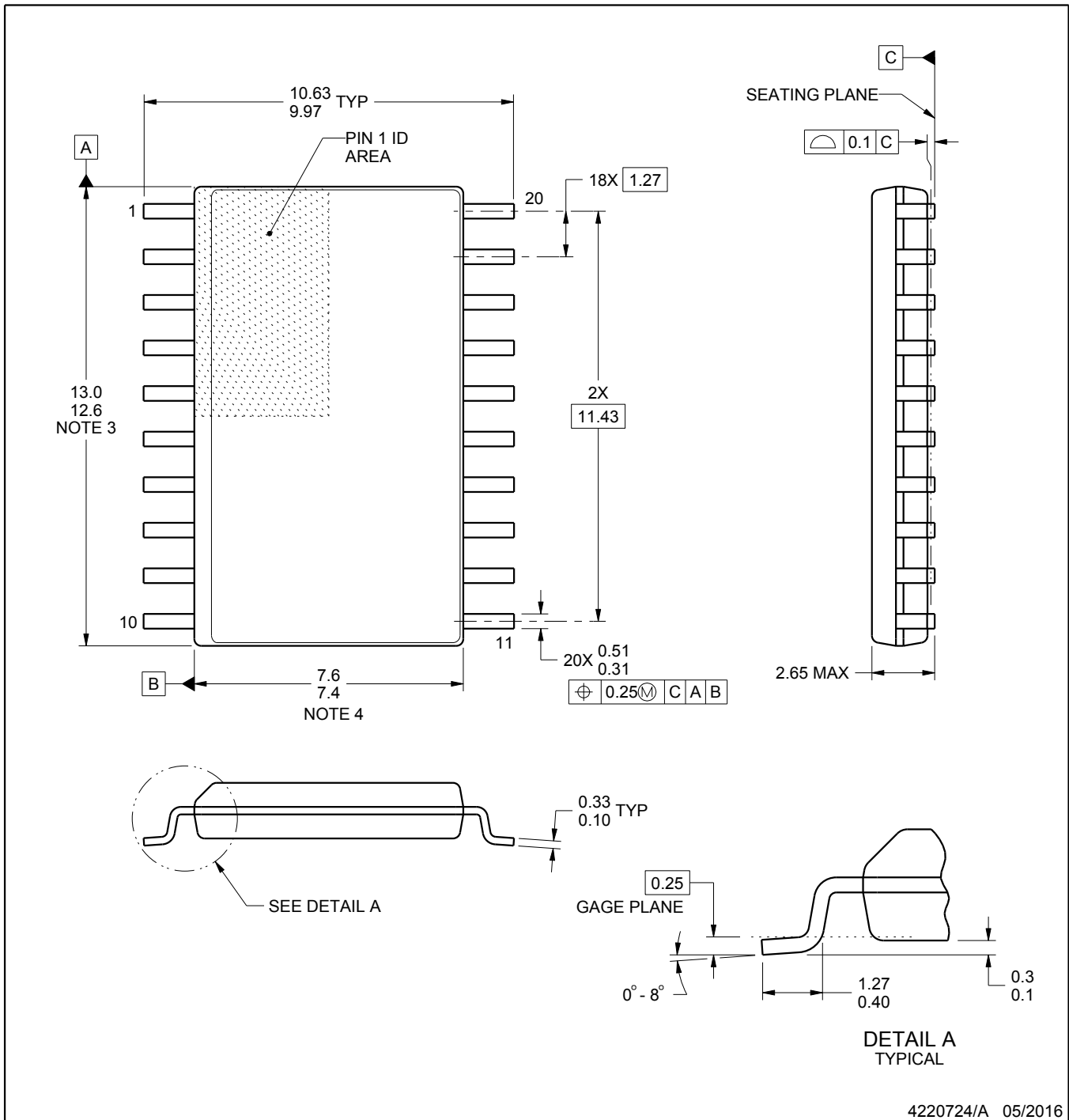
PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.



NOTES:

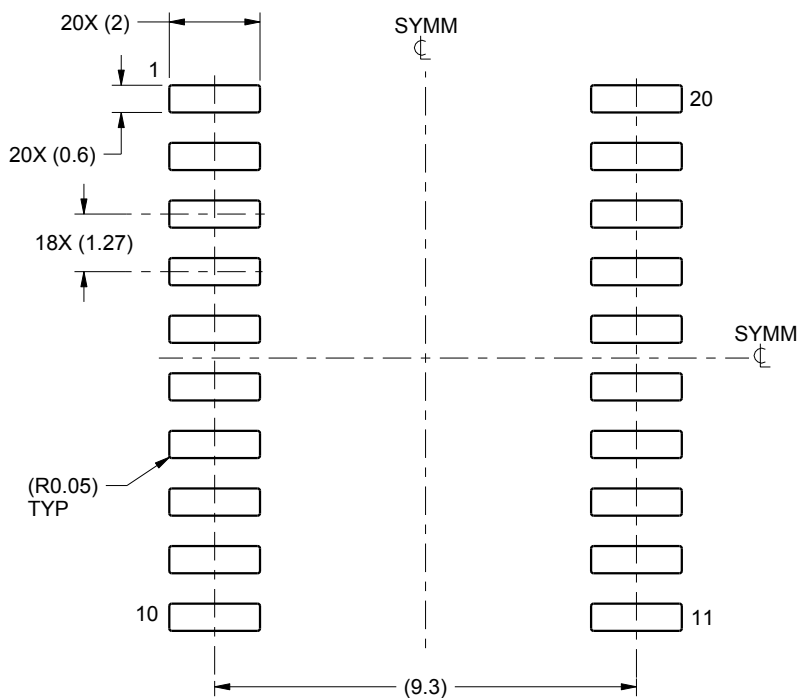
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

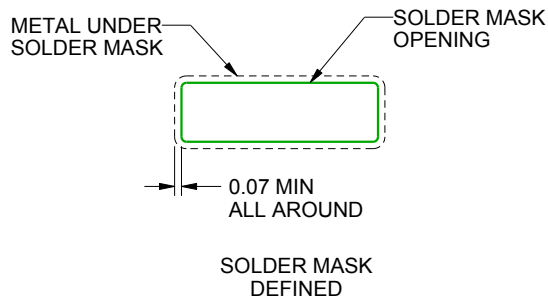
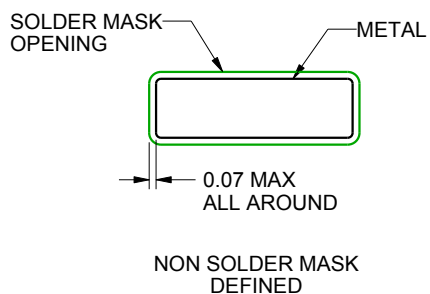
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月