

TAS2020 3.2W モノラル デジタル入力 Class-D スピーカ アンプ(5.5V PVDD をサポート)

1 特長

- パワフルな Class-D アンプ
 - 3.2W 出力電力 (@1% THD+N)
 - 5.5V 外部 PVDD 電源
- クラス最高の効率
 - 1% TDH+N 電源で最大 93.5% の効率
 - 14.7mW のアイドル チャネル電力 (ノイズ ゲート オフ)
 - 5.3mW のアイドル チャネル電力 (ノイズ ゲート オン)
 - 内蔵 1.8V VDD Y-ブリッジ
- 高性能オーディオ チャネル
 - 4.2μV の A 特性アイドル チャネル ノイズ、6dBV ゲイン
 - 114.4dB のダイナミックレンジ
 - 90dB の THD+N
 - ERC と SSM による低 EMI 特性
 - < 1μs のチップ間群遅延マッチング
- 先進の内蔵機能
 - 信号検出高効率モード
 - 高精度電源電圧モニタおよび温度センサ
- 使いやすい機能
 - HW ピン制御または I²C 制御
 - クロック ベースのパワーアップ / ダウン
 - 自動クロック レート検出: 16~192kHz
 - MCLK フリー動作
 - 過熱および過電流保護
- 電源とユーザー インターフェイス
 - VDD: 1.65V ~ 1.95V
 - IOVDD: 1.8V または 3.3V
 - PVDD: 2.5V ~ 5.5V
 - I²S/TDM: 8 チャネル
- 0.4mm ピッチの 26 ピン QFN パッケージ

2 アプリケーション

- スマート スピーカ (音声アシスタント)
- Bluetooth およびワイヤレス スピーカ
- ビル オートメーション
- タブレット、ウェアラブル
- ラップトップ、デスクトップ PC

3 説明

TAS2020 は、大きなピーク電力でスピーカを効率的に駆動できるように設計された、モノラル、デジタル入力 Class-D オーディオ アンプです。

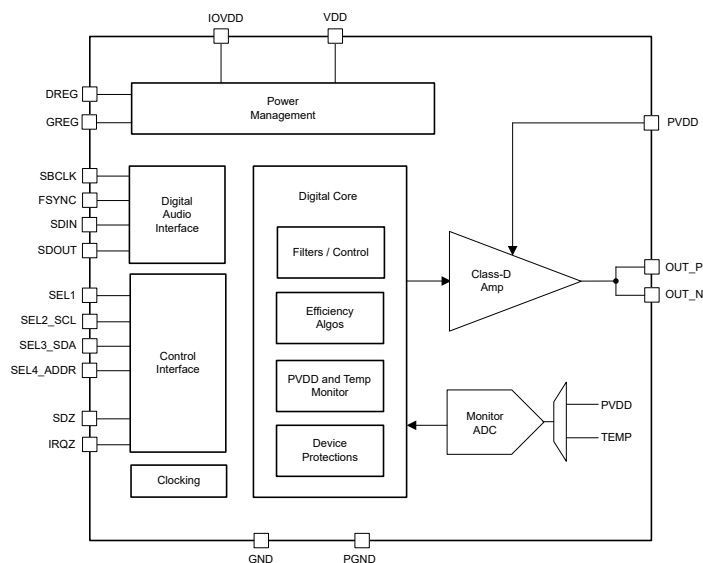
TAS2020 は、音楽再生と音声通話の実際の使用事例で最長のバッテリー寿命を実現するように最適化されています。Y ブリッジ、アルゴリズムなどの先進の効率最適化機能により、本デバイスはすべての動作電力領域にわたってクラス最高の効率を達成できます。Class-D アンプは、ことで最大 3.2W、の出力電力を供給可能であり、外部 PVDD 電源を使用する場合にも同様に動作します。

最大 4 つのデバイスが、I²S/TDM および I²C インターフェイス経由で共通のバスを共有できます。TAS2020 は、I²C 制御を必要とせずに所望の動作モードへデバイスを設定できる、HW ピンベースの事前定義済み制御にも対応しています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TAS2020	QFN	4mm × 3.5mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図



目次

1 特長	1	7.3 ページ 2 レジスタ.....	56
2 アプリケーション	1	7.4 ページ 4 レジスタ.....	59
3 説明	1	7.5 PAGE 5 レジスタ.....	63
4 ピン構成および機能	3	7.6 ページ 6 レジスタ.....	64
5 仕様	5	7.7 ページ 7 レジスタ.....	66
5.1 絶対最大定格.....	5	7.8 PAGE 8 レジスタ.....	68
5.2 ESD 定格.....	5	7.9 BOOK100 PAGE9 レジスタ.....	70
5.3 推奨動作条件.....	5	8 アプリケーションと実装	71
5.4 熱に関する情報.....	5	8.1 使用上の注意.....	71
5.5 電気的特性.....	6	8.2 代表的なアプリケーション.....	71
5.6 タイミング要件.....	9	8.3 推奨事項および禁止事項.....	75
5.7 タイミング図.....	10	8.4 電源に関する推奨事項.....	75
5.8 代表的特性.....	11	8.5 レイアウト.....	75
6 詳細説明	15	9 デバイスおよびドキュメントのサポート	76
6.1 概要.....	15	9.1 ドキュメントのサポート.....	77
6.2 機能ブロック図.....	15	9.2 ドキュメントの更新通知を受け取る方法.....	77
6.3 デバイスの機能モード.....	15	9.3 サポート・リソース.....	77
6.4 機能説明.....	21	9.4 商標.....	77
6.5 プログラミング.....	31	9.5 静電気放電に関する注意事項.....	77
7 レジスタ マップ	36	9.6 用語集.....	77
7.1 ページ 0 レジスタ.....	37	10 改訂履歴	77
7.2 ページ 1 レジスタ.....	54	11 メカニカル、パッケージ、および注文情報	77

4 ピン構成および機能

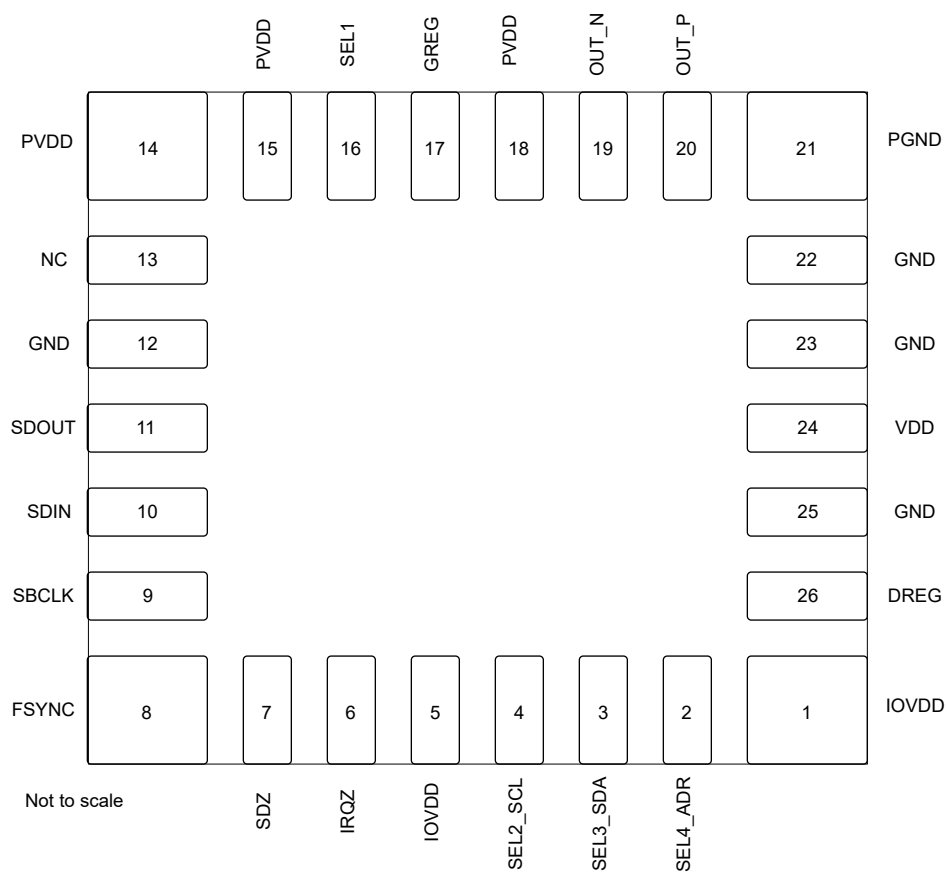


図 4-1. QFN パッケージ 底面図

ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
DREG	26	P	デジタル コア電圧レギュレータ出力。コンデンサを使用して GND にバイパスします。外部負荷に接続しないでください。
FSYNC	8	I	I ² S ワード クロックまたは TDM フレーム同期。
GREG	17	P	ハイサイド ゲート CP レギュレータ出力。外部負荷に接続しないでください。
GND	12、22、23、25	P	PCB グランド プレーンに接続します。複数のビアで必要とされるグランド プレーンへの強力な接続。
IOVDD	5	P	1.8V または 3.3V デジタル IO 電源。コンデンサを使用して GND にデカップリングします。
IOVDD	1	P	1.8V または 3.3V デジタル IO 電源。
IRQZ	6	O	オープン ドレイン、アクティブ Low 割り込みピン。オプションの内部プルアップを使用しない場合は、抵抗を使用して IOVDD にプルアップします。
NC	13	-	接続なし。フローティングのままにします。
OUT_N	19	O	Class-D の負出力。
OUT_P	20	O	Class-D の正出力。
PGND	21	P	Class-D 電力段のグランド。複数のビアを使用して PCB GND プレーンに強力に接続します。
PVDD	18	P	と Class-D 電力段電源内蔵。コンデンサを使用して GND にデカップリングします。
	15	P	Class-D 電力段の電源。コンデンサを使用して GND にデカップリングします。
	14	P	Class-D 電力段の電源。
SBCLK	9	I	I ² S または TDM シリアル ビット クロック。
SDIN	10	I	I ² S または TDM シリアル データ入力。
SDOUT	11	I/O	I ² S または TDM シリアル データ出力。
SDZ	7	I	アクティブ Low のハードウェア シャットダウン。
SEL1	16	I	HW モード:1 ピンを選択します。アンプのゲインレベル選択に加えて、ボリウム ランプのイネーブル/ ディスエーブルを設定できます。 I ² C モード:I ² C モードを選択するには GND に短絡します。
SEL2_SCL	4	I	HW モード:2 ピンを選択します。I ² S、TDM、左揃え選択。 I ² C モード:クロックピン。抵抗を使用して IOVDD にプルアップします。
SEL3_SDA	3	I/O	HW モード:3 ピンを選択します。データ有効の立ち上がりエッジと立ち下がりエッジの選択。 I ² C モード:データピン。抵抗を使用して IOVDD にプルアップします。
SEL4_ADR	2	I	HW モード:4 ピン、Y ブリッジ スレッシュホールド構成設定を選択します。 I ² C モード:I ² C アドレスピン。
VDD	24	P	1.8V 電源に接続し、コンデンサで GND にデカップリングします。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	PVDD	-0.3	6	V
電源電圧	VDD	-0.3	2	V
電源電圧	IOVDD	-0.3	6	V
Class-D 出力	OUTP、OUTM	-0.7	6	V
ハイスайд駆動レギュレータ	GREG	-0.3	PVDD + 6	V
デジタル電源レギュレータ	DREG	-0.3	1.65	V
デジタル IO ピン	IOVDD 電源を基準とするデジタル ピン	-0.3	6	V
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{PVDD}	アンプ電源	2.5	5	5.5	V
V _{VDD}	電源電圧	1.65	1.8	1.95	V
V _{IOVDD}	IO 電源電圧 1.8V	1.62	1.8	1.98	V
V _{IOVDD}	IO 電源電圧 3.3V	3.0	3.3	3.6	V
R _{SPK}	スピーカの抵抗	3.2	8	38.4	Ω
L _{SPK}	スピーカのインダクタンス	5	33	100	μH
T _A	周辺温度	-40		85	°C
T _J	接合部温度	-40		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		標準 JEDEC ⁽²⁾	単位
		HR-QFN	
		26 ピン	
R _{θJA}	接合部から周囲への熱抵抗	51.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	28.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	15.3	°C/W

熱評価基準 ⁽¹⁾		標準 JEDEC ⁽²⁾	単位
		HR-QFN	
		26 ピン	
Ψ_{JT}	接合部から上面への特性パラメータ	0.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	15.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

(2) JEDEC 規格 4 層 PCB

5.5 電気的特性

$T_A = 25^\circ\text{C}$, $PVDD = 5\text{V}$, $VDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 8\Omega + 33\mu\text{H}$, $F_{in} = 1\text{kHz}$, $F_s = 48\text{kHz}$, $SDZ=1$, ノイズ ゲート無効、Class-D エッジ レートを 2V/ns に設定、I2C モード動作、特に記載のない限り、 $22\text{Hz} \sim 20\text{kHz}$ の非加重帯域幅で Audio Precision でフィルタなしで測定。⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
アンプ性能						
P _{OUT_EXT_PVDD}	最大出力電力 - 1% THD+N	R _L = 8Ω + 33μH		1.8		W
		R _L = 4Ω + 33μH		3.2		W
η _{SYSTEM_EXT_1W}	P _{OUT} でのシステム効率性= 1.0W	R _L = 8Ω + 33μH		91		%
		R _L = 4Ω + 33μH		89		%
η _{SYSTEM_EXT_MAX_POUT}	1% THD+N 電源レベルでのシステム効率性	R _L = 8Ω + 33μH		93.5		%
		R _L = 4Ω + 33μH		90.4		%
V _{N_EXT}	アイドル チャネル ノイズ	A 特性重み付け、ゲイン = 21dBV (スピーカ モード)、DAC 動作中		14.2		μV
DNR_EX T	ダイナミックレンジ	A 特性重み付け、−60dBFS 方式、RL = 8Ω + 33μH		114.4		dB
THD+N_Ext	全高調波歪み + ノイズ	P _{OUT} = 1W、R _L = 8Ω + 33μH		0.003		%
		P _{OUT} = 1W、R _L = 4Ω + 33μH		0.004		%
K _{CP_EXT}	クリックおよびポップ性能	障害を除く、オーディオ チャネルのすべての動的な電源オン/オフ。ミュートのオン/オフ、電源オン/オフ、ノイズ ゲート モードの出入りを含みます。ピーク A 特性重み付け電圧で測定。RL = 8Ω + 33μH、入力 = デジタルサイレンス		-68		dBV
V _{OS_EX T}	出力オフセット電圧	アイドル チャネル	-1		1	mV
PSRR _{PV DD_EXT}	PVDD 電源除去比	PVDD + 200mVpp、リップル周波数 = 217Hz		119		dB
		PVDD + 200mVpp、リップル周波数 = 1kHz		115		dB
		PVDD + 200mVpp、リップル周波数 = 20kHz		91		dB
PSRR _{VD D_EXT}	VDD 電源除去比	VDD + 200mV _{pp} 、f _{ripple} = 217Hz		113		dB
		VDD + 200mV _{pp} 、f _{ripple} = 1kHz		113		dB
		VDD + 200mV _{pp} 、f _{ripple} = 20kHz		91		dB
TDM シリアル ポート						
	最 PCM サンプル レートと FSYNC 入力周波数		16		192	kHz
	最 SBCLK 入力周波数	I ² S/TDM での動作	0.512		24.57	MHz

$T_A = 25^\circ\text{C}$ 、 $PVDD = 5\text{V}$ 、 $VDD = 1.8\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $R_L = 8\Omega + 33\mu\text{H}$ 、 $F_{in} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、 $SDZ=1$ 、ノイズ ゲート無効、Class-D エッジ レートを 2V/ns に設定、I2C モード動作、特に記載のない限り、 $22\text{Hz} \sim 20\text{kHz}$ の非加重帯域幅で Audio Precision でフィルタなしで測定。⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
	SBCLK の最大入力ジッタ	性能を低下させない許容範囲 40kHz 未満の RMS ジッタ			0.5	ns
		性能を低下させない許容範囲 40kHz 以上の RMS ジッタ			5	ns
	I ² S および TDM モードにおける FSYNC 当たりの SBCLK サイクル	値: 64、96、128、192、256、384、512	64		512	サイクル
PCM 再生特性 (fs ≤ 48kHz)						
Fs	サンプル レート		16		48	kHz
	オーディオ チャンネル パスバンド LPF コーナ	リップル < パス バンドリップル		0.454		fs
	オーディオ チャンネル パス バンドリップル	20Hz ~ LPF のカットオフ		±0.1		dB
	オーディオ チャンネル ストップ バンド減衰	≥ 0.55fs		60		dB
		≥ 1fs		65		dB
	オーディオチャンネル グループ遅延	Fin = 1kHz、最低レイテンシ モード (ノイズゲートはディスエーブル)		8.5		1/fs
		Fin = 1kHz		16.5		1/fs
		DC ~ 20kHz、最低レイテンシ モード (HPF バイパス、ノイズゲートはディスエーブル)		13		1/fs
		DC ~ 20kHz、HPF バイパス		21		1/fs
PCM 再生特性 (fs > 48kHz)						
Fs	サンプル レート		88.2		192	kHz
	オーディオ チャンネル パスバンド LPF コーナ	fs = 96kHz		0.469		fs
		fs = 192kHz		0.234		fs
	オーディオ チャンネル パス バンドリップル	20Hz ~ LPF のカットオフ		±0.2		dB
	オーディオ チャンネル ストップ バンド減衰	fs = 96kHz、fin ≥ 0.55fs		60		dB
		fs = 96kHz、fin ≥ 1fs		65		dB
		fs = 192kHz、0.55fs ≥ fin ≥ 0.275fs		60		dB
	オーディオチャンネル グループ遅延	Fin = 1kHz、Fs = 96kHz、最低遅延モード (ノイズゲートはディスエーブル)		11		1/fs
		fin = 1kHz、Fs = 96kHz		6.7		1/fs
		DC ~ 20kHz、Fs = 96kHz、最低遅延モード (Yブリッジ、ノイズゲートはディスエーブル)		11.5		1/fs
		DC ~ 40kHz、Fs = 96kHz、HPF バイパス		28.6		1/fs
保護回路						
	サーマル シャットダウン温度			140		°C
	サーマル シャットダウン再試行時間			1.5		s
	VDD 低電圧誤動作防止スレッシュホールド (UVLO)	UVLO がアサートされている	1.4			V
		UVLO が解除されます			1.6	V
	PVDD 低電圧誤動作防止スレッシュホールド (UVLO)	UVLO がアサートされるのは	2.6			V
		UVLO が解除されるのは			2.8	V
	PVDD の過電圧誤動作防止スレッシュホールド (OVLO)	OVLO がアサートされ、OVLO 保護がイネーブルになります。		16		V

$T_A = 25^\circ\text{C}$, $PVDD = 5\text{V}$, $VDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 8\Omega + 33\mu\text{H}$, $F_{in} = 1\text{kHz}$, $F_s = 48\text{kHz}$, $SDZ=1$, ノイズ ゲート無効、Class-D エッジ レートを 2V/ns に設定、I2C モード動作、特に記載のない限り、 $22\text{Hz} \sim 20\text{kHz}$ の非加重帯域幅で Audio Precision でフィルタなしで測定。⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
	出力短絡保護	出力間、出力 ~ GND、出力 ~ 電源、Hブリッジ モード		5.3		A
電源オン/オフ時間						
T _{STDBY}	SDZ がアサートされてから I2C コマンドに対してデバイスが準備完了となるまでの起動時間			300		us
T _{ACTIVE}	ソフトウェア シャットダウン解除からアンプ出力が有効になるまでの起動時間	ボリューム ランピング ディセーブル		1.6		ms
		ボリューム ランピングがイネーブル		3.9		ms
T _{TURNOFF}	ソフトウェア シャットダウンがアサートされてからアンプ出力が High-Z になるまでのオフ時間	ボリューム ランピング ディセーブル		0.2		ms
		ボリューム ランピングがイネーブル		13.9		ms
消費電流						
I _{Q_HW_SD}	ハードウェア シャットダウン モードでの消費電流	PVDD、SDZ = 0		0.1		μA
		VDD、SDZ = 0		0.2		μA
		IOVDD、SDZ = 0		0.1		μA
I _{Q_SW_SD}	ソフトウェア シャットダウン時の消費電流	PVDD、すべてのクロックが停止		0.1		μA
		VDD、すべてのクロックが停止		12		μA
		IOVDD、すべてのクロックが停止		0.1		μA
I _{Q_NG}	ノイズ ゲート付きアイドル チャンネルでの消費電流	PVDD、P _{OUT} = 0、ノイズゲートがイネーブル		0.1		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		2.2		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
I _{Q_IDLE}	アイドル チャンネルでの消費電流	PVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.2		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		5.6		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.1		mA
デジタル IO						
V _{IH}	High レベル デジタル入力ロジック電圧スレッシュォルド	すべてのデジタル ピン		0.7x IOVDD		V
V _{IL}	Low レベル デジタル入力ロジック電圧スレッシュォルド	すべてのデジタル ピン			0.3x IOVDD	V
V _{OH}	High レベル デジタル出力電圧	SDA、SCL、IRQZ を除くすべてのデジタルピン: I _{OH} = 100μA		IOVDD (正の温度係数) - 0.2V		V
V _{OL}	Low レベル デジタル出力電圧	SDA、SCL、IRQZ を除くすべてのデジタルピン: I _{OL} = -100μA			0.2	V
V _{OL(I2C)}	Low レベル デジタル出力電圧	SDA および SCL: I _{OL} = -1mA			0.2x IOVDD	V
V _{OL(IRQZ)}	オープンドレイン出力におけるローレベルデジタル出力電圧	IRQZ ピン: I _{OL} = -1mA			0.2	V
I _{IH} ⁽¹⁾	デジタル入力への入力ロジック High リークエージ	すべてのデジタル ピン。入力=IOVDD。	-1		1	μA
I _{IL} ⁽¹⁾	デジタル入力への入力ロジック Low リークエージ	すべてのデジタル ピン: 入力 = GND	-1		1	μA

$T_A = 25^\circ\text{C}$ 、 $PVDD = 5\text{V}$ 、 $VDD = 1.8\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $R_L = 8\Omega + 33\mu\text{H}$ 、 $F_{in} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、 $SDZ=1$ 、ノイズ ゲート無効、Class-D エッジレートに 2V/ns に設定、I2C モード動作、特に記載のない限り、 $22\text{Hz} \sim 20\text{kHz}$ の非加重帯域幅で Audio Precision でフィルタなしで測定。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{IN}	デジタル入力の入力容量	すべてのデジタル ピン		5		pF
R_{PD}	デジタル入力 / IO ピンがアサートされたときのプルダウン抵抗	すべてのデジタル ピン。プルダウン抵抗オプションがイネーブル		18		k Ω

(1) エラッタ: IRQZ 信号がプルアップされると、追加で $2\text{mA} \sim 3\text{mA}$ の電流消費が予想されます。詳細は「すべきこととすべきでないこと」セクションを参照してください。

5.6 タイミング要件

$T_A = 25^\circ\text{C}$ 、 $VDD = IOVDD = 1.8\text{V}$ (特に記述のない限り)

		最小値	公称値	最大値	単位
I2C - 標準モード					
f_{SCL}	SCL クロック周波数	0		100	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	4			μs
t_{LOW}	SCL クロック Low 期間	4.7			μs
t_{HIGH}	SCL クロックの High の時間	4			μs
$t_{SU,STA}$	反復開始条件のセットアップ時間	4.7			μs
$t_{HD,DAT}$	データ ホールド時間: I ² C バス デバイスの場合	0		3.45	μs
$t_{SU,DAT}$	データ セットアップ時間	250			ns
t_r	SDA と SCL の立ち上がり時間			1000	ns
t_f	SDA と SCL の立ち下がり時間			300	ns
$t_{SU,STO}$	STOP 条件のセットアップ時間	4			μs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
C_b	各バス ラインの容量性負荷			400	pF
I2C - 高速モード					
f_{SCL}	SCL クロック周波数	0		400	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			μs
t_{LOW}	SCL クロック Low 期間	1.3			μs
t_{HIGH}	SCL クロックの High の時間	0.6			μs
$t_{SU,STA}$	反復開始条件のセットアップ時間	0.6			μs
$t_{HD,DAT}$	データ ホールド時間: I ² C バス デバイスの場合	0		0.9	μs
$t_{SU,DAT}$	データ セットアップ時間	100			ns
t_r	SDA と SCL の立ち上がり時間	$20 + 0.1 \times C_b$		300	ns
t_f	SDA と SCL の立ち下がり時間	$20 + 0.1 \times C_b$		300	ns
$t_{SU,STO}$	STOP 条件のセットアップ時間	0.6			μs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
C_b	各バス ラインの容量性負荷			400	pF
TDM ポート					
f_{sbclk}	SBCLK 周波数範囲	0.384		24.576	MHz
$t_H(SBCLK)$	SBCLK の High 期間	$0.35/f_{sbclk}$			ns
$t_L(SBCLK)$	SBCLK の Low 期間	$0.35/f_{sbclk}$			ns

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = I_{OVDD} = 1.8\text{V}$ (特に記述のない限り)

		最小値	公称値	最大値	単位
$t_{\text{SU}}(\text{FSYNC})$	FSYNC のセットアップ時間	8			ns
$t_{\text{HLD}}(\text{FSYNC})$	FSYNC のホールド時間	8			ns
$t_{\text{SU}}(\text{SDIN})$	SDIN のセットアップ時間	8			ns
$t_{\text{HLD}}(\text{SDIN})$	SDIN のホールド時間	8			ns
$t_{\text{d}}(\text{SBCLK-SDOUT})$	SBCLK から SDOUT への遅延: SBCLK の立ち下がりエッジの 10% または SBCLK の立ち上がりエッジの 90% から SDOUT の 50%、 $I_{OVDD} = 1.8\text{V}$ まで			30	ns
$t_{\text{d}}(\text{SBCLK-SDOUT})$	SBCLK から SDOUT への遅延: SBCLK の立ち下がりエッジの 10% または SBCLK の立ち上がりエッジの 90% から SDOUT の 50%、 $I_{OVDD} = 3.3\text{V}$ まで			18.5	ns
$t_{\text{r}}(\text{SBCLK})$	SBCLK の立ち上がり時間: 10%~90% の立ち上がり時間			$0.15 / f_{\text{sbclk}}$	ns
$t_{\text{f}}(\text{SBCLK})$	SBCLK の立ち下がり時間: 90%~10% の立ち下がり時間			$0.15 / f_{\text{sbclk}}$	ns
$t_{\text{f}}(\text{SBCLK-CLH})$	SBCLK から CLH への遅延: Boost 共有設定			$1 / 2 * f_{\text{sbclk}}$	ns

5.7 タイミング図

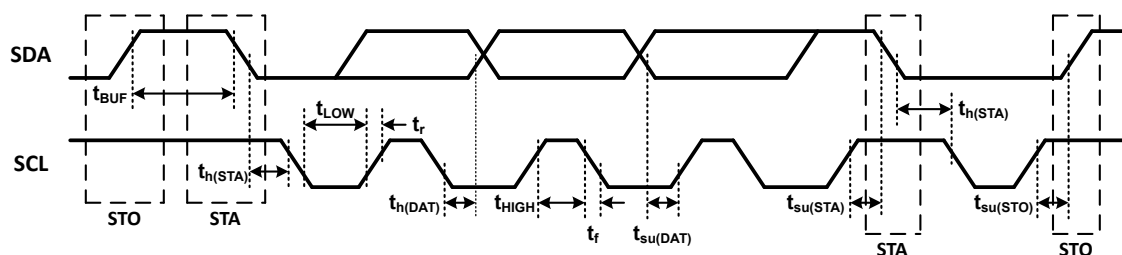


図 5-1. I²C のタイミング図

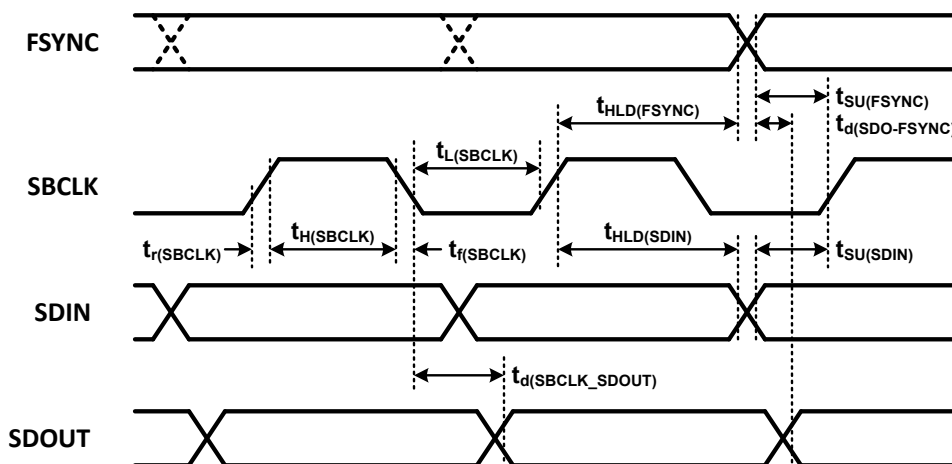
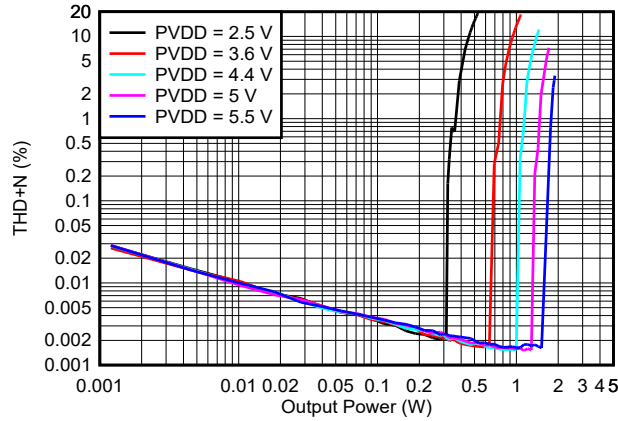


図 5-2. I²S/ TDM のタイミング図

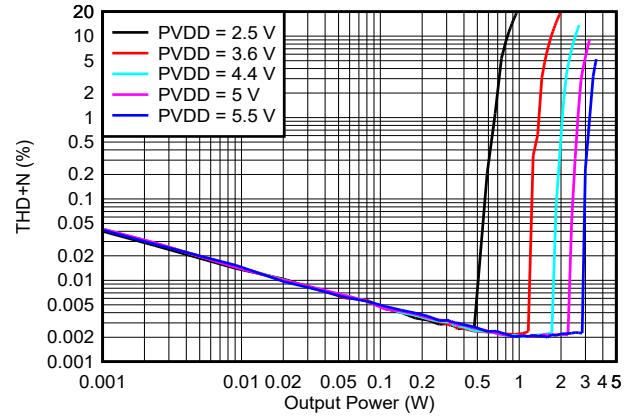
5.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $PVDD = 5\text{V}$ 、 $VDD = 1.8\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $F_{in} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、ゲイン = 12dBV、SDZ = 1、ノイズゲート ディセーブル、I²C 動作モード、22Hz~20kHz の重み付けなし帯域幅を使用してオーディオ精度で測定されたフィルタはフリー (特に記載のない限り)。



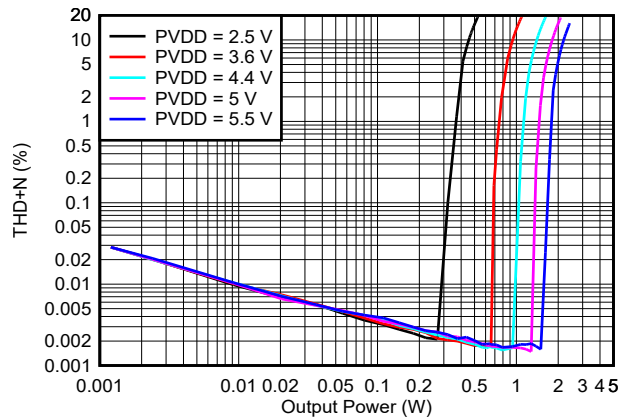
$R_L = 8\Omega$

図 5-3. THD+N と出力電力との関係



$R_L = 4\Omega$

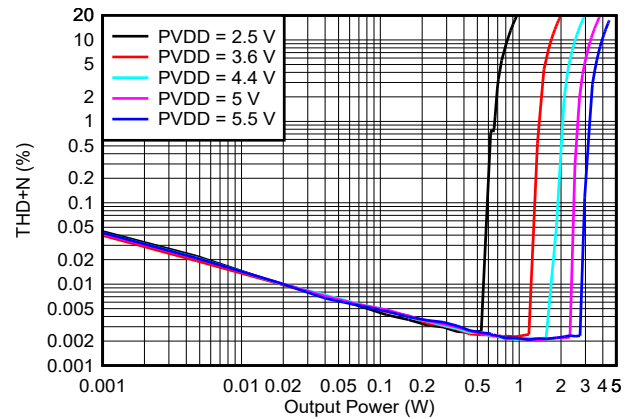
図 5-4. THD+N と出力電力との関係



$R_L = 8\Omega$

HW ピン制御

図 5-5. THD+N と出力電力との関係



$R_L = 4\Omega$

HW ピン制御

図 5-6. THD+N と出力電力との関係

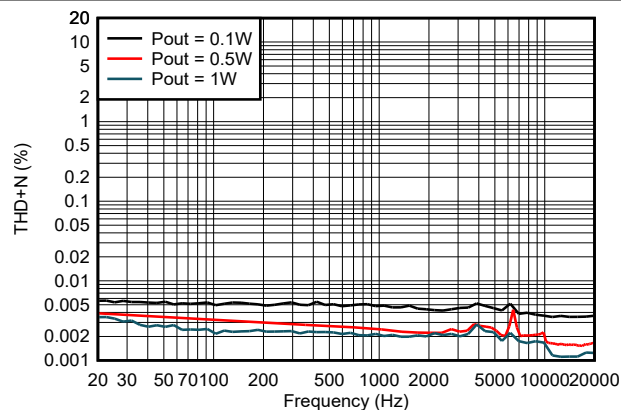
 $R_L = 8\Omega$

図 5-7. THD+N と周波数との関係

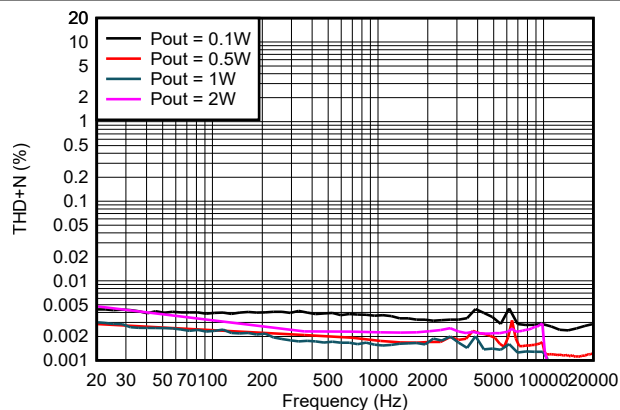
 $R_L = 4\Omega$

図 5-8. THD+N と周波数との関係

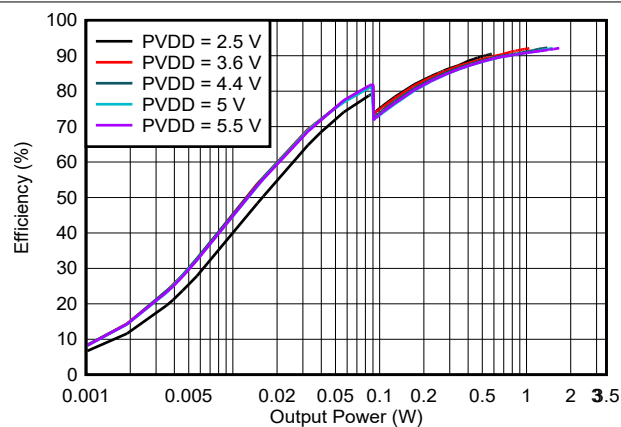
 $R_L = 8\Omega$

図 5-9. 効率と出力電力との関係

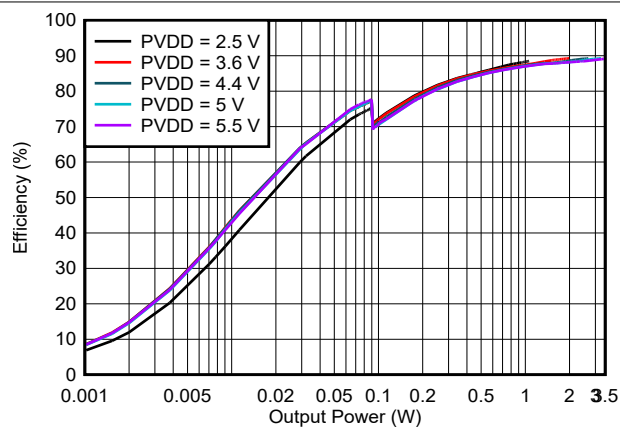
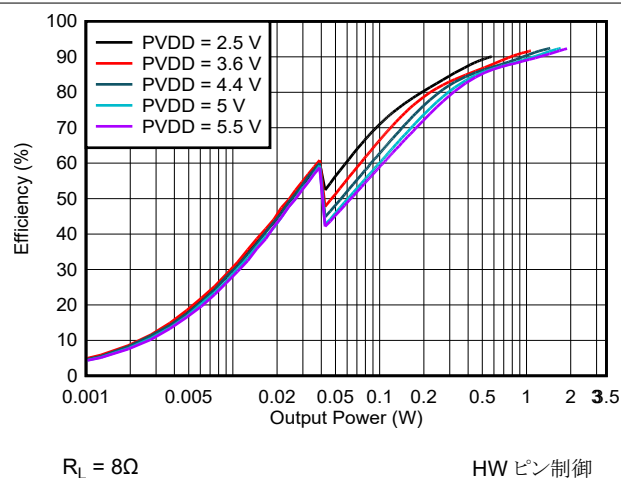
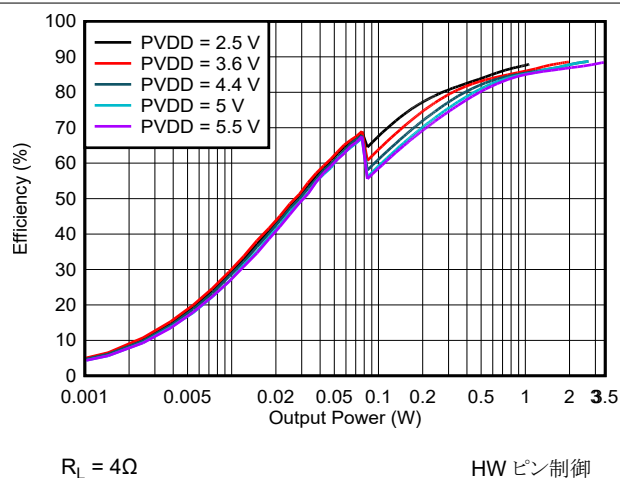
 $R_L = 4\Omega$

図 5-10. 効率と出力電力との関係

 $R_L = 8\Omega$

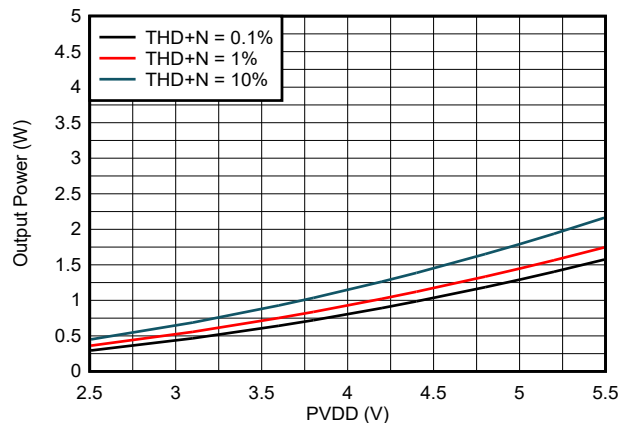
HW ピン制御

図 5-11. 効率と出力電力との関係

 $R_L = 4\Omega$

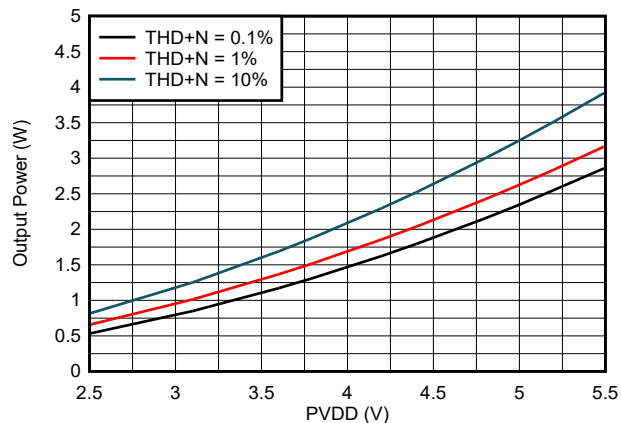
HW ピン制御

図 5-12. 効率と出力電力との関係



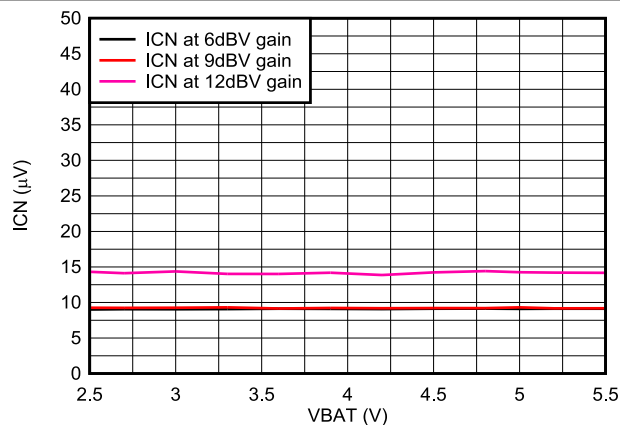
$R_L = 8\Omega$

図 5-13. 出力電力と PVDD 電圧との関係



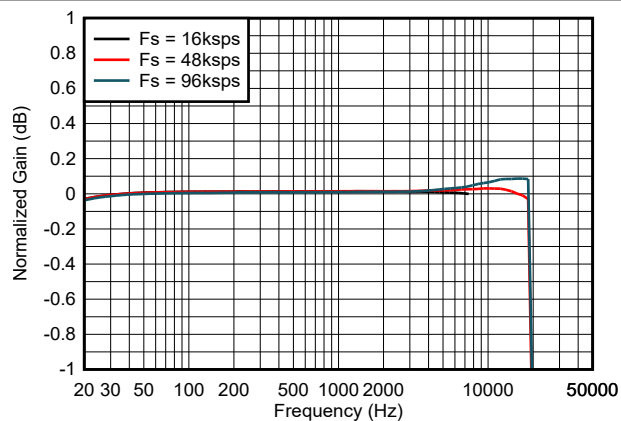
$R_L = 4\Omega$

図 5-14. 出力電力と PVDD 電圧との関係



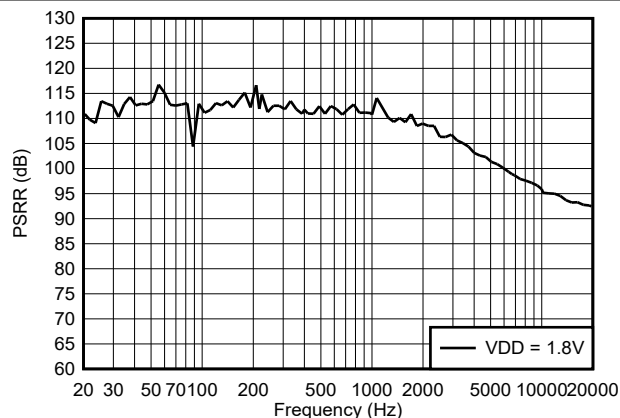
$R_L = 8\Omega$

図 5-15. アイドルチャネルノイズと PVDD 電圧との関係



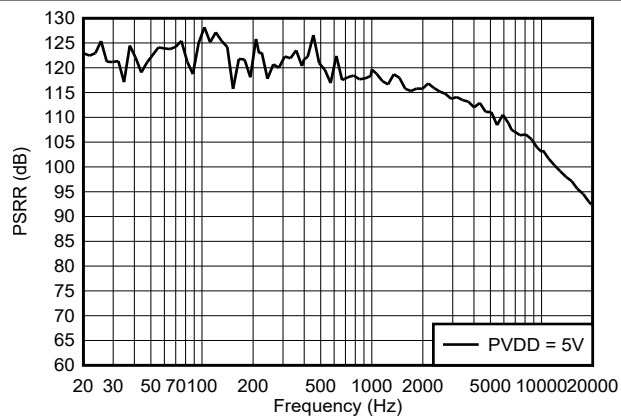
$R_L = 8\Omega$

図 5-16. オーディオチャネル周波数応答



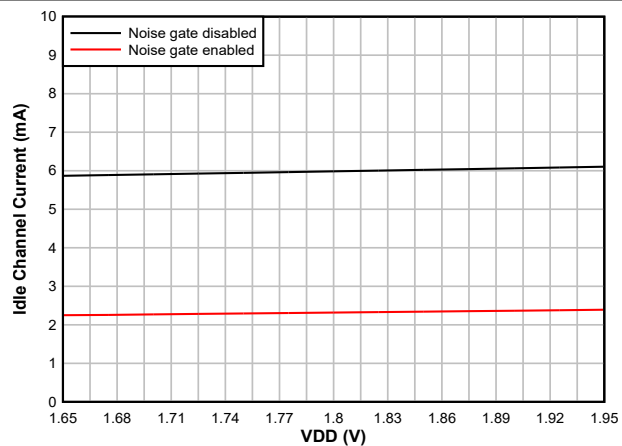
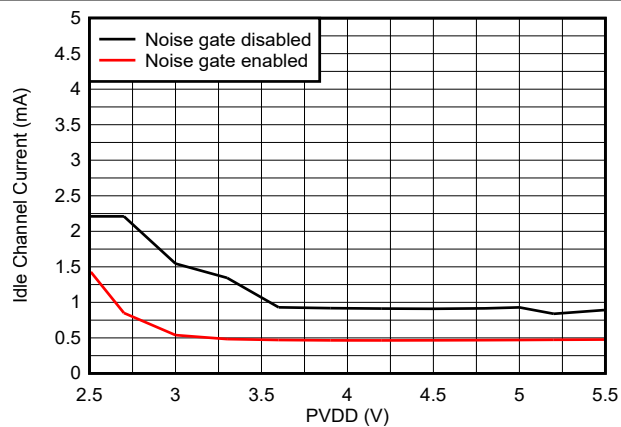
$R_L = 8\Omega$

図 5-17. VDD PSRR と周波数との関係



$R_L = 8\Omega$

図 5-18. PVDD PSRR と周波数との関係


 $R_L = 8\Omega$
図 5-19. アイドル チャネル電流と VDD 電圧との関係

 $R_L = 8\Omega$
図 5-20. アイドル チャネル電流と PVDD 電圧との関係

SDZ_MODE[1:0] = 00 に設定されている場合、オーディオ再生中に SDZ ピンが Low にアサートされると、デバイスは通常のパワー ダウン シーケンスに従います。具体的には、オーディオのボリュームをランプ ダウン (有効な場合) し、Class-D スwitchングを停止し、アナログおよびデジタル ブロックの電源を落としてパワー ダウン時のポップ ノイズを防止し、最終的にデバイスをハードウェア シャットダウン モードに移行させます。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信が無効になります。

SDZ_MODE[1:0] = 01 に設定されている場合、SDZ ピンが Low にアサートされると、デバイスは即座にハードウェア シャットダウンに入り、パワー ダウン シーケンス処理は行われません。TI は、このモードでは、SDZ ピンを Low にアサートする前に、オーディオ入力信号をアイドル チャネルまでランプ ダウンさせることが推奨されます。これを実現するために、デバイスのソフトウェア ミュート モードを使用できます。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信が無効になります。

最後に、SDZ_MODE[1:0] = 10 に設定することで、デバイスをソフトウェア シャットダウン モードに構成できます。このモードでは、SDZ ピンが Low にプルダウンされると、デバイスは通常のパワー ダウン シーケンスに従い、ソフトウェア シャットダウン モードに入ります。すべてのデバイス レジスタ構成は、SDZ ピンが Low にプルダウンされる前のデバイスの状態から、そのまま保持されます。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信は引き続き利用可能です。

表 6-1. シャットダウン制御

SDZ_MODE[1:0]	構成
00 (デフォルト)	パワーダウン シーケンスによるハードウェア シャットダウン モード
01	ハードウェア シャットダウン モード - 即時
10	ソフトウェア シャットダウン モード (すべてのレジスタ値は保持)
11	予約済み

SDZ_MODE[1:0] が 00 または 10 の場合、デバイスはシャットダウン シーケンスを実行し、シャットダウン時間の全期間にわたって SDZ ピンを Low に保持する必要があります。シャットダウン時間は、電気的特性セクションのパワーアップ/パワーダウン時間セクションで規定されています。SDZ がリリースされると、デバイスは関連する構成ピンおよびアドレスピンをサンプリングし、その後ソフトウェア シャットダウン モードに入ります。

6.3.1.2 ハードウェア構成モード

の TAS2020 デバイスは、セレクト ピン 1 からセレクト ピン 5 に使用される抵抗終端に応じて、ピン制御ベースの HW モードで動作できます。本デバイスのピン制御に基づく HW モードの動作は、I²C 通信によるソフトウェア ベースの構成を使わなくてもデバイス構成を簡素化できるよう設計されています。

表 6-2. セレクト ピンの機能

ピン名を選択します	機能
SEL1	ボリューム ランプの有効/無効オプション付きアンプ ゲイン設定
SEL2	I2S、TDM、左揃え選択
SEL3	データ有効の立ち上がり/立ち下がりエッジの選択
SEL4	Y ブリッジスレッシュホールド構成

表 6-3. SEL1 HW モード構成

SEL1 の接続	アンプ ゲイン	ボリューム ランプ
GND への直接短絡	I ² C 経由で構成	I ² C 経由で構成
GND ~ 1.2kΩ	6dBV	無効
1.2kΩ から PVDD	12dBV	無効

表 6-3. SEL1 HW モード構成 (続き)

SEL1 の接続	アンプ ゲイン	ボリューム ランプ
5kΩ から PVDD	6dBV	有効
GND へ 24kΩ	12dBV	有効

表 6-4. SEL2 HW モード構成

SEL2 の接続	構成
GND への直接短絡	I ² S、L または TDM0
330Ω から IOVDD	I ² S R または TDM1
IOVDD への直接短絡	I ² S (L+R)/2 または TDM2
GND へ 1.2kΩ	左揃え L または TDM3
1.2kΩ から IOVDD	左揃えの R または TDM4
GND へ 5kΩ	左揃え (L+R)/2 または TDM5
5kΩ から IOVDD	I ² S、L または TDM6
GND へ 24kΩ	I ² S R または TDM7
24kΩ から IOVDD	予約済み

表 6-5. SEL3 HW モード構成

SEL3 の接続	構成
GND への直接短絡	立ち上がりエッジでデータが有効
IOVDD への直接短絡	立ち下がりエッジでデータが有効

表 6-6. SEL4 HW モード構成

SEL4 の接続	構成
GND への直接短絡	80mW の Y ブリッジ スレッショルド
IOVDD への直接短絡	40mW の Y ブリッジ スレッショルド
24kΩ から IOVDD	1mW の Y ブリッジ スレッショルド

6.3.1.3 ソフトウェア電力モード制御とソフトウェア リセット

SEL1 ピンが GND に短絡すると、TAS2020 は I²C モードに構成され、I²C インターフェイス経由で構成レジスタを変更することで構成できます。

TAS2020 の電力状態は、レジスタ MODE[1:0] を使用して制御できます。いずれかモード設定を変更しても、デバイスの既存の構成レジスタ設定が失われることはありません。

表 6-7. ソフトウェア モード制御

MODE[1:0]	構成
00	アクティブ動作モードのデバイス
01	予約済み
10 (デフォルト)	ソフトウェア シャットダウン モードのデバイス
11	クロックベースのアクティブおよびシャットダウン モードのデバイス

アクティブ状態: MODE[1:0] が '00' に設定されると、デバイスはアクティブ動作モードに入り、が、クリック音やポップ音を最小限に抑えるための適切なパワーアップ シーケンスで起動します。

ソフトウェア シャットダウン状態: MODE[1:0] が「10」に設定されると、デバイスはソフトウェア シャットダウン モードに入ります。このモードは、オーディオ再生に必要なすべてのアナログ ブロックの電源を落としますが、デバイスのレジスタ状態が

失われることはありません。ソフトウェア シャットダウンがアサートされたときにオーディオが再生中の場合、Class-D はボリュームをランプダウンしてからシャットダウンします。デアサートされると、Class-D アンプはスイッチングを再開し、ボリュームはプログラムされたデジタル ボリューム設定へ段階的に戻ります。

クロック ベースのアクティブおよびシャットダウン状態:MODE[1:0] が「11」に設定されている場合、デバイスは ASI 入力ピン (BCLK および FSYNC) に入力される有効な ASI クロック信号に基づいて、アクティブ状態とシャットダウン状態の間を切り替えます。クロックが印加されると、デバイスは自動的にクロック信号を検出し、パワーアップ時のクリック音やポップ音を回避するために適切なパワーアップ シーケンスに従います。オーディオ チャンネルが起動中に ASI クロックが取り外されると、デバイスは自動的にパワーダウン シーケンスを開始し、クリック音やポップ音を回避します。クロックを停止する前に入力データ ストリームで音量をランプダウンすることが推奨されます。これによりポップ音やクリック音の影響を最小限にできます(この動作はデバイスのソフトウェア ミュート モードを使用して実現できます)。

TAS2020 は、SW_RESET レジスタを 1 に設定することで、デフォルト構成にリセットできます。デバイスがパワーアップしているときに SW_RESET ビットが High に設定されると、すべてのチャンネルは即座にパワー ダウンされます。SW_RESET が High にセットされると、すべてのレジスタがデフォルト状態に復元されます。このビットは自己クリアされ、リセットが完了すると「0」に戻ります。

また、デバイスのステータスがアクティブ動作モードに達したときに INT_LTCH0[1] ビット (セクション 6.3.2) を使用して、ホストに信号を送信することもできます。このビットはライブ デバイス ステータスビットであり、デバイス ステータスをリアルタイムで反映します。このビットは、デバイスがアクティブ モードのときは High にセットされ、デバイスがシャットダウン モードのときは Low にセットされます。

6.3.1.4 効率および省電力モード

TAS2020 は、すべての動作条件で最高のシステムレベルの効率を達成するように設計された複数の省電力モードを備えています。デバイスは、設定されたモードおよび信号条件に基づいて、あるモードから次のモードへと移行します。モード間の遷移は自動で行われ、遷移中も高性能なオーディオ レベルを確保できるよう設計されています。

Efficiency_MODE[1:0] レジスタを使用すると、音楽用効率とノイズ ゲートの各動作モードを設定できます

表 6-8. 効率モード制御

EFFICIENCY_MODE[1:0]	構成
00	音楽用効率とノイズ ゲート モードがディセーブル
01	ノイズ ゲート モードのみ
10	音楽用効率モードのみ
11 (デフォルト)	音楽用効率とノイズ ゲート モードが両方ともイネーブル

6.3.1.4.1 ノイズゲート

ノイズ ゲート機能がイネーブルになると、デバイスはアクティブ再生モード中の無音期間を自動的に検出し、アイドル チャンネルの消費電力を大幅に削減してバッテリー寿命を延ばします。この機能は、長い無音期間を含む信号の再生、例えば音声通話や映画のトラックなどに有効です。

デバイスは、NG_TH_LVL[2:0] レジスタで構成されたプログラム済みノイズ ゲート スレッショルドに対して入力オーディオ信号レベルを監視します。オーディオ信号がスレッショルドを下回ると、内部ヒステリシス タイマがイネーブルになります。信号レベルが NG_HYST_TIMER[1:0] の全期間にわたって構成済みの NG_TH_LVL[2:0] 未満である場合、デバイスはノイズ ゲート モードに入り、アイドル チャンネルの消費電力を低減します。ノイズ ゲート動作モードでは、Class-D PWM 出力のような高スイッチング ブロックは OFF にされ、出力は Low にプルダウンされます。Class-D の出力インピーダンスは、CLASSD_HIZ_MODE レジスタを使用してノイズ ゲートモードがアクティブのときに制御できます。ノイズ ゲート モードがアクティブの間、Class-D 出力はスイッチングせず、デバイスはオーディオ出力信号を生成しません。デバイスがノイ

ズ ゲート モードのとき、**NG_STATUS** ビットは **high** に設定され、デバイスがノイズ ゲート モードを終了すると、ステータス ビットは **low** にセットされます。

信号レベルが **NG_TH_LVL[1:0]** を超えると、デバイスは低 **I_Q** モードでブロックを自動的にウェークアップし、オーディオ 入力信号の再生を開始します。ノイズ ゲートからウェークアップでは、ノイズ ゲート モードからアクティブ再生モードへの 遷移時間中に入力信号データをバッファリングすることで、信号の忠実度が維持されます。デバイスは、ノイズ ゲートから アクティブ再生への遷移中にオーディオ入力サンプルを失うことはありません。

ノイズ ゲート モードへの遷移およびノイズ ゲート モードからの復帰は、適切なシャットダウンおよびパワー アップ シーケ ンスに従うことで、クリック音やポップ ノイズが発生しないように設計されています。

表 6-9. ノイズ ゲート スレッシュホールド

NG_TH_LVL[2:0]	構成
000	-85dBFS
001	-90dBFS
010	-95dBFS
011	-100dBFS
100 (デフォルト)	-105dBFS
101	-110dBFS
110	-115dBFS
111	-120dBFS

表 6-10. ノイズ ゲート ヒステリシス タイマ

NG_HYST_TIMER[1:0]	構成
00	10ms
01 (デフォルト)	50ms
10	100ms
11	1000ms

6.3.1.4.2 音楽用効率モード

音楽用効率モード機能が有効になると、デバイスはアクティブ再生モード中の低電力信号状態を自動的に検出し、全体 の **I_Q** 消費電力を低減してバッテリー寿命を延ばします。この機能は、信号レベルがさまざまに異なる動的なオーディオ信号 の例に便利です。音楽トラック、音声通話、ムービートラックなど。

このデバイスは、**MUSIC_EFF_MODE_THR[23:0]** レジスタで設定されたプログラムされた音楽効率スレッシュホールドと比較 して、入力オーディオ信号レベルを監視します。オーディオ信号がスレッシュホールドを下回ると、内部ヒステリシス タイマがイ ネーブルになります。信号レベルが **MUSIC_EFF_MODE_TIMER[23:0]** の全期間にわたって構成済みの **MUSIC_EFF_MODE_THR[23:0]** 未満である場合、デバイスは音楽用効率モードに入ります。デバイスが音楽用効率モー ドのとき、**MUSIC_EFF_STATUS** ビットは **high** に設定され、デバイスが音楽用効率モードを終了すると、ステータス ビットは **low** に設定されます。

信号レベルが **MUSIC_EFF_MODE_THR[23:0]** を上回ると、デバイスは自動的に低 **I_Q** モードでブロックをウェークアップ し、オーディオ入力信号の再生を継続します。音楽用効率モードから通常動作への移行は、最小限の選択とポップで 行われます。デバイスが音楽用効率モードである間、オーディオ チャネルの性能は維持され、出力信号レベルやノイズ には影響しません。

MUSIC_EFF_MODE_THR[23:0] レジスタと **MUSIC_EFF_MODE_TIMER[23:0]** レジスタは、PPC3 ソフトウェア [セク ション 6.4.1](#) を使用して構成できます。

6.3.2 フォルトとステータス

パワー アップ シーケンス中、パワーオンリセット回路 (POR) は VDD ピンおよび IOVDD ピンを監視し、電源が有効になるまでデバイスをリセット状態 (すべての構成レジスタを含む) に保持します。VDD または IOVDD の電源電圧が UVLO 電圧スレッショルドを下回るディップが発生すると、デバイスはすべてのレジスタ構成とともに即座にリセットされます。

動作モード中、デバイスは内部ステータスおよびフォルト状態を監視し、IRQZ 割り込みピンおよび内部 I²C ベースの割り込みレジスタを使用して、エラーやステータス状態をホストに通知できます。IRQZ ピンでの割り込み生成は、対応する割り込みマスクレジスタビットを構成することでマスクできます。

表 6-11 には、デバイスが監視するさまざまなフォルトと割り込み、および割り込み生成の有効化/無効化や I²C 割り込みステータスの読み取りに対応する構成ビットが一覧されています

表 6-11. 障害と割り込み

カテゴリ	割り込み	割り込みマスクレジスタビット	デフォルトのマスクステータス	割り込みラッチステータスビット
リミッタおよび電圧低下保護 セクション 6.4.2.4	電圧低下検出	INT_MASK0[3]	マスクしない	INT_LTCH0[3]
	BOP がアクティブ	INT_MASK0[2]	マスクしない	INT_LTCH0[2]
	BOP 無限ホールド	INT_MASK0[7]	マスクしない	INT_LTCH0[7]
	リミッタ アクティブ	INT_MASK0[4]	マスクしない	INT_LTCH0[4]
	リミッタの減衰	INT_MASK0[6]	マスクしない	INT_LTCH0[6]
	変曲点以下に供給	INT_MASK0[5]	マスクしない	INT_LTCH0[5]
電源電圧モニタ	PVDD 過電圧	INT_MASK3[2]	マスクしない	INT_LTCH3[2]
	PVDD 低電圧	INT_MASK1[7]	マスクしない	INT_LTCH1[7]
過熱保護 セクション 6.4.4	過熱警告 135°C	INT_MASK1[4]	マスク付き	INT_LTCH1[4]
	過熱警告 125°C	INT_MASK1[3]	マスク付き	INT_LTCH1[3]
	過熱警告 115°C	INT_MASK1[2]	マスク付き	INT_LTCH1[2]
	過熱警告 105°C	INT_MASK1[1]	マスク付き	INT_LTCH1[1]
	過熱エラー	INT_MASK3[7]	マスクしない	INT_LTCH3[7]
クロック保護	ウォッチドッグの有効期限	INT_MASK2[7]	マスクしない	INT_LTCH2[7]
	フレームの同期外れ	INT_MASK2[5]	マスク付き	INT_LTCH2[5]
	内 PLL クロック エラー	INT_MASK2[4]	マスクしない	INT_LTCH2[4]
	内 TDM クロック エラー	INT_MASK2[3]	マスク付き	INT_LTCH2[3]
	電源投入前クロック エラー	INT_MASK4[2]	マスクしない	INT_LTCH4[2]
	クロック比変化誤差	INT_MASK2[2]	マスク付き	INT_LTCH2[2]
	Fs 変更誤差	INT_MASK2[1]	マスク付き	INT_LTCH2[1]
	Fs の無効なエラー	INT_MASK2[0]	マスク付き	INT_LTCH2[0]
	フレームの同期外れ	INT_MASK2[5]	マスク付き	INT_LTCH2[5]
	内部 PLL クロック エラー	INT_MASK2[4]	マスクしない	INT_LTCH2[4]
	デジタル ウォッチドッグ	INT_MASK2[7]	マスクしない	INT_LTCH2[7]
その他の保護およびステータス	Class-D 過電流誤差	INT_MASK3[3]	マスクしない	INT_LTCH3[3]
	デバイスはアクティブ	INT_MASK0[1]	マスク付き	INT_LTCH0[1]

6.3.2.1 割り込み生成およびクリア

IRQZ はオープン ドレイン出力であり、マスクされていないフォルト条件時に Low でアサートされるため、IOVDD に抵抗でプルアップする必要があります。デバイスには内部プルアップ抵抗 (18kΩ) が搭載されており、IRQZ_PU レジスタビットを設定することで評価できます。

IRQZ ピンでの割り込み生成は、**IRQZ_PIN_CFG[1:0]** レジスタを使用して構成できます。自動再試行機能を備えた割り込みの場合、**RETRY_WAIT_TIME** レジスタを使用して再試行タイマを設定できます。割り込みピンの極性は、**IRQZ_POL** レジスタ ビットを **high** にセットすることで、デフォルトのアクティブ **Low** からアクティブ **High** に変更できます。

ラッチされた割り込みは、**INT_CLR_LTCH** ビットを **high** にセットすることでクリアできます。これはセルフ クリア ビットで、割り込みがクリアされると自動的に **low** に更新されます。割り込みは、**SDZ** ピンを **Low** にプルダウンしてハードウェア シャットダウンを行うか、**SW_RESET** ビットを使用したソフトウェア リセットによってもクリアできます。

表 6-12. IRQZ ピンの構成

IRQZ_PIN_CFG[1:0]	構成
00	予約済み
01 (デフォルト)	マスクされていないラッチ割り込みで生成される割り込み
10	予約済み
11	マスクされていないラッチ割り込みが発生した場合、2 ~ 4ms の間隔で 4ms ごとに割り込みが生成されます

表 6-13. 再試行待機タイマ

RETRY_WAIT_TIME	構成
0 (デフォルト)	1.5 ごとに再試行します
1	100ms ごとに再試行します

6.4 機能説明

6.4.1 PurePath™ Console 3 ソフトウェア

TAS2020 の高度な機能とデバイス構成は、PurePath Console 3 (PPC3) ソフトウェアを使用して実行できます。ベース PPC3 ソフトウェアは、[TI の Web サイト](#) からダウンロードしてインストールできます。TAS2020 アプリケーションをインストールした後、**-in-base PPC3** ソフトウェアを使用してダウンロードできるようになります。TAS2020 PPC3 アプリケーションは、以下のセクションで説明される必要なレジスタ係数を計算するため、**I²C** モードで **PPC3** を使用することが強く推奨されます。デバイスの構成は、**PPC3** で選択されたオプションに基づくレジスタ更新によって最適化されます。これが、デバイスを最適な性能で構成するために推奨される方法です。TAS2020 PPC3 アプリケーションがデバイスの計算と更新を行った後、PPC3 の「End System Integration」(エンド システムの統合) タブを使用して、最終的なシステム統合用のファイルを生成できます。

6.4.2 再生信号パス

6.4.2.1 デジタル ボリューム制御およびアンプ出力レベル

オーディオ入力からスピーカ端子までのゲインは、アンプのアナログ ゲイン レベル (**A_{AMP}**) とデジタル ボリューム制御 (**A_{DVC}**) を設定することで制御されます。**式 1** は、アンプの出力電圧を計算します。アンプのアナログ ゲイン設定は、再生チャンネルを起動する前に設定する必要があるため、チャンネルがアクティブな間に変更すべきではありません。デジタル ボリューム制御は、チャンネルがアクティブな状態でも変更可能であり、ソフトなボリューム ランプ アップ/ダウン機能によって出力電圧をあるレベルから別のレベルへ滑らかに移行させることができます。

$$V_{AMP} = Input + A_{dvc} + A_{AMP} \text{ dBV} \quad (1)$$

ここで、

- V_{AMP}** は、アンプ出力電圧 (dBV) です
- 入力は、**0dBFS** を基準とした **dB** 単位のデジタル入力振幅です
- A_{DVC}** はデジタル ボリューム制御設定で、**6dB** から **-110dB** までを **0.5dB** 刻みで調整可能です
- A_{AMP}** はアンプ出力レベルの設定で、**-0.071dBV** から **12.471dBV** まで **0.5017dBV** 刻みです。

アンプの出力レベルの設定は dBV ($1V_{rms}$ に対する dB) 単位で表記し、フルスケールのデジタル オーディオ入力 (0dBFS)、デジタル ボリューム制御を 0dB に設定しています。これらのレベルは、アンプ内でのアナログ クリッピングにより達成できないため、これらのレベルはあくまでゲインを示す目的で使用すべきであることに注意してください。

AMP_LVL が 9dBV 未満に設定されている場合、再生チャネルは自動的に低ノイズ モードまたはレシーバ動作モードに構成されます。

デジタル ボリューム制御に変更が加えられると、デバイスは **DVC_SLEW_RATE** レジスタ ビットに基づいて音量を新しい設定値までランプ動作で移行させます。**DVC_SLEW_RATE** が 0x7FFFFFFF に設定されている場合、ボリューム ランプはディセーブルされます。これは、システム ホストがボリューム ランプを制御する場合に、起動、シャットダウン、およびデジタル ボリュームの変更を高速化するために使用できます。ボリューム ランプが無効になっている場合、クリック音やポップ ノイズを防ぐために、デバイスのシャットダウンおよび起動時には入力オーディオ データ ストリームをデジタル無音状態に保つ必要があります。

デバイスは、**DVC_LEVEL** を 0x000000 に設定することでソフトウェア ベースのミュート状態にすることができます。

デジタル電圧制御レジスタ **DVC_LEVEL** および **DVC_SLEW_RATE** レジスタは、PPC3 ソフトウェア [セクション 6.4.1](#) を使用して設定できます。

表 6-14. デジタル ボリューム制御

DVC_LEVEL[23:0]	ボリューム (dB)
0x000000	ソフトウェア ミュート
0x00000D (MIN)	-110
...	...
0x400000	0 (デフォルト)
...	...
0x7FB261 (MAX)	6

表 6-15. デジタル ボリューム ランプ レート

DVC_SLEW_RATE[23:0]	ランプ レート@ 48kHz (s)
0x00036A	1000ms
...	...
0x034A51	4ms (デフォルト)
...	...
0x7FFFFFFF	0 - ランプがディセーブル

6.4.2.2 ハイパス フィルタ

オーディオ再生信号に過度な DC と低周波数の内容が含まれていると、ラウドスピーカが損傷する可能性があります。再生パスは、この問題が発生することを防ぐハイパス フィルタ (HPF) を採用しています。HPF は 1 次フィルタであり、**AUDIO_HPF_N0**、**AUDIO_HPF_N1**、**AUDIO_HPF_D1** レジスタを使用して、48ksps fs の場合にデフォルトの 2Hz から変更できます。HPF のフィルタ周波数は FSYNC クロックの変化に応じてスケールリングされ、異なる FSYNC クロック周波数に対して所望のカットオフ周波数を得られるよう再設定することができます。HPF 係数を適切にディセーブルするように、係数を変更することもできます。これらの係数は、PPC3 ソフトウェア [セクション 6.4.1](#) を使用して計算および設定する必要があります。

6.4.2.3 Class-D アンプ

TAS2020 は、低アイドル チャネル ノイズ、低歪み、高 PSRR の高性能 Class-D アンプを内蔵しています。Class-D アンプは、SBCLK 周波数から生成されたクロック周波数でスイッチングし、常に入力クロック ソースに同期します。**SAMP_RATE_CFG** レジスタを使うと、44.1kHz の倍数と 48kHz の倍数の差に基づいて入力クロック ソースを選択できます。

表 6-16. サンプル レート構成

SAMP_RATE_CFG	構成
0 (デフォルト)	オーディオ データレートは 48ksps の整数倍または約数です
1	オーディオ データレートは 44.1ksps の整数倍または約数です

EMI 特性を改善するために、Class-D アンプはプログラマブルなエッジ レート制御 (ERC) と Class-D クロック スプレッド スペクトラム変調 (SSM) をサポートしています。

Class-D のエッジ レートは、**CLASSD_OUTPUT_EDGERATE_CTRL[1:0]** レジスタを使用して制御できます。デフォルトでは、Class-D 出力のエッジ レートは最速設定に構成され、システムの高効率化を可能にしています。Class-D 出力のエッジ レートは、他の構成設定を使用して遅くすることができ、高周波数での EMI エネルギーを低減できますが、効率は低下します。出力エッジ レートの正確な変化速度は出力負荷条件によって異なり、以下の表に示す値はデフォルトの負荷条件におけるおおよそのエッジ レートレベルです。

表 6-17. Class-D 出力エッジ レート制御

CLASSD_OUTPUT_EDGERATE_CTRL[1:0]	構成
00	Class-D 出力エッジ レート: 0.5V/ns
01	Class-D 出力エッジ レート: 1.0V/ns
10	予約済み
11 (デフォルト)	Class-D 出力エッジ レート: 2V/ns

この Class-D アンプは、PVDD ハイサイド グランド パワー FET を含めて、各出力パワー FET に過電流保護機能を備えています。

Class-D アンプの出力インピーダンスは、**CLASSD_HIZ_MODE** 制御レジスタを使用してノイズ ゲート モード中に出力がスイッチングを停止するときに制御できます。

表 6-18. Class-D high-Z モード制御

CLASSD_HIZ_MODE	構成
0 (デフォルト)	2.5kΩ で出力をプルダウン
1	13kΩ を超える電圧で出力をプルダウン

6.4.2.4 ブラウンアウト防止機能付き電源トラッキング リミッタ

TAS2020 は、オーディオ信号とともに Class-D 電源電圧を監視し、オーディオ信号のピークがプログラム可能なスレッシュホルドを超えたときに、自動的にゲインを下げます。これにより、クリッピングを防止して、充電終了時のバッテリー条件で再生時間を延ばすことができます。リミッタ電圧低下とモジュールは、信号レベル、チャンネル ゲイン、選択した電源電圧の状態に基づいて、必要な信号減衰を計算します。

電圧低下防止 (BOP) モジュールは、バッテリー電源の一時的な電圧低下に対して迅速に応答できるよう、優先入力を提供します。BOP 機能をイネーブルにするには、**BOP_EN** レジスタ ビットを High にセットします。レジスタ **BOP_THR_LVL[23:0]** を設定することで構成された電圧低下スレッシュホルドを選択した電源が低下すると、BOP はゲインの低下を開始します。ゲイン低減率 (db/サンプル) は、**BOP_ATK_RATE[23:0]** レジスタの設定によって構成できます。電源電圧が電圧低下スレッシュホルドを上回ると、BOP はプログラムされたホールド タイマ **BOP_HLD_COUNT[23:0]** の経過後にゲインのリリースを開始します。BOP 機能では、**LIM_RLS_RATE[23:0]** レジスタ設定を使用して、電圧低下イベント後にリリースします。リリース レートとは、ゲインが増加する速度を表し、db/ サンプル比で示されます。BOP イベント中、リミッタの更新は一時停止されます。これは、BOP イベント中にリミッタが解放されないようにするためです。

レジスタビット **BOP_INF_HLD** を High に設定することで、BOP イベントが検出されたときにゲイン減衰を保持するようにデバイスを構成できます。ビットが high にプログラムされている場合、リミッタと BOP モジュールはゲイン減衰を解放せず、レジスタビット **BOP_HLD_CLR** を high に設定することにより無限ホールドがクリアされるまで、デバイスをプログラムされた最小ゲイン減衰レベルに保持します。ホールド クリア ビットはセルフ クリアされ、ホールドがクリアされると、自動的に low 状態にリセットされます。

ハード電圧低下レベルを設定することで、BOP のゲイン減衰によってバッテリー電圧低下を抑制できない場合に、デバイスをシャットダウンさせることができます。デバイスの電圧低下によるシャットダウンは、**BOPSD_EN** ビットが high に設定されると有効になり、バッテリー電圧が **BOSD_THR_LVL[23:0]** レジスタ ビットで設定された電圧スレッショルドを下回るとシャットダウンします。

リミッタおよび電圧低下防止機能によって適用される最大減衰レベルは、**LIM_MAX_ATN** レジスタで設定可能です。この減衰制限は、特長間で共有されます。例えば、最大減衰量が 6dB に設定されており、リミッタによって 4dB のゲイン低下が行われた場合、電圧低下防止機能はさらに 2dB だけゲインを下げるすることができます。リミッタあるいは電圧低下防止機能がアタック動作中に最大減衰値へ到達すると、それ以上のゲイン低減は行われません。

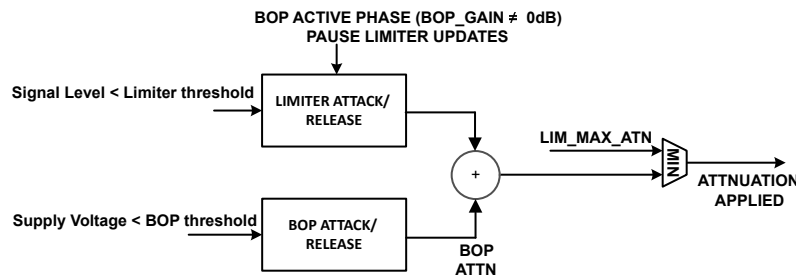


図 6-2. リミッタと電圧低下ゲインの減衰

6.4.2.4.1 電圧リミッタおよびクリッピング保護

リミッタは、固定信号スレッショルド レベルに基づいて出力信号を低減するように構成するか、選択した電源電圧を追跡する動的スレッショルドに基づく信号を減衰するように構成できます。レジスタビット **SUPPLY_HEADROOM_LIM_MODE** は、動的な電源トラッキングを可能にし、システムで電源電圧が変化したときのクリッピング歪みを制限するために使用できます。

表 6-19. リミッタの動的電源ヘッドルーム トラッキング モード

SUPPLY_HEADROOM_LIM_MODE	構成
0 (デフォルト)	無効
1	イネーブル。リミッタのスレッショルドは、監視対象の電源電圧の固定パーセンテージに基づいて動的に変更されます。

SUPPLY_HEADROOM_LIM_MODE が high に設定されると、リミッタは監視対象の電源電圧に対する固定のパーセンテージとしてスレッショルドを設定します。リミッタは、出力信号レベルが設定されたスレッショルドを超えると、ゲインの低減を開始します。例えば、電圧リミットを電源電圧より 10% 低く設定する場合、**LIM_SLOPE[23:0]** を 0.9 に設定し、スレッショルドは監視されている電源電圧に 1.1 を掛けて算出します。同様に、**LIM_SLOPE[23:0]** を 1.0 より大きく設定すると、リミッタのスレッショルドは電源電圧より高く設定され、制御されたわずかなクリッピングが発生します。

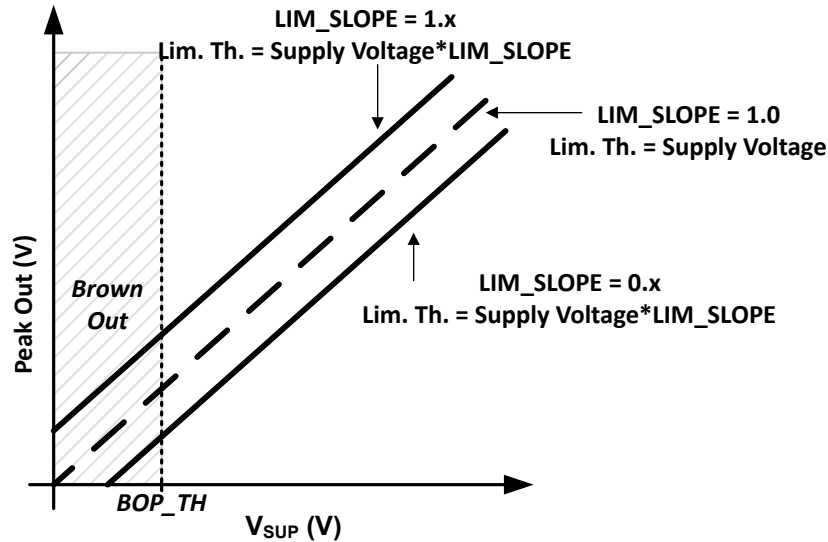


図 6-3. ダイナミック電源ヘッドルームを持つリミッタ

`SUPPLY_HEADROOM_LIM_MODE` が low に設定されている場合、リミッタは出力信号レベルがリミッタのスレッシュホルドを超えるとゲインの低減を開始します。リミッタは、プログラム可能な変曲点より下で選択された電源を追従し、最小スレッシュホルド値を持つように構成できます。図 6-4 は、選択された電源レベルに関係なく一定レベルに制限するよう構成されたリミッタを示しています。この動作を実現するには、リミッタの最大スレッシュホルドを `LIM_TH_MAX[23:0]` で目標レベルに設定します。`LIM_INF_PT[23:0]` を使用して、リミッタの変曲点を許容される最小電源設定より低く設定します。リミッタ最小スレッシュホルドレジスタ `LIM_TH_MIN[23:0]` は、この使用ケースにおいてリミッタの動作に影響を与えません。

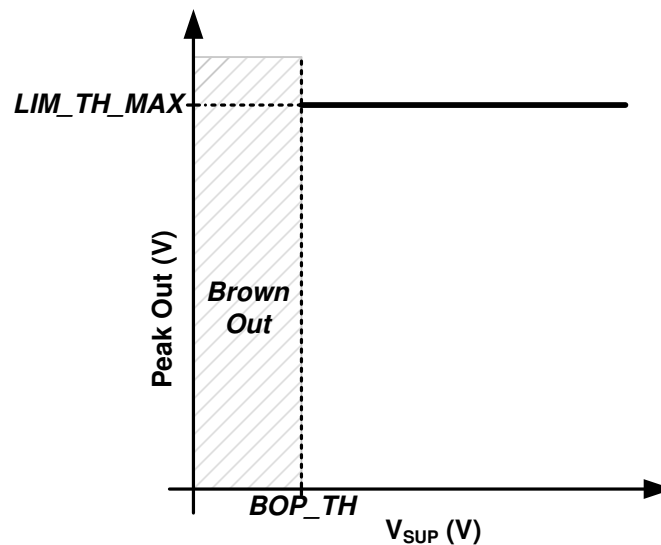


図 6-4. 固定スレッシュホルドのリミッタ

図 6-5 は、最小スレッシュホルドなしでスレッシュホルド以下の選択された電源をリミッタが追従するように構成する方法を示しています。`LIM_TH_MAX[23:0]` レジスタを希望するスレッシュホルドに設定し、`LIM_INF_PT[23:0]` レジスタを、選択された電源に応じてリミッタがスレッシュホルドを低減し始める変曲点に設定します。`LIM_SLOPE[23:0]` レジスタビットを使用すると、電源電圧をトラッキングするリミッタのスロープを V/V 単位で変更できます。例えば、スロープ値を $1V/V$ にすると、電源電圧が $1V$ 低下するごとにリミッタのスレッシュホルドが $1V$ 低下します。選択された電源を追従するときにリミッタが最小スレッシュホルド低減を持たないようにするために、`LIM_TH_MIN[23:0]` を選択された電源の最小値より低く設定します。

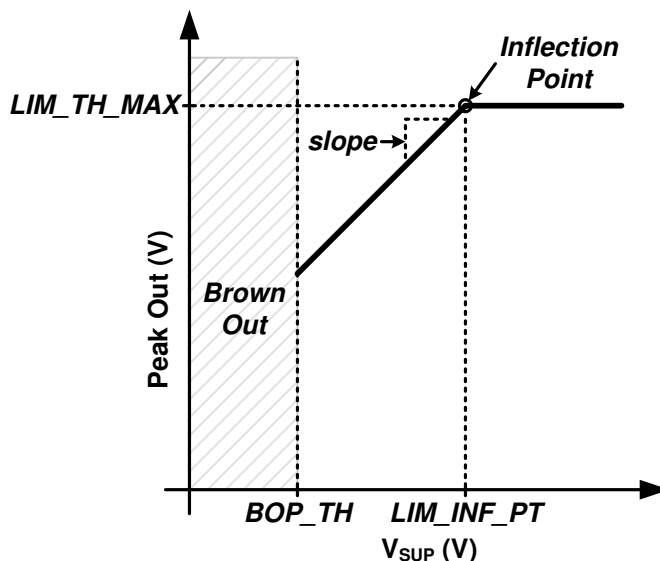


図 6-5. 変曲点を持つリミッタ

スレッシュホールド以下で選択された電源を追従するリミッタを実現するには、前の例で説明した方法でリミッタを構成し、`LIM_TH_MIN[23:0]` レジスタを希望する最小スレッシュホールドに設定します。これを、以下の図 6-6 に示します。

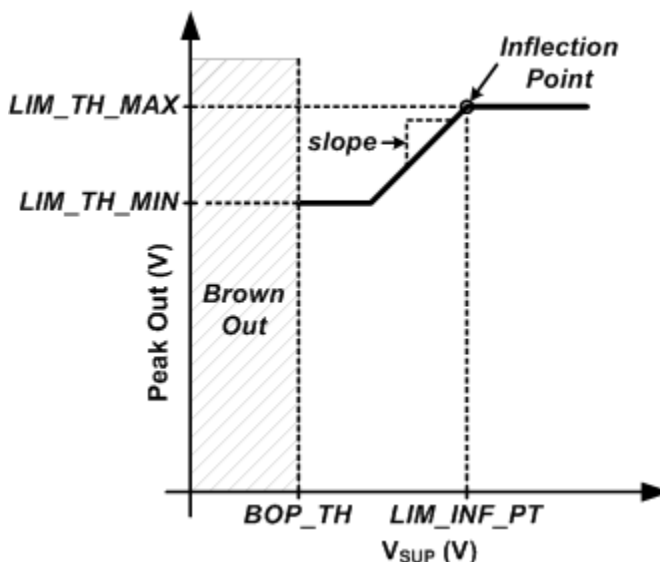


図 6-6. 変曲点と最小スレッシュホールドを持つリミッタ

リミッタには構成可能なアタックレート (dB/Sample)、ホールド時間 (サンプル数)、リリースレート (db/サンプル) があり、これらは `LIM_ATK_RATE[23:0]`、`LIM_HLD_COUNT[23:0]`、`LIM_RLS_RATE[23:0]` のレジスタビットで設定できます。

6.4.2.5 トーン ジェネレータ

TAS2020 は、内蔵トーン ジェネレータを使用して、内部で正弦トーンを生成できます。この機能は、レジスタ ビット `INTERNAL_TONE_GEN_ENZ` を low に設定することで有効化できます。`INTERNAL_TONE_PLAYBACK_EN` ビットを high に設定すると、トーン信号の再生を開始します。high に設定すると、デバイスは設定された `TONE_GEN_CNTRL_xx` レジスタに基づいて正弦トーンの生成を開始します。トーン ジェネレータは、16Hz から最大 $0.45 \times F_s$ までの任意の周波数を生成できます。ここで F_s は、入力デジタル クロックのサンプリング レートです。トーン信

号の振幅は、**TONE_GEN_CNTRL_xx** レジスタを使用して制御することもできます。PPC3 ソフトウェアを使用して、トーンの周波数と振幅をプログラムすることをお勧めします。

内部で生成されるトーンは、受信オーディオ ストリームと混合することも、入力オーディオ ストリームを置き換えることもできますが、**INTERNAL_TONE_MIXING_EN** レジスタで生成されるトーン信号のみが生成されます。

表 6-20. 内部トーン ジェネレータの混合オプション

INTERNAL_TONE_MIXING_EN	構成
0	内部トーンのみが生成されます。
1 (デフォルト)	内部で生成されるトーンは、入力オーディオ データと混合されて、一緒に再生されます。

トーン ジェネレータは、BCLK などの外部クロック ソースを使用することも、**INTERNAL_TONE_CLK_SEL** レジスタを使用して、外部クロック ソースなしでもトーン信号を生成するために内部発振器を使用して生成することもできます。

表 6-21. 内部トーン クロック ソースの選択

INTERNAL_TONE_CLK_SEL	構成
0 (デフォルト)	トーン ジェネレータは外部クロックを使用します
1	トーン ジェネレータは、内部発振器を使用します

6.4.3 デジタル オーディオ シリアル インターフェイス

このデバイスは柔軟なオーディオ シリアル インターフェース (ASI) ポートを提供します。このポートは、ステレオ I²S、左揃え、TDM などさまざまなフォーマットに対応するように構成できます。モノラル オーディオ再生は、SDIN ピンから行うことが可能です。SDOUT ピンは、PVDD 電圧、ダイ温度、ステータス、およびエコー リファレンス用のオーディオを含むサンプル ストリームを送信するために使用されます。

TDM シリアル オーディオ ポートは、44.1/48kHz では最大 16 個の 32 ビット タイム スロット、88.2/96kHz では 8 個の 32 ビット タイム スロット、176.4/192kHz では 4 個の 32 ビット タイム スロットをサポートします。デバイスは、幅 32 ビットのタイム スロットを 2 個、または幅 16、24、32 ビットのタイム スロットを 4 個または 8 個サポートします。デバイスはタイム スロット数を自動検出できるため、プログラムする必要はありません。TDM バス上で検出された PCM データのサンプリング レートおよび SBCLK と FSYNC の比率は、それぞれ読み取り専用レジスタ ビット **FS_RATE_DETECTED[2:0]** および **FS_RATIO_DETECTED[3:0]** に報告されます。

表 6-22. PCM データ サンプル レートが検出されました

FS_RATE_DETECTED[2:0] (読み出し専用)	設定
000	予約済み
001	14.7kHz/16kHz
010	22.05kHz/24kHz
011	29.4kHz/32kHz
100 (デフォルト)	44.1kHz/48kHz
101	88.2kHz/96kHz
110	176.4kHz/192kHz
111	エラー状態

フレームは FSYNC が High から Low、または Low から High へのいずれかの遷移で開始します (FRAME_START レジスタ ビットで設定)。FSYNC および SDIN は、SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用してサンプリングされます (RX_EDGE レジスタ ビットで設定)。RX_OFFSET[4:0] レジスタ ビットでは、FSYNC の遷移からタイ

ム スロット 0 の開始までの SBCLK のサイクル数を定義します。この値は通常、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 に設定されます。

RX_SLEN[1:0] レジスタ ビットは、RX タイム スロットの長さを 16、24、32 (デフォルト) ビットに設定します。タイム スロット内のオーディオ サンプルのワード長は、**RX_WLEN[1:0]** レジスタ ビットで設定します。デフォルトでは、RX ポートはタイム スロット内のオーディオ サンプルを左揃えにしますが、**RX_JUSTIFY** レジスタ ビットで右揃えに変更することも可能です。このデバイスは、モノラルとステレオのダウンミックス再生 $([L+R]/2)$ に対応しています。デフォルトでは、デバイスは I²C ベース アドレスのオフセット (AD1 ピンと AD2 ピンで設定) と同じタイム スロットからモノラル再生を行います。**RX_SCFG[1:0]** レジスタ ビットを使用すると、**RX_SLOT_R[3:0]** レジスタ ビットと **RX_SLOT_L[3:0]** レジスタ ビットの設定により、再生ソースを左側のタイム スロット、右側のタイム スロット、またはステレオ ダウンミックスにオーバーライドすることができます。

タイム スロットがフレーム境界を超えたときに部分的に受信するか、すべて受信するかのいずれかを選択した場合、レシーバはデジタル的にミュートされたサンプルと同等のヌル サンプルを返します。

TDM ポートは、SDOUT ピンを通じて複数のサンプル ストリームを送信することができ、これには スピーカ電圧センス、スピーカ電流センス、割り込みおよびステータス、PVDD 電圧、ダイ温度が含まれます。

SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用して、SDOUT ピンでデータを送信することができます。この機能は、**TX_EDGE** レジスタ ビットをセットして構成できます。**TX_OFFSET[2:0]** レジスタ ビットは、フレーム開始時からタイム スロット 0 の開始時までの SBCLK のサイクル数を定義します。この値は、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 にプログラムされます。TDM TX は、**TX_FILL** レジスタ ビットの設定に応じて、ロジック 0 かハイ インピーダンスのいずれかを送信できます。オプションのバス キーパーは、すべてのデバイスがハイ インピーダンスで駆動している場合、SDOUT ピンの状態を弱く保持します。SDOUT で必要なバス キーパーは 1 つだけのため、この機能は **TX_KEEPCY** レジスタ ビットでディセーブルにできます。バス キーパーは、**TX_KEEPEN** レジスタ ビットを使用して、1LSB のみバスを保持するか、常時 (永続的に) バスを保持するかを構成することができます。さらに、**TX_KEEPCY** レジスタ ビットを使用して、キーパーの LSB を 1 フル サイクルの間駆動するか、ハーフ サイクルだけ駆動することも設定できます。

このデバイスは、PVDD の監視および TDM 送信にも対応しています。PVDD スロットの有効化および長さの設定には、**PVDD_SLOT[5:0]**、**PVDD_TX**、および **PVDD_SLEN** のレジスタ ビットを使用できます。ダイ温度は、同じ方法でデバイスから送信することもできます。ダイ温度のイネーブルとスロット設定は、**TEMP_TX** および **TEMP_SLOT[5:0]** レジスタ ビットを使用して行います。

スロットのステータス情報は **STATUS_SLOT[5:0]** レジスタ ビットで確認できます。**STATUS_TX** レジスタ ビットを High にセットすると、ステータス送信はイネーブルになります。ステータス スロットの長さは常に 8 ビットであり、ステータス送信がイネーブルのときに送信されるステータス ビット情報を以下の表に要約します。タイム スロットがフレーム境界を超えて送信されるように選択した場合、トランスミッタはフレーム境界で送信を切り捨てます。

6.4.3.1 デジタル ループバック

このデバイスはループバック機能をサポートしており、SDIN データを 2 つのレベルで SDOUT にループさせることができます。この機能を **TDM_LOOPBACK** レジスタ ビットによってイネーブルにした場合、デバイス内で ASI データ デコードを行わずに、ループバックが IO ピン レベルで実行されます。その他のオプションとして、**TDM_DESER_LOOPBACK** レジスタ ビットによってループバック機能をイネーブルにすることができます。この場合、SDIN データはまずデバイス内で ASI プロトコルデコードを経由してから、SDOUT を介して送り返されます。これらの SDIN から SDOUT へのループバック オプションは、オーディオ システムのボード レベル デバッグに有用です。

デバイスは、リミッタや BOP など内部信号処理ブロックの後段で、エコー リファレンス用のデジタル オーディオ データを SDOUT 信号経由でループバックすることもできます。これにより、オーディオ システムは、デバイスに接続されたホスト プロセッサで、ノイズおよびエコー キャンセル アルゴリズムを実行できます。エコー リファレンスは、**AUDIO_TX** レジスタ ビットの構成でイネーブルできます。スロットの長さタイム スロットは、**AUDIO_SLEN** および **AUDIO_SLOT[5:0]** レジスタ ビットを使用して選択できます。

6.4.4 過熱保護

TAS2020 は、デバイス接合部温度モニタを内蔵しており、過熱からデバイスを保護します。内部温度が過熱スレッシュホールドを超えると、デバイスは自動的にシャットダウンし、対応する割り込みレジスタに過熱フラグを設定します。**OTE_RETRY** ビットが **high** にセットされていると、デバイスは自動的にパワーアップを再試行できます。**high** に設定すると、デバイスは **RETRY_WAIT_TIME** 設定 (デフォルトで 1.5 秒) のたびに再電源投入を試みます

過熱保護に加えて、デバイスには過熱警告スレッシュホールドがあり、接合部温度がシャットダウンに近づいた際にシステムが割り込みやフラグを発生させることができます。内部温度が 105°C、115°C、125°C、135°C では、4 つの過熱警告フラグが使用できます。各過熱警告フラグは個別に設定することにより、**IRQZ** パッドへの割り込み生成を制御できます。過熱警告フラグの最小温度およびステップ サイズは、**THERMAL_WARN_MIN_TEMP[23:0]** レジスタと **THERMAL_WARN_TEMP_STEP[23:0]** レジスタを使用してプログラムできます

リアルタイムの内部接合部温度を監視する方法はレジスタ **TMP_CNV** に保存され、**i2c** コマンドを使用して読み取ることができます。

6.4.5 クロックおよびPLL

TDM/I²S モードでは、デバイスは **SBCLK** で動作します。以下の 表 6-23 には、各サンプルレートおよび **SBCLK** と **FSYNC** の比に対する有効な **SBCLK** 周波数が示されています。44.1kHz ベースのクロッキングの場合でも、48ksps と 44.1ksps 間の対応する比率変更を適用することで、同じ表を使用できます。

192kHz のサンプリング レートはサポートされていますが、データは内部的に 96kHz にダウンサンプリングされます。したがって、エイリアシングを防ぐために 40kHz を超える音声信号を入力しないようにします。さらに、**BOP** やリミッターなどのすべての処理ブロックも影響を受け、192kHz のオーディオを受け取る際に 96kHz のサンプリング レートを使用する必要があります。

サンプル レートが **SAMPLE_RATE_CFG** ビット経由で適切に設定されている場合、**SBCLK** と **FSYNC** の比率が有効である限り、追加の設定は不要です。デバイスは、入力された **PCM FSYNC** および **BCLK** の周波数を自動的に検出し、オーディオ信号の再生用に自動設定します。検出されたクロック レートは、読み出し専用レジスタ **FS_RATIO_DETECTED** および **FS_RATE_DETECTED** を使用して読み出すことができます。デバイスは不適切な **SBCLK** 周波数や **SBCLK** 対 **FSYNC** 比を検出し、ボリュームは再生パスを低下させて、可聴アーティファクトを最小限に抑えます。

表 6-23. サポートされる **SBCLK** 周波数 (MHz) (48kHz ベースのサンプル レート)

サンプル レート (kHz)	SBCLK 対 FSYNC 比													
	16	24	32	48	64	96	128	192	256	384	512	125	250	500
16kHz	該当なし	0.384	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	2	4	8
24kHz	0.384	0.576	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	3	6	12
32kHz	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	12.288	16.384	4	8	16
48kHz	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	6	12	24
96kHz	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	該当なし	該当なし	12	24	該当なし
192kHz	3.072	4.608	6.144	9.216	12.288	18.432	24.576	該当なし	該当なし	該当なし	該当なし	24	該当なし	該当なし

6.4.5.1 自動クロックに基づくウェークアップおよびクロック エラー

TAS2020 は、**ASI** クロック自動検出機能を使用して、アクティブからシャットダウン、またその逆への柔軟な動作モード遷移をサポートします。**MODE[1:0]** が「11」に設定されている場合、デバイスは **ASI** 入力ピン (**BCLK** および **FSYNC**) に入力される有効な **ASI** クロック信号に基づいて、アクティブ状態とソフトウェア シャットダウン状態の間を切り替えます。このモードで **ASI** クロックが検出されない場合、デバイスはソフトウェア シャットダウン状態にとどまり、**VDD** ピンはソフトウェア シャットダウン モード **I_Q** で、有効な **BCLK** および **FSYNC** クロックが検出されるまで保持されます。有効なクロックが検出

されると、デバイスはアクティブ状態で起動し、クロックが有効である限りその状態を維持します。ソフトウェアまたはハードウェアのシャットダウン コマンドが使用されると、デバイスはシャットダウンされます。

本デバイスは、**CLK_ERR_PWR_EN** のステータスに基づいて誤ったクロック構成を検出したときに、割り込みフラグを検出および上昇させることができます。このビットを **High** に設定すると、デバイスはクロック ピンの動作を監視し、エラーが発生した場合はラッチ割り込みステータス レジスタにフラグを立てます。デバイスは、対応する割り込み **MASK** レジスタのステータスに基づいて、**IRQZ** ピンを使用して割り込みを発生させることもできます。エラー保護ビットがイネーブルのとき、クロック エラーが検出された場合、デバイスは適切なシャットダウン シーケンスによって自動的にシャットダウンし、無効なクロックによるクリック音やポップ音を最小限に抑えます。

デバイスがシャットダウン状態のとき、クロック エラー検出は遅延可能で、システムは入力クロックを安定させるのに必要な時間を確保できます。クロック エラー検出でのこのパワーアップ遅延は、**CLK_HALT_TIMER** によって構成された内部パワーアップ クロック エラー検出タイマを使用して制御されます。デバイスが **CLK_HALT_TIMER** の満了時に有効なクロックを検出しない場合、パワーアップ前クロック エラーが **INT_LTCH4[2]** ビットにフラグされ、**INT_MASK4[2]** ビットのステータスに基づいて **IRQZ** ピンに対応する割り込みが生成できます。**MODE[1:0]** が **11** (ASI モードでのウェークアップ) に構成されている場合、「000」の **CLK_HALT_TIMER** は推奨されません。この設定では、**MODE[1:0]** によりデバイスがソフトウェア シャットダウンに移行しなくなり、デバイスがシャットダウンしている間に **VDD I_Q** が増加します。

デバイスの電源が投入されると、**CLK_ERR_PWR_EN** ビットのステータスに基づいて、外部および内部で生成されるクロックが継続的に監視されます。有効化されている場合、外部または内部クロックのエラーが発生すると、クロック エラー ステータス レジスタ **INT_LTCH2[3]** ビットによってフラグが設定され、**INT_MASK2[3]** のステータスに基づいて **IRQZ** ピンに対応する割り込みが生成できます。

システムの柔軟性を高めるため、デバイスは検出されたクロック エラーのタイプにエラー ステータスも設定します。デバイスは、汎用クロック エラー割り込み生成を使用する代わりに、特定のタイプのクロック エラーに対して **IRQZ** ピンで割り込みを発生させるように構成することもできます。以下の [表 6-26](#) は、さまざまな種類のクロック エラーと、それに対応するステータス ビットおよび割り込み **MASK** レジスタ ビットを説明しています。検出されたクロック エラーのタイプに基づいて、以下の表に示す 1 つ以上のレジスタ ビットを設定できます。

いずれかの種類のクロック エラーが原因でデバイスがシャットダウンした場合、**MODE[1:0]** が「11」に設定されているときに、デバイスは自動的に電源の再投入を試みることができます。

表 6-24. クロック エラー検出制御

CLK_ERR_PWR_EN	設定
0	無効
1	イネーブル (デフォルト)

表 6-25. クロック停止タイマ

CLK_HALT_TIMER[2:0]	設定
000	ディセーブル (無限時間)。
001	0.8ms (デフォルト)
010	3.2ms
011	34.1ms
100	68.3ms
101	256ms
110	768ms
111	1.3s

表 6-26. クロック エラー タイプの説明

クロック エラーのタイプ	説明	ステータス フラグ レジスタ ビット	IRQZ 生成マスク ビット
クロック エラー	内部または外部クロック構成エラーのクロック エラー。このビットは、以下の表に示す特定のクロック エラーが検出された場合に設定されます。ただし、電源投入前のクロック エラーは除きます。	INT_LTCH2[3]	INT_MASK2[3]
電源投入前クロック エラー	CLK_HALT_TIMER の終了時にクロック エラーが検出された後、シャットダウン モード中にクロック エラーが検出されました。	INT_LTCH4[2]	INT_MASK4[2]
クロック比変化誤差	FSYNC と SBCLK の比率が予期せぬ変更によるクロック エラーが検出されました。	INT_LTCH2[2]	INT_MASK2[2]
Fs 変更誤差	FSYNC クロック周波数が予期せぬ変更によるクロック エラーが検出されました。	INT_LTCH2[1]	INT_MASK2[1]
Fs の無効なエラー	FSYNC クロック周波数が不適切なためにクロック エラーを検出しました。	INT_LTCH2[0]	INT_MASK2[0]
フレームの同期外れ	フレームの同期外れに起因してクロック エラーを検出	INT_LTCH2[5]	INT_MASK2[5]
内部 PLL クロック エラー	内部で生成されるクロック周波数エラーが原因でクロック エラーを検出しました。	INT_LTCH2[4]	INT_MASK2[4]

デバイスにはデジタル ウォッチドッグ タイマも搭載されており、内部デジタル ステート マシンのエラーを監視し、エラーを検出するとデバイスをシャットダウンします。このエラーにより、IRQZ ピンで割り込みが発生し、ホスト デバイスへのエラー状態フラグが発生することもあります。

6.4.6 デジタル IO ピン

TAS2020 は、IOVDD ピンに印加される電圧に基づいて、1.8V および 3.3V の IO 電圧電源をサポートしています。

I2S デジタル入力ピンには、ピンの浮遊を防ぐためのオプションの弱プルダウンが備わっています。HW シャットダウン中は、プルダウンは有効になりません。プルダウンはデフォルトで無効になっており、対応するプルダウン有効ビットを high に設定することで有効にできます。

表 6-27. デジタル ピンの弱いプルダウン

ピン名	制御レジスタ名をプルダウン
SDOUT	SDOUT_PD_EN
SDIN	SDIN_PD_EN
FSYNC	FSYNC_PD_EN
SBCLK	SBCLK_PD_EN

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラミング係数が含まれています。これらのレジスタは デバイス制御レジスタ と呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべての重要なデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時 (およびソフトウェア リセット後) のデフォルトのページ設定です。すべてのプログラマブル係数レジスタは、ページ 2、ページ 3 以降に配置されています。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 I²C 制御インターフェイス

このデバイスは、ターゲット デバイスとして I²C 制御プロトコルをサポートし、標準モード、高速モード、高速モードプラスで動作可能です。デバイスの構成とステータスは、I²C プロトコルを使用して SDA および SCL ピン経由で提供されます。

6.5.2 I²C アドレスの選択

TAS2020 は、選択可能な 4 つのデバイス アドレスのいずれかを使用して動作することができます。I²C ターゲット アドレスは、7MSB とそれに続く読み出し/書き込みビットとして定義されます。以下の 表 6-28 は、デバイスの I²C アドレスの選択方法を示しており、アドレスは R/W ビットが 0 (すなわち、ADDR[6:0]、1b'0) に設定されたものに対応しています。I²C アドレスは、SDZ ピンがリリースされたとき、またはソフトウェア リセット ビットによってデバイスがリセットされたときに、アドレスピンをサンプリングすることで検出されます。

表 6-28. I²C モード アドレスの選択

I ² C ターゲット アドレス	ADDR ピン
0x80 (グローバル アドレス)	該当なし
0x90	GND への短絡
0x92	GND ~ 24k
0x94	24k から IOVDD
0x96	IOVDD に接続

TAS2020 には、グローバルの 7 ビット I²C アドレス 0x40 (8 ビット形式で 0x80、R/W ビットは 0 に設定) があります。イネーブルにすると、アドレス ピンの選択に関係なく、デバイスはこのアドレスで I²C コマンドに追加応答します。これにより、複数の TAS2020 デバイスを使用して、すべてのデバイスで同様の設定をプログラムする場合に、デバイス構成を迅速化することができます。複数のデバイスが I²C コマンドに応答しているため、マルチデバイスの書き込み中は I²C の ACK/NACK を使用することはできません。I²C の CRC 機能を使用して、各デバイスが I²C コマンドを正しく受信したかを確認する必要があります。グローバル アドレスを使用して複数のデバイスへの書き込みが完了すると、ローカル アドレスを使用して各デバイスの I2C_CKSUM レジスタの CRC をチェックし、適切な値が書き込まれたことを確認する必要があります。グローバル I²C アドレスをディセーブルにするには、I2C_GBL_EN レジスタビットを使用します。

表 6-29. I²C グローバル アドレスのイネーブル

I2C_GBL_EN	設定
0	無効
1	イネーブル (デフォルト)

6.5.3 一般的な I²C の動作

I²C バスは、SDA (データ) と SCL (クロック) の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビット バイトは、MSB (最上位ビット) から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態データ ピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラ デバイスは、スタート コンディションを発行した後、7 ビットのターゲット アドレスとリード / ライト (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクノリッジ (ACK) コンディションを待機します。ターゲット デバイスは、アクノリッジ クロック期間中に SDA を低レベルに保持することで、アクノリッジを示します。これにより、コントローラ デバイスは順に次のバイトを送信します。各ターゲット デバイスは、一意の 7 ビットのターゲット アドレスに R/W ビットを加えた (1 バイトの) アドレスによって指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

スタートコンディションとストップコンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラデバイスはバスを解放するためにストップコンディションを生成します。一般的なデータ転送シーケンスを、図 6-7 に示します。

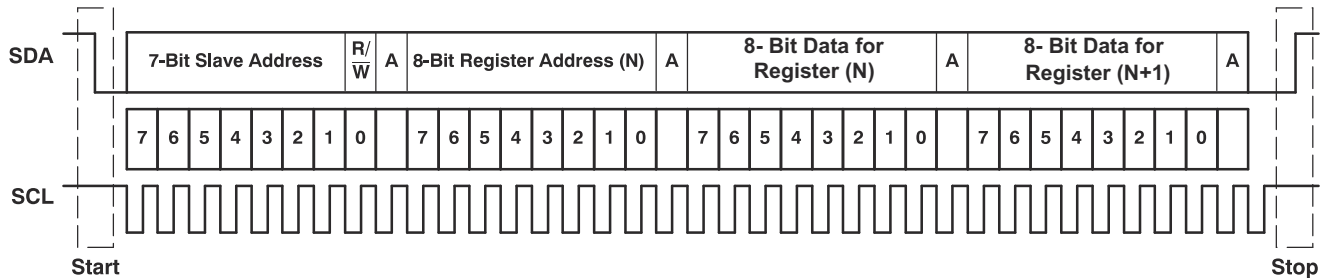


図 6-7. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.4 I²C のシングルバイトおよびマルチバイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングルバイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチバイトの読み取り動作中は、コントローラがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつかのレジスタを書き込むかが決定されます。

6.5.5 I²C のシングルバイト書き込み

図 6-8 にあるように、シングルバイトのデータ書き込み転送では、最初にマスターデバイスが開始条件を送信し、次に I²C デバイスアドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のターゲットアドレスと読み取り / 書き込みビットを受信すると、アクノリッジビット (ACK) を返信します。次に、コントローラデバイスは、アクセスされているデバイス内部レジスタアドレスに対応するレジスタバイトを送信します。デバイスは、レジスタバイトを受信すると、再度アクノリッジビット (ACK) を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲットデバイスはアクノリッジビット (ACK) で応答します。最後に、コントローラデバイスが停止条件を送信すると、シングルバイトデータの書き込み転送が完了します。

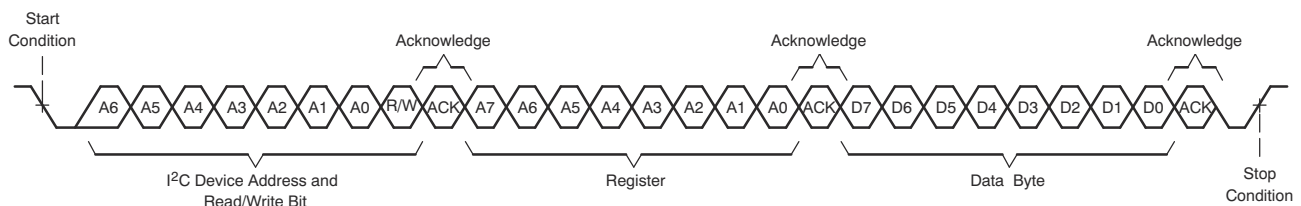


図 6-8. I²C のシングルバイト書き込み転送

6.5.6 I²C のマルチ バイト書き込み

図 6-9 で示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイスに複数のデータ バイトが送信されることを除いて、シングルバイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアックリッジ ビット (ACK) で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

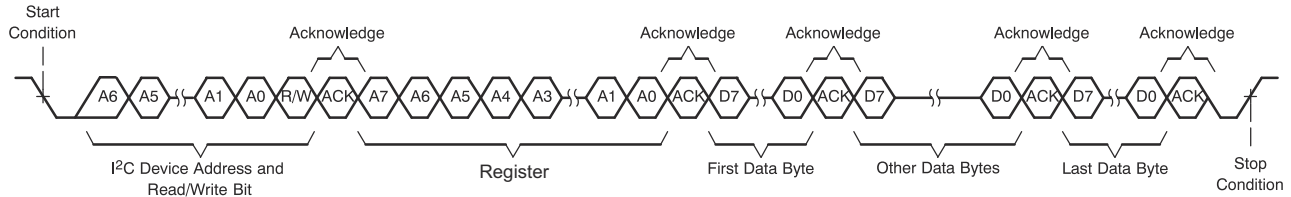


図 6-9. I²C のマルチ バイト書き込み転送

6.5.7 I²C のシングル バイト読み出し

図 6-10 で示されているように、シングルバイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I²C のターゲット アドレスと読み取り / 書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアックリッジ ビット (ACK) で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアックリッジ ビット (ACK) を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答 (NACK) に続いてストップ条件を送信します。

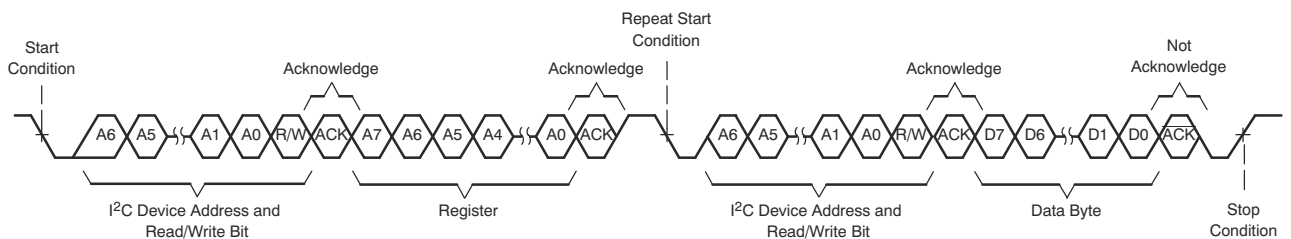


図 6-10. I²C のシングル バイト読み出し転送

6.5.8 I²C のマルチ バイト読み出し

図 6-11 で示されているように、複数バイトのデータ読み取り転送は、単一バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアックリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答 (NACK) を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

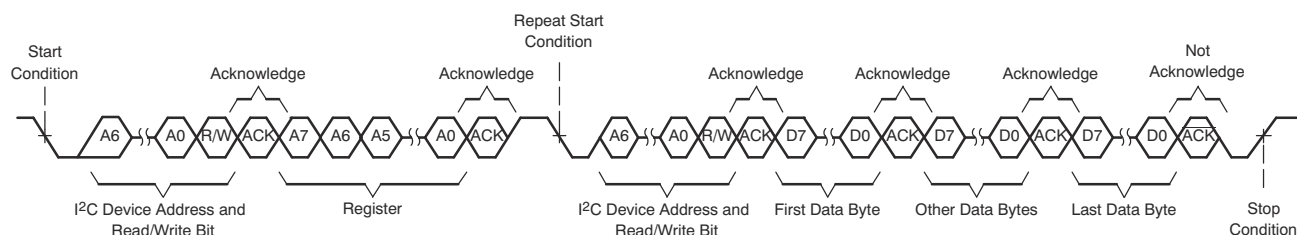


図 6-11. I²C のマルチ バイト読み出し転送

7 レジスタ マップ

TAS2020 デバイスのレジスタは、ページとブックに編成されています。ページ 0 からページ 8 のレジスタはすべてブック 0 にあり、ページ 9 のレジスタはブック 100 にあります。レジスタ マップのブック番号は **BOOK[7:0]** レジスタ ビットを設定することで変更でき、ページ番号は **PAGE[7:0]** レジスタ ビットを設定することで変更できます。

7.1 ページ 0 レジスタ

表 7-1 に、PAGE 0 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. ページ 0 レジスタ

アドレス	略称	説明	セクション
0h	ページ	デバイスのページ	セクション 7.1.1
1h	SW_RESET	ソフトウェア リセット	セクション 7.1.2
2h	PWR_CTL	電力制御	セクション 7.1.3
3h	DEVICE_CFG_01	デバイス構成レジスタ	セクション 7.1.4
4h	DEVICE_CFG_02	デバイス構成レジスタ	セクション 7.1.5
5h	DEVICE_CFG_03	デバイス構成レジスタ	セクション 7.1.6
6h	DEVICE_CFG_04	デバイス構成レジスタ	セクション 7.1.7
7h	DEVICE_CFG_05	デバイス構成レジスタ	セクション 7.1.8
8h	TDM_CFG1	TDM 構成レジスタ	セクション 7.1.9
9h	TDM_CFG2	TDM 構成レジスタ	セクション 7.1.10
Ah	TDM_CFG3	TDM 構成レジスタ	セクション 7.1.11
Ch	TDM_CFG5	TDM 構成レジスタ	セクション 7.1.12
10h	TDM_CFG9	TDM 構成レジスタ	セクション 7.1.13
11h	TDM_CFG10	TDM 構成レジスタ	セクション 7.1.14
12h	TDM_CFG11	TDM 構成レジスタ	セクション 7.1.15
13h	TDM_CFG12	TDM 構成レジスタ	セクション 7.1.16
14h	TDM_DET	TDM クロック検出モニタ	セクション 7.1.17
18h	BOP_CFG_0	ブラウン アウト保護構成	セクション 7.1.18
1Ch	IO_CFG_02	IO の構成	セクション 7.1.19
1Dh	IO_CFG_03	IO の構成	セクション 7.1.20
1Eh	NG_CFG0	ノイズ ゲート制御	セクション 7.1.21
25h	INTERRUPT_CFG1	IRQZ クリア	セクション 7.1.22
28h	SAR_MONITOR_03	PVDD モニタ MSB	セクション 7.1.23
29h	SAR_MONITOR_04	PVDD 監視 LSB	セクション 7.1.24
2Ah	SAR_MONITOR_06	温度モニタ	セクション 7.1.25
31h	CLASSD_CFG_01	ClassD アンプの構成	セクション 7.1.26
3Ch	THERM_CFG	過熱警告の構成	セクション 7.1.27
5Bh	INT_MASK_0	割り込みマスク	セクション 7.1.28
5Ch	INT_MASK_1	割り込みマスク	セクション 7.1.29
5Dh	INT_MASK_2	割り込みマスク	セクション 7.1.30
5Eh	INT_MASK_3	割り込みマスク	セクション 7.1.31
5Fh	INT_MASK_4	割り込みマスク	セクション 7.1.32
60h	INT_LATCH_0	ラッチ割り込み読み戻し	セクション 7.1.33
61h	INT_LATCH_1	ラッチ割り込み読み戻し	セクション 7.1.34
62h	INT_LATCH_2	ラッチ割り込み読み戻し	セクション 7.1.35
63h	INT_LATCH_3	ラッチ割り込み読み戻し	セクション 7.1.36
64h	INT_LATCH_4	ラッチ割り込み読み戻し	セクション 7.1.37
65h	NG_IDLE_STATUS	ラッチ割り込み読み戻し	セクション 7.1.38
78h	REV_ID	リビジョン ID	セクション 7.1.39

表 7-1. ページ 0 レジスタ (続き)

アドレス	略称	説明	セクション
7Fh	BOOK	デバイスのブック	セクション 7.1.40

7.1.1 ページ レジスタ (アドレス = 0h) [リセット = 00h]

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-2. ページ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh=ページ 255

7.1.2 SW_RESET レジスタ (アドレス = 1h) [リセット = 00h]

[概略表](#)に戻ります。

ソフトウェア リセットをアサートすると、すべてのレジスタ値がデフォルトの POR (パワーオン リセット) 状態に戻ります。

表 7-3. SW_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	SW_RESET	R/W	0h	ソフトウェア リセット。ビットはセルフ クリアです。 0h = リセットしない 1h = リセット

7.1.3 PWR_CTL レジスタ (アドレス = 2h) [リセット = 03h]

[概略表](#)に戻ります。

デバイスの動作モードと電源構成を設定します。

表 7-4. PWR_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	予約済み
1-0	MODE[1:0]	R/W	3h	デバイスの動作モード。 0h = アクティブ 1h = 予約済み 2h = ソフトウェア シャットダウン 3h = ASI クロックでのウェークアップおよびシャットダウン

7.1.4 DEVICE_CFG_01 レジスタ (アドレス = 3h) [リセット = 81h]

[概略表](#)に戻ります。

このレジスタは、デバイスのさまざまな動作モードを構成します。

表 7-5. DEVICE_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EFFICIENCY_MODE[1:0]	R/W	2h	デバイスの動作モード。 0h = 音楽用効率とノイズ ゲート モードをディセーブル 1h = ノイズ ゲート モードのみ 2h = 音楽用効率のみ 3h = 音楽用効率とノイズ ゲート モード
5-2	予約済み	R	0h	予約済み
1-0	SDZ_MODE[1:0]	R/W	1h	SDZ モード構成。 0h = ソフト シャットダウンとデバイス リセット 1h = 即時シャットダウンとデバイス リセット 2h = ソフト シャットダウンのみ 3h = 予約済み

7.1.5 DEVICE_CFG_02 レジスタ (アドレス = 4h) [リセット = 8Ch]

[概略表](#)に戻ります。

このレジスタは、デバイスのさまざまな動作モードを構成します。

表 7-6. DEVICE_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2C_GBL_EN	R/W	1h	I2C グローバル アドレス。 0h = ディセーブル 1h = イネーブル
6	予約済み	R	0h	予約済み
5-3	CLK_HALT_TIME[2:0]	R/W	1h	電源投入前の有効クロック確認時間。 0h = ディセーブル (無限時間) 1h = 800us 2h = 3.2ms 3h = 34.1ms 4h = 68.3ms 5h = 256ms 6h = 768ms 7h = 1.3s
2	CLK_BASED_PWR_UP	R/W	1h	クロック エラー検出のイネーブル/ディセーブル。 0h = 無効化 1h = イネーブル
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.6 DEVICE_CFG_03 レジスタ (アドレス = 5h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、デバイスのさまざまな動作モードを構成します。

表 7-7. DEVICE_CFG_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	OTE_RETRY	R/W	0h	過熱イベント後の再試行。 0h = 再試行しない 1h = 「RETRY_WAIT_TIME」経過後に再試行

表 7-7. DEVICE_CFG_03 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	予約済み	R	0h	予約済み
2	CLKE_RETRY	R/W	0h	内部クロック エラー イベント後に再試行。 0h = 再試行しない 1h = 「RETRY_WAIT_TIME」経過後に再試行
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.7 DEVICE_CFG_04 レジスタ (アドレス = 6h) [リセット = 04h]

[概略表](#)に戻ります。

このレジスタは、デバイスのさまざまな動作モードを構成します。

表 7-8. DEVICE_CFG_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	予約済み	R	0h	予約済み
3-2	IRQZ_PIN_CFG[1:0]	R/W	1h	IRQZ 割り込み構成。IRQZ はアサートします。 0h = 予約済み 1h = マスクされていないラッチ型割り込みが発生した場合 2h = 予約済み 3h = マスクされていないラッチ型割り込みが発生した場合、4ms ごとに 2~4ms の間動作
1	予約済み	R	0h	予約済み
0	RETRY_WAIT_TIME	R/W	0h	デバイスがエラーを検出した後の再試行待機時間 (再試行可能なエラーに対してのみ有効)。 0h = 1.5 sec 1h = 100ms

7.1.8 DEVICE_CFG_05 レジスタ (アドレス = 7h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、デバイスのさまざまな動作モードを構成します。

表 7-9. DEVICE_CFG_05 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	SAMPLE_RATE_CFG	R/W	0h	サンプリング レートの選択。 0h = オーディオ データ レートは 48ksps の整数倍または約数 1h = オーディオ データ レートは 44.1Ksps の整数倍または約数
5-0	AMP_LVL[5:0]	R/W	0h	デバイス チャネル ゲイン設定 17h = 12.471dB 18h = 11.969dB 19h = 11.468dB 20h = 10.966dB 21h = 10.464dB 26h = 1.935dB 27h = 1.434dB 28h = 0.932dB 29h = 0.430dB 2Ah = -0.071dB

7.1.9 TDM_CFG1 レジスタ (アドレス = 8h) [リセット = 82h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-10. TDM_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FRAME_START	R/W	1h	TDM フレームの開始極性。 0h = FSYNC で Low から High 1h = FSYNC で High から Low
6	RX_JUSTIFY	R/W	0h	TDM RX サンプルのタイムスロット内での位置揃え。 0h = 左寄せ 1h = 右寄せ
5-1	RX_OFFSET[4:0]	R/W	1h	フレームの TDM RX 開始からタイム スロット 0 へのオフセット (SBCLK サイクル)。
0	RX_EDGE	R/W	0h	TDM RX キャプチャクロック極性。 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

7.1.10 TDM_CFG2 レジスタ (アドレス = 9h) [リセット = 0Ah]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-11. TDM_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
5-4	RX_SCFG[1:0]	R/W	0h	超 TDM RX タイム スロット選択構成。 0h = モノラル、タイム スロットは I2C アドレス オフセットに等しいです 1h = モノラル左チャンネル 2h = モノラル右チャンネル 3h = ステレオ ダウンミックス (L+R)/2
3-2	RX_WLEN[1:0]	R/W	2h	TDM RX ワード長。 0h = 16 ビット 1h = 20 ビット 2h = 24 ビット 3h = 32 ビット
1-0	RX_SLEN[1:0]	R/W	2h	TDM RX タイム スロットの長さ。 0h = 16 ビット 1h = 24 ビット 2h = 32 ビット 3h = 予約済み

7.1.11 TDM_CFG3 レジスタ (アドレス = Ah) [リセット = 10h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-12. TDM_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RX_SLOT_R[3:0]	R/W	1h	TDM RX 右オーディオ チャンネルのタイム スロット。
3-0	RX_SLOT_L[3:0]	R/W	0h	TDM RX 左オーディオチャンネルのタイム スロット。

7.1.12 TDM_CFG5 レジスタ (アドレス = Ch) [リセット = 13h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-13. TDM_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TX_KEEPCY	R/W	0h	TDM TX において、SDOUT の LSB データが駆動される期間 0h = フルサイクル 1h = 半周期
6	TX_KEEPLN	R/W	0h	TX_KEEPEN がイネーブルのとき、TDM TX SDOUT がバスを保持する時間 0h = 1LSB サイクル 1h = 常時
5	TX_KEEPEN	R/W	0h	TDM TX SDOUT バス キーパをイネーブル。 0h = バス キーパをディスエーブル 1h = バス キーパ イネーブル
4	TX_FILL	R/W	1h	TDM TX における SDOUT の未使用ビット フィールドの埋め込み。 0h = 0 を送信 1h = Hi-Z を送信
3-1	TX_OFFSET[2:0]	R/W	1h	TDM TX のフレーム開始からタイム スロット 0 へのオフセット。
0	TX_EDGE	R/W	1h	TDM TX 起動クロック極性。 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

7.1.13 TDM_CFG9 レジスタ (アドレス = 10h) [リセット = 05h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-14. TDM_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	TEMP_TX	R/W	0h	TDM TX 温度センサ送信をイネーブル。 0h = ディスエーブル 1h = イネーブル
5-0	TEMP_SLOT[5:0]	R/W	5h	TDM TX 温度センサのタイム スロット。

7.1.14 TDM_CFG10 レジスタ (アドレス = 11h) [リセット = 07h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-15. TDM_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	STATUS_TX	R/W	0h	TDM TX ステータス ビット送信のイネーブル。 0h = ディスエーブル 1h = イネーブル
5-0	STATUS_SLOT[5:0]	R/W	7h	TDM TX ステータス ビット タイム スロット。

7.1.15 TDM_CFG11 レジスタ (アドレス = 12h) [リセット = 06h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-16. TDM_CFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_SLEN	R/W	0h	TDM TX PVDD のタイム スロットの長さ。 0h = 8 ビットに切り捨て 1h = 左揃えで 16 ビット
6	PVDD_TX	R/W	0h	TDM TX PVDD データ送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	PVDD_SLOT[5:0]	R/W	6h	TDM TX PVDD タイム スロット。

7.1.16 TDM_CFG12 レジスタ (アドレス = 13h) [リセット = 12h]

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します。

表 7-17. TDM_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AUDIO_SLEN	R/W	0h	TDM オーディオ スロットの長さ 0h = 16 ビット 1h = 24 ビット
6	AUDIO_TX	R/W	0h	TDM オーディオ出力送信の状態 0h=ディセーブル 1h = イネーブル
5-0	AUDIO_SLOT[5:0]	R/W	12h	TDM TX ステータス タイム スロット。

7.1.17 TDM_DET レジスタ (アドレス = 14h) [リセット = 7Fh]

[概略表](#)に戻ります。

内部自動クロック検出の読み戻し。

表 7-18. TDM_DET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-3	FS_RATIO_DETECTED[3:0]	R	Fh	検出された SBCLK と FSYNC の比率。 0h = 16 1h = 24 2h = 32 3h = 48 4h = 64 5h = 96 6h = 128 7h = 192 8h = 256 9h = 384 Ah = 512 Bh = 125 Dh = 500 Eh = 予約済み Fh = 比率が無効

表 7-18. TDM_DET レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	FS_RATE_DETECTED[2:0]	R	7h	TDM バスの検出サンプル レート。 0h = 予約済み 1h = 14.7/16KHz 2h = 22.05/24KHz 3h = 29.4/32KHz 4h = 44.1/48KHz 5h = 88.2/96kHz 6h = 176.4/192kHz 7h = エラー状態

7.1.18 BOP_CFG_0 レジスタ (アドレス = 18h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、電圧低下保護モジュールを構成します。

表 7-19. BOP_CFG_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	BOPSD_EN	R/W	0h	電圧低下防止シャットダウンのイネーブル。 0h=ディセーブル 1h = イネーブル
2	BOP_HLD_CLR	R/W	0h	BOP 無限ホールド クリア (セルフ クリア)。BOP_INF_HLD = 1 のときに使用可能です 0h = クリアしません 1h=クリア
1	BOP_INF_HLD	R/W	0h	電圧低下イベント時の無限ホールド。 0h = 電圧低下イベント後に BOP_HLD_TM を使用します 1h = BOP_HLD_CLR が High にアサートされるまでリリースしません
0	BOP_EN	R/W	0h	電圧低下防止 (BOP) をイネーブル。 0h=ディセーブル 1h = イネーブル

7.1.19 IO_CFG_02 レジスタ (アドレス = 1Ch) [リセット = 3Fh]

[概略表](#)に戻ります。

このレジスタは IO バッファを構成します。

表 7-20. IO_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IRQZ_POL	R/W	0h	割り込み用 IRQZ ピンの極性。 0h = アクティブ Low 1h = アクティブ High
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	IRQZ_PD	R/W	1h	IRQZ 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み

表 7-20. IO_CFG_02 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SDZ_PD	R/W	1h	SDZ 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
0	SDA_PD	R/W	1h	SDA 用の弱プルダウン 0h=ディセーブル 1h = イネーブル

7.1.20 IO_CFG_03 レジスタ (アドレス = 1Dh) [リセット = F0h]

[概略表](#)に戻ります。

このレジスタは IO バッファを構成します。

表 7-21. IO_CFG_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADR_PD	R/W	1h	ADR 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
6	SDZ_PD	R/W	1h	SDZ 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
5	予約済み	R	0h	予約済み
4	CLH_PD	R/W	1h	CLH 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
3	SDOUT_PD	R/W	0h	SDOUT 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
2	SDIN_PD	R/W	0h	SDIN 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
1	FSYNC_PD	R/W	0h	FSYNC 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
0	SBCLK_PD	R/W	0h	SBCLK 用の弱プルダウン 0h=ディセーブル 1h = イネーブル

7.1.21 NG_CFG0 レジスタ (アドレス = 1Eh) [リセット = 60h]

[概略表](#)に戻ります。

ノイズゲートのヒステリシス、スレッショルド レベル、およびイネーブル。

表 7-22. NG_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	NG_HYST_TIMER[1:0]	R/W	1h	ノイズ ゲート エントリ ヒステリシス タイマ。 0h = 10ms 1h = 50ms 2h = 100ms 3h = 1000ms

表 7-22. NG_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-3	NG_TH_LVL[2:0]	R/W	4h	ノイズ ゲートのオーディオ スレッショルド レベル。 0h = -85dBFS 1h = -90dBFS 2h = -95dBFS 3h = -100dBFS 4h = -105dBFS 5h = -110dBFS 6h = -115dBFS 7h = -120dBFS
2-0	予約済み	R	0h	予約済み

7.1.22 INTERRUPT_CFG1 レジスタ (アドレス = 25h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みレジスタをすべてクリアします。

表 7-23. INTERRUPT_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	Shared_boost_primary_en	R/W	0h	共有昇圧モードでのプライマリ デバイス制御 0h=ディセーブル 1h = イネーブル
6	Shared_boost_secondary_en	R/W	0h	共有昇圧モードでのセカンダリ デバイス制御 0h=ディセーブル 1h = イネーブル
5-2	予約済み	R	0h	予約済み
1	INT_CLR_LTCH	R/W	0h	INT_LTCH レジスタをクリアします。 0h = クリアしません 1h=クリア
0	予約済み	R	0h	予約済み

7.1.23 SAR_MONITOR_03 レジスタ (アドレス = 28h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、検出された SAR ADC 電圧を提供します。

表 7-24. SAR_MONITOR_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PVDD_CNV_MSB[7:0]	R	0h	SAR ADC による PVDD 監視電圧の MSB を返します。

7.1.24 SAR_MONITOR_04 レジスタ (アドレス = 29h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、検出された SAR ADC 電圧を提供します。

表 7-25. SAR_MONITOR_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PVDD_CNV_LSB[3:0]	R	0h	SAR ADC による PVDD 監視電圧の LSB を返します。
3-0	予約済み	R	0h	予約済み

7.1.25 SAR_MONITOR_06 レジスタ (アドレス = 2Ah) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは検出された温度を提供します。

表 7-26. SAR_MONITOR_06 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TMP_CNV[7:0]	R	0h	SAR ADC 温度監視データを返します。

7.1.26 CLASSD_CFG_01 レジスタ (アドレス = 31h) [リセット = 04h]

[概略表](#)に戻ります。

このレジスタは、Class-D アンプを設定します。

表 7-27. CLASSD_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	CLASSD_OUTPUT_EDGE_RATE_CTRL[1:0]	R/W	0h	Edgerate プログラマビリティ制御。 0h = Class-D 出力のエッジ レートはおおよそ 0.5V/ns 1h = Class-D 出力のエッジ レートはおおよそ 1V/ns 2h = 予約済み 3h = Class-D 出力のエッジ レートはおおよそ 2V/ns
3	CLASSD_HIZ_MODE	R/W	0h	ノイズ ゲート モードにおけるアンプ出力状態 (0 = Hi-Z ではない、1 = Hi-Z) 0h=ディセーブル 1h = イネーブル
2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

7.1.27 THERM_CFG レジスタ (アドレス = 3Ch) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、過熱警告検出を構成します。

表 7-28. THERM_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	EN_THERM_WARN_DET	R/W	0h	過熱警告検出機能制をイネーブルにします。 0h=ディセーブル 1h = イネーブル

7.1.28 INT_MASK_0 レジスタ (アドレス = 5Bh) [リセット = 03h]

[概略表](#)に戻ります。

このレジスタは、割り込みフラグのマスクを構成します。

表 7-29. INT_MASK_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0[7]	R/W	0h	BOP Inf ホールド フラグによる割り込みのマスク。 0h = マスクしない 1h=マスクあり

表 7-29. INT_MASK_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	INT_MASK0[6]	R/W	0h	リミッタ減衰フラグによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
5	INT_MASK0[5]	R/W	0h	供給電圧が inf pt フラグ未満となったことによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
4	INT_MASK0[4]	R/W	0h	リミッタのアクティブ フラグによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
3	INT_MASK0[3]	R/W	0h	電圧低下検出フラグによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
2	INT_MASK0[2]	R/W	0h	bop アクティブ フラグによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
1	INT_MASK0[1]	R/W	1h	デバイスのアクティブ フラグによる割り込みのマスク。 0h = マスクしない 1h = マスクあり
0	予約済み	R	0h	予約済み

7.1.29 INT_MASK_1 レジスタ (アドレス = 5Ch) [リセット = 1Fh]

[概略表](#)に戻ります。

このレジスタは、割り込みフラグのマスクを構成します。

表 7-30. INT_MASK_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK1[7]	R/W	0h	PVDD 低電圧による割り込みのマスク。 0h = マスクしない 1h = マスクあり
5	予約済み	R	0h	予約済み
4	INT_MASK1[4]	R/W	1h	過熱警告による割り込みのマスク 135C 0h = マスクしない 1h = マスクあり
3	INT_MASK1[3]	R/W	1h	過熱警告による割り込みのマスク 125C 0h = マスクしない 1h = マスクあり
2	INT_MASK1[2]	R/W	1h	過熱警告による割り込みのマスク 115C 0h = マスクしない 1h = マスクあり
1	INT_MASK1[1]	R/W	1h	過熱警告による割り込みのマスク 105C 0h = マスクしない 1h = マスクあり
0	予約済み	R	0h	予約済み

7.1.30 INT_MASK_2 レジスタ (アドレス = 5Dh) [リセット = 2Fh]

[概略表](#)に戻ります。

このレジスタは、割り込みフラグのマスクを構成します。

表 7-31. INT_MASK_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK2[7]	R/W	0h	ウォッチドッグの満了による割り込みのマスク 0h = マスクしない 1h = マスクあり
6	予約済み	R	0h	予約済み
5	INT_MASK2[5]	R/W	1h	フレームの同期外れによる割り込みのマスク 0h = マスクしない 1h = マスクあり
4	INT_MASK2[4]	R/W	0h	PLL クロック エラーによる割り込みのマスク 0h = マスクしない 1h = マスクあり
3	INT_MASK2[3]	R/W	1h	tdm エラーによる割り込みのマスク 0h = マスクしない 1h = マスクあり
2	INT_MASK2[2]	R/W	1h	比率変更エラー フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり
1	INT_MASK2[1]	R/W	1h	fs 変更エラー フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり
0	INT_MASK2[0]	R/W	1h	無効な fs 比率フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり

7.1.31 INT_MASK_3 レジスタ (アドレス = 5Eh) [リセット = 10h]

概略表に戻ります。

このレジスタは、割り込みフラグのマスクを構成します。

表 7-32. INT_MASK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK3[7]	R/W	0h	過温検出による割り込みのマスク 0h = マスクしない 1h = マスクあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	INT_MASK3[3]	R/W	0h	Class-D 過電流保護による割り込みのマスク 0h = マスクしない 1h = マスクあり
2	INT_MASK3[2]	R/W	0h	pvdd_ov_flag による割り込みをマスクし 0h = マスクしない 1h = マスクあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.32 INT_MASK_4 レジスタ (アドレス = 5Fh) [リセット = 0Ah]

概略表に戻ります。

このレジスタは、割り込みフラグのマスクを構成します。

表 7-33. INT_MASK_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	INT_MASK4[2]	R/W	0h	クロック停止フラグによる割り込みのマスク。また、この割り込みはウェイクアップ オン ASI 機能使用中に、プリパワーアップ クロック エラーによるエラーをフラグ付けします 0h = マスクしない 1h = マスクあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.33 INT_LATCH_0 レジスタ (アドレス = 60h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みのステータスを提供します。

表 7-34. INT_LATCH_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH0[7]	R	0h	BOP 無限ホールドによる割り込み 0h = 割り込みなし 1h = 割り込みあり
6	INT_LTCH0[6]	R	0h	リミッタ減衰フラグによる割り込み 0h = 割り込みなし 1h = 割り込みあり
5	INT_LTCH0[5]	R	0h	電源が inf pt フラグで規定された値未満になったことによる割り込み 0h = 割り込みなし 1h = 割り込みあり
4	INT_LTCH0[4]	R	0h	リミッタが作動したことによる割り込み 0h = 割り込みなし 1h = 割り込みあり
3	INT_LTCH0[3]	R	0h	電圧低下検出フラグ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
2	INT_LTCH0[2]	R	0h	bop アクティブ フラグ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
1	INT_LTCH0[1]	R	0h	デバイス アクティブ フラグ要因のライブ割り込み 0h = 割り込みなし 1h = 割り込みあり
0	予約済み	R	0h	予約済み

7.1.34 INT_LATCH_1 レジスタ (アドレス = 61h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みのステータスを提供します。

表 7-35. INT_LATCH_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH1[7]	R	0h	PVDD 低電圧エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
5	予約済み	R	0h	予約済み
4	INT_LTCH1[4]	R	0h	135°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH1[3]	R	0h	125°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH1[2]	R	0h	115°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	INT_LTCH1[1]	R	0h	105°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
0	予約済み	R	0h	予約済み

7.1.35 INT_LATCH_2 レジスタ (アドレス = 62h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みのステータスを提供します。

表 7-36. INT_LATCH_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH2[7]	R	0h	ウォッチドッグの有効期限切れによる割り込み 0h = 割り込みなし 1h=割り込みあり
6	予約済み	R	0h	予約済み
5	INT_LTCH2[5]	R	0h	フレーム同期外れ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
4	INT_LTCH2[4]	R	0h	PLL クロック エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH2[3]	R	0h	tdm エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH2[2]	R	0h	比率変更エラー フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	INT_LTCH2[1]	R	0h	fs 変更エラー フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
0	INT_LTCH2[0]	R	0h	無効な比率 fs フラグによる割り込み 0h = 割り込みなし 1h=割り込みあり

7.1.36 INT_LATCH_3 レジスタ (アドレス = 63h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みのステータスを提供します。

表 7-37. INT_LATCH_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH3[7]	R	0h	過熱検出要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	INT_LTCH3[3]	R	0h	Class-D 過電流保護要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
2	INT_LTCH3[2]	R	0h	PVDD 電源の過電圧による割り込み。 0h = 割り込みなし 1h = 割り込みあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.37 INT_LATCH_4 レジスタ (アドレス = 64h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタは、ラッチされた割り込みのステータスを提供します。

表 7-38. INT_LATCH_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	INT_LTCH4[2]	R	0h	クロック停止フラグ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.38 NG_IDLE_STATUS レジスタ (アドレス = 65h) [リセット = 00h]

[概略表](#)に戻ります。

このレジスタはノイズ ゲートのステータスを示します。

表 7-39. NG_IDLE_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NG_STATUS	R	0h	ノイズ モード ステータスビット 0h = デバイスがノイズ ゲート モードではありません 1h = デバイスはノイズ ゲート モード中です

表 7-39. NG_IDLE_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	MUSIC_EFF_STATUS	R	0h	音楽用効率モード ステータス ビット 0h = デバイスは音楽用効率モードではありません 1h = デバイスは音楽用効率モード中です
5-0	予約済み	R	0h	予約済み

7.1.39 REV_ID レジスタ (アドレス = 78h) [リセット = 00h]

[概略表](#)に戻ります。

リビジョン ID (REV_ID) を返します。

表 7-40. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	REV_ID[3:0]	R	0h	リビジョン ID を返します。
3-0	予約済み	R	0h	予約済み

7.1.40 BOOK レジスタ (アドレス = 7Fh) [リセット = 00h]

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはブックを設定します。

表 7-41. BOOK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BOOK[7:0]	R/W	0h	デバイスのブックを設定します。 0h = ブック 0 1h = ブック 1 FFh = ブック 255

7.2 ページ 1 レジスタ

表 7-42 に、PAGE 1 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-42 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-42. ページ 1 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.2.1
Eh	DEV_PERF_TUNING_07	デバイス性能調整レジスタ	セクション 7.2.2
2Bh	DEV_PERF_TUNING_04	デバイス性能調整レジスタ	セクション 7.2.3
64h	I2C_CKSUM	I2C のチェックサム	セクション 7.2.4

7.2.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-43. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.2.2 DEV_PERF_TUNING_07 レジスタ (アドレス = Eh) [リセット = 0Bh]

概略表に戻ります。

デバイス性能調整レジスタ

表 7-44. DEV_PERF_TUNING_07 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	予約済み	R	0h	予約済み
3-0	DEV_PERF_TUNING_07[3:0]	R/W	Bh	デバイス性能調整レジスタ 0h = 外部 PVDD モード調整 Bh = 予約済み

7.2.3 DEV_PERF_TUNING_04 レジスタ (アドレス = 2Bh) [リセット = 80h]

概略表に戻ります。

デバイス性能調整レジスタ

表 7-45. DEV_PERF_TUNING_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEV_PERF_TUNING_04[7:0]	R/W	80h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します

7.2.4 I2C_CKSUM レジスタ (アドレス = 64h) [リセット = 00h]

概略表に戻ります。

I2C チェックサムを返します。

表 7-46. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	0h	I2C チェックサムを返します。このレジスタに書き込むと、チェックサムが書き込まれた値にリセットされます。このレジスタは、すべてのブックとページの他のレジスタに書き込みを行うと更新されます。

7.3 ページ 2 レジスタ

表 7-47 に、PAGE 2 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-47 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-47. ページ 2 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.3.1
Ch	DVC_LEVEL	デジタル ボリューム制御レベル	セクション 7.3.2
10h	DVC_SLEW_RATE	デジタル ボリューム制御スルーレート	セクション 7.3.3
18h	AUDIO_HPF_N0	オーディオ DC ブロック フィルタ係数を設定します	セクション 7.3.4
1Ch	AUDIO_HPF_N1	オーディオ DC ブロック フィルタ係数を設定します	セクション 7.3.5
20h	AUDIO_HPF_D1	オーディオ DC ブロック フィルタ係数を設定します	セクション 7.3.6
54h	TONE_GEN_CNTRL_01	トーン ジェネレータ周波数制御レジスタ	セクション 7.3.7
58h	TONE_GEN_CNTRL_02	トーン ジェネレータ周波数制御レジスタ	セクション 7.3.8
5Ch	TONE_GEN_CNTRL_03	トーン ジェネレータ周波数制御レジスタ	セクション 7.3.9
60h	TONE_GEN_CNTRL_04	トーン ジェネレータ周波数制御レジスタ	セクション 7.3.10
64h	TONE_GEN_CNTRL_05	トーン ジェネレータ周波数制御レジスタ	セクション 7.3.11
68h	TONE_GEN_CNTRL_06	トーン ジェネレータ振幅制御レジスタ	セクション 7.3.12

7.3.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-48. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.3.2 DVC_LEVEL レジスタ (アドレス = Ch) [リセット = 400000h]

概略表に戻ります。

デジタル ボリューム制御レベル

表 7-49. DVC_LEVEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DVC_LEVEL[23:0]	R/W	400000h	アドレス 0xC~0xE が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.3 DVC_SLEW_RATE レジスタ (アドレス = 10h) [リセット = 034A51h]

概略表に戻ります。

デジタル ボリューム制御スルーレート

表 7-50. DVC_SLEW_RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DVC_SLEW_RATE[23:0]	R/W	34A51h	アドレス 0x10~0x12 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.4 AUDIO_HPF_N0 レジスタ (アドレス = 18h) [リセット = 7FFBB6h]

[概略表](#)に戻ります。

オーディオ DC ブロッカ フィルタ係数を設定します

表 7-51. AUDIO_HPF_N0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	AUDIO_HPF_N0[23:0]	R/W	7FFBB6h	アドレス 0x18~0x1A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.5 AUDIO_HPF_N1 レジスタ (アドレス = 1Ch) [リセット = 80044Ah]

[概略表](#)に戻ります。

オーディオ DC ブロッカ フィルタ係数を設定します

表 7-52. AUDIO_HPF_N1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	AUDIO_HPF_N1[23:0]	R/W	80044Ah	アドレス 0x1C~0x1E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.6 AUDIO_HPF_D1 レジスタ (アドレス = 20h) [リセット = 7FF76Ch]

[概略表](#)に戻ります。

オーディオ DC ブロッカ フィルタ係数を設定します

表 7-53. AUDIO_HPF_D1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	AUDIO_HPF_D1[23:0]	R/W	7FF76Ch	アドレス 0x20~0x22 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.7 TONE_GEN_CNTRL_01 レジスタ (アドレス = 54h) [リセット = 7FFFEDh]

[概略表](#)に戻ります。

トーン ジェネレータ周波数制御レジスタ

表 7-54. TONE_GEN_CNTRL_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_01[23:0]	R/W	7FFFEDh	アドレス 0x54~0x56 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.8 TONE_GEN_CNTRL_02 レジスタ (アドレス = 58h) [リセット = 4D0582h]

[概略表](#)に戻ります。

トーン ジェネレータ周波数制御レジスタ

表 7-55. TONE_GEN_CNTRL_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_02[2:0]	R/W	4D0582h	アドレス 0x58~0x5A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.9 TONE_GEN_CNTRL_03 レジスタ (アドレス = 5Ch) [リセット = 002250h]

[概略表](#)に戻ります。

トーン ジェネレータ周波数制御レジスタ

表 7-56. TONE_GEN_CNTRL_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_03[2:0]	R/W	2250h	アドレス 0x5C~0x5E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.10 TONE_GEN_CNTRL_04 レジスタ (アドレス = 60h) [リセット = 42FC96h]

[概略表](#)に戻ります。

トーン ジェネレータ周波数制御レジスタ

表 7-57. TONE_GEN_CNTRL_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_04[2:0]	R/W	42FC96h	アドレス 0x60~0x62 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.11 TONE_GEN_CNTRL_05 レジスタ (アドレス = 64h) [リセット = 000BB8h]

[概略表](#)に戻ります。

トーン ジェネレータ周波数制御レジスタ

表 7-58. TONE_GEN_CNTRL_05 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_05[2:0]	R/W	BB8h	アドレス 0x64~0x66 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.3.12 TONE_GEN_CNTRL_06 レジスタ (アドレス = 68h) [リセット = 01235Ah]

[概略表](#)に戻ります。

トーン ジェネレータ振幅制御レジスタ

表 7-59. TONE_GEN_CNTRL_06 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	TONE_GEN_CNTRL_06[2:0]	R/W	1235Ah	アドレス 0x68~0x6A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4 ページ 4 レジスタ

表 7-60 に、PAGE 4 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-60 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-60. ページ 4 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.4.1
18h	MUSIC_EFF_MODE_THR	音楽用効率モードのスレッシュホールドを設定します	セクション 7.4.2
1Ch	MUSIC_EFF_MODE_TIMER	音楽用効率モードのヒステリシスを設定します	セクション 7.4.3
38h	LIM_MAX_ATT	リミッタの最大減衰を設定します	セクション 7.4.4
3Ch	LIM_TH_MAX	リミッタ最大オーディオ制限スレッシュホールドを設定します	セクション 7.4.5
40h	LIM_TH_MIN	リミッタ最小オーディオ制限スレッシュホールドを設定します	セクション 7.4.6
44h	LIM_INF_PT	リミッタの変曲点を設定します	セクション 7.4.7
48h	LIM_SLOPE	リミッタのスロープを設定します	セクション 7.4.8
4Ch	LIM_ATK_RATE	リミッタのアタック レートを設定します	セクション 7.4.9
50h	LIM_RLS_RATE	リミッタのリリース レートを設定します	セクション 7.4.10
54h	LIM_HLD_COUNT	リミッタのホールド カウントを設定します	セクション 7.4.11
58h	BOP_ATK_RATE	電圧低下保護のアタック レートを設定します	セクション 7.4.12
5Ch	BOP_HLD_COUNT	電圧低下保護のホールド カウントを設定します	セクション 7.4.13
60h	BOP_THR_LVL	電圧低下保護のスレッシュホールド レベルを設定します	セクション 7.4.14
64h	BOSD_THR_LVL	電圧低下保護シャットダウンのスレッシュホールド レベルを設定します	セクション 7.4.15
74h	DEV_PERF_TUNING_01	デバイス性能調整レジスタ	セクション 7.4.16
78h	DEV_PERF_TUNING_02	デバイス性能調整レジスタ	セクション 7.4.17

7.4.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-61. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh=ページ 255

7.4.2 MUSIC_EFF_MODE_THR レジスタ (アドレス = 18h) [リセット = 0443F5h]

概略表に戻ります。

音楽用効率モードのスレッシュホールドを設定します

表 7-62. MUSIC_EFF_MODE_THR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	MUSIC_EFF_MODE_THR[23:0]	R/W	443F5h	アドレス 0x18~0x1A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.3 MUSIC_EFF_MODE_TIMER レジスタ (アドレス = 1Ch) [リセット = 000034h]

[概略表](#)に戻ります。

音楽用効率モードのヒステリシスを設定します

表 7-63. MUSIC_EFF_MODE_TIMER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	MUSIC_EFF_MODE_TIMER[23:0]	R/W	34h	アドレス 0x1C~0x1E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.4 LIM_MAX_ATT レジスタ (アドレス = 38h) [リセット = 2D6A86h]

[概略表](#)に戻ります。

リミッタの最大減衰を設定します

表 7-64. LIM_MAX_ATT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_MAX_ATT[23:0]	R/W	2D6A86h	アドレス 0x38~0x3A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.5 LIM_TH_MAX レジスタ (アドレス = 3Ch) [リセット = 400000h]

[概略表](#)に戻ります。

リミッタ最大オーディオ制限スレッショルドを設定します

表 7-65. LIM_TH_MAX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_TH_MAX[23:0]	R/W	400000h	アドレス 0x3C~0x3E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.6 LIM_TH_MIN レジスタ (アドレス = 40h) [リセット = 0A0000h]

[概略表](#)に戻ります。

リミッタ最小オーディオ制限スレッショルドを設定します

表 7-66. LIM_TH_MIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_TH_MIN[23:0]	R/W	A0000h	アドレス 0x40~0x42 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.7 LIM_INF_PT レジスタ (アドレス = 44h) [リセット = 0D3333h]

[概略表](#)に戻ります。

リミッタの変曲点を設定します

表 7-67. LIM_INF_PT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_INF_PT[23:0]	R/W	D3333h	アドレス 0x44~0x46 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.8 LIM_SLOPE レジスタ (アドレス = 48h) [リセット = 100000h]

[概略表](#)に戻ります。

リミッタのスロープを設定します

表 7-68. LIM_SLOPE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_SLOPE[23:0]	R/W	100000h	アドレス 0x48~0x4A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.9 LIM_ATK_RATE レジスタ (アドレス = 4Ch) [リセット = 7C5E4Eh]

[概略表](#)に戻ります。

リミッタのアタック レートを設定します

表 7-69. LIM_ATK_RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_ATK_RATE[23:0]	R/W	7C5E4Eh	アドレス 0x4C~0x4E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.10 LIM_RLS_RATE レジスタ (アドレス = 50h) [リセット = 400179h]

[概略表](#)に戻ります。

リミッタのリリース レートを設定します

表 7-70. LIM_RLS_RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_RLS_RATE[23:0]	R/W	400179h	アドレス 0x50~0x52 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.11 LIM_HLD_COUNT レジスタ (アドレス = 54h) [リセット = 005DC0h]

[概略表](#)に戻ります。

リミッタのホールド カウントを設定します

表 7-71. LIM_HLD_COUNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	LIM_HLD_COUNT[23:0]	R/W	5DC0h	アドレス 0x5C~0x5E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.12 BOP_ATK_RATE レジスタ (アドレス = 58h) [リセット = 78D67Ch]

[概略表](#)に戻ります。

電圧低下保護のアタック レートを設定します

表 7-72. BOP_ATK_RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	BOP_ATK_RATE[23:0]	R/W	78D67Ch	アドレス 0x58~0x5A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.4.13 BOP_HLD_COUNT レジスタ (アドレス = 5Ch) [リセット = 005DC0h]

[概略表](#)に戻ります。

電圧低下保護のホールド カウントを設定します

表 7-73. BOP_HLD_COUNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	BOP_HLD_COUNT[23:0]	R/W	5DC0h	アドレス 0x5C~0x5E が組み合わされます。PPC3 ソフトウェアを使用して構成できます。

7.4.14 BOP_THR_LVL レジスタ (アドレス = 60h) [リセット = 0B9999h]

[概略表](#)に戻ります。

電圧低下保護のスレッシュホールド レベルを設定します

表 7-74. BOP_THR_LVL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	BOP_THR_LVL[23:0]	R/W	B9999h	アドレス 0x60~0x62 が組み合わされます。PPC3 ソフトウェアを使用して構成できます。

7.4.15 BOSD_THR_LVL レジスタ (アドレス = 64h) [リセット = 0ACCCCh]

[概略表](#)に戻ります。

電圧低下保護シャットダウンのスレッシュホールド レベルを設定します

表 7-75. BOSD_THR_LVL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	BOSD_THR_LVL[23:0]	R/W	ACCCCh	アドレス 0x64~0x66 が組み合わされます。PPC3 ソフトウェアを使用して構成できます。

7.4.16 DEV_PERF_TUNING_01 レジスタ (アドレス = 74h) [リセット = 079BCCh]

[概略表](#)に戻ります。

デバイス性能調整レジスタ

表 7-76. DEV_PERF_TUNING_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_01[23:0]	R/W	79BCCh	アドレス 0x74~0x76 が組み合わされます。PPC3 ソフトウェアを使用して構成できます。

7.4.17 DEV_PERF_TUNING_02 レジスタ (アドレス = 78h) [リセット = 000034h]

[概略表](#)に戻ります。

デバイス性能調整レジスタ

表 7-77. DEV_PERF_TUNING_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_02[23:0]	R/W	34h	アドレス 0x78~0x7A が組み合わされます。PPC3 ソフトウェアを使用して構成できます。

7.5 PAGE 5 レジスタ

表 7-78 に、PAGE 5 レジスタに対してメモリマップされたレジスタを一覧表示します。表 7-78 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-78. PAGE 5 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.5.1
64h	THERMAL_WARN_MIN_TEMP	サーマル フラグ	セクション 7.5.2
68h	THERMAL_WARN_TEMP_STEP	サーマル フラグ	セクション 7.5.3

7.5.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-79. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh=ページ 255

7.5.2 THERMAL_WARN_MIN_TEMP レジスタ (アドレス = 64h) [リセット = 348000h]

概略表に戻ります。

サーマル フラグの最小スレッシュホールドを設定します

表 7-80. THERMAL_WARN_MIN_TEMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	THERMAL_WARN_MIN_TEMP[23:0]	R/W	348000h	アドレス 0x64~0x66 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.5.3 THERMAL_WARN_TEMP_STEP レジスタ (アドレス = 68h) [リセット = 050000h]

概略表に戻ります。

サーマル フラグのデルタ スレッシュホールドを設定します

表 7-81. THERMAL_WARN_TEMP_STEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	THERMAL_WARN_TEMP_STEP[23:0]	R/W	50000h	アドレス 0x68~0x6A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.6 ページ 6 レジスタ

表 7-82 に、PAGE 6 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-82 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-82. ページ 6 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.6.1
34h	DEV_PERF_TUNING_24	デバイス パフォーマンスの調整	セクション 7.6.2
38h	DEV_PERF_TUNING_18	デバイス パフォーマンスの調整	セクション 7.6.3
48h	DEV_PERF_TUNING_25	デバイス パフォーマンスの調整	セクション 7.6.4

7.6.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-83. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.6.2 DEV_PERF_TUNING_24 レジスタ (アドレス = 34h) [リセット = 400000h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-84. DEV_PERF_TUNING_24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_24[23:0]	R/W	400000h	アドレス 0x34~0x36 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.6.3 DEV_PERF_TUNING_18 レジスタ (アドレス = 38h) [リセット = 400000h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-85. DEV_PERF_TUNING_18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_18[23:0]	R/W	400000h	アドレス 0x38~0x3A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.6.4 DEV_PERF_TUNING_25 レジスタ (アドレス = 48h) [リセット = 166666h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-86. DEV_PERF_TUNING_25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_25[23:0]	R/W	166666h	アドレス 0x48~0x4A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.7 ページ 7 レジスタ

表 7-87 に、PAGE 7 レジスタに対してメモリマップトレジスタを一覧表示します。表 7-87 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-87. ページ 7 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.7.1
30h	DEV_PERF_TUNING_17	デバイス パフォーマンスの調整	セクション 7.7.2
78h	DEV_PERF_TUNING_21	デバイス パフォーマンスの調整	セクション 7.7.3
7Ch	DEV_PERF_TUNING_05	デバイス パフォーマンスの調整	セクション 7.7.4

7.7.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-88. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.7.2 DEV_PERF_TUNING_17 レジスタ (アドレス = 30h) [リセット = 0E9DDFh]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-89. DEV_PERF_TUNING_17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_17[23:0]	R/W	E9DDFh	アドレス 0x30~0x32 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.7.3 DEV_PERF_TUNING_21 レジスタ (アドレス = 78h) [リセット = 000070h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-90. DEV_PERF_TUNING_21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_21[23:0]	R/W	70h	アドレス 0x78~0x7A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.7.4 DEV_PERF_TUNING_05 レジスタ (アドレス = 7Ch) [リセット = 000000h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-91. DEV_PERF_TUNING_05 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_05[23:0]	R/W	0h	アドレス 0x7C~0x7E が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.8 PAGE 8 レジスタ

表 7-92 に、PAGE 8 レジスタに対してメモリマップされたレジスタを一覧表示します。表 7-92 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-92. PAGE 8 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.8.1
8h	DEV_PERF_TUNING_08	デバイス パフォーマンスの調整	セクション 7.8.2
Ch	DEV_PERF_TUNING_09	デバイス パフォーマンスの調整	セクション 7.8.3
10h	DEV_PERF_TUNING_10	デバイス パフォーマンスの調整	セクション 7.8.4
14h	DEV_PERF_TUNING_06	デバイス パフォーマンスの調整	セクション 7.8.5

7.8.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-93. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.8.2 DEV_PERF_TUNING_08 レジスタ (アドレス = 8h) [リセット = 002D0Eh]

概略表に戻ります。

デバイス パフォーマンスの調整

表 7-94. DEV_PERF_TUNING_08 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_08[23:0]	R/W	2D0Eh	アドレス 0x8~0xA が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.8.3 DEV_PERF_TUNING_09 レジスタ (アドレス = Ch) [リセット = F8CCCDh]

概略表に戻ります。

デバイス パフォーマンスの調整

表 7-95. DEV_PERF_TUNING_09 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_09[23:0]	R/W	F8CCCDh	アドレス 0xC~0xE が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.8.4 DEV_PERF_TUNING_10 レジスタ (アドレス = 10h) [リセット = 009AC0h]

概略表に戻ります。

デバイス パフォーマンスの調整

表 7-96. DEV_PERF_TUNING_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_10[23:0]	R/W	9AC0h	アドレス 0x10~0x12 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.8.5 DEV_PERF_TUNING_06 レジスタ (アドレス = 14h) [リセット = 000007h]

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-97. DEV_PERF_TUNING_06 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_06[23:0]	R/W	7h	アドレス 0x14~0x16 が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

7.9 BOOK100 PAGE9 レジスタ

表 7-98 は、BOOK100 PAGE9 のメモリ マップトレジスタを一覧表示します。表 7-98 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-98. BOOK100 PAGE9 レジスタ

アドレス	略称	説明	セクション
0h	PAGE	デバイスのページ	セクション 7.9.1
58h	DEV_PERF_TUNING_19	デバイス パフォーマンスの調整	セクション 7.9.2

7.9.1 PAGE レジスタ (アドレス = 0h) [リセット = 00h]

概略表に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-99. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	デバイス ページの設定。 0h = ページ 0 1h = ページ 1 FFh = ページ 255

7.9.2 DEV_PERF_TUNING_19 レジスタ (アドレス = 58h) [リセット = 000000h]

概略表に戻ります。

デバイス パフォーマンスの調整

表 7-100. DEV_PERF_TUNING_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	DEV_PERF_TUNING_19[23:0]	R/W	0h	アドレス 0x58~0x5A が組み合わせられます。PPC3 ソフトウェアを使用して構成できます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TAS2020 は、電池電圧および温度モニタリング機能を備えたモノラル チャンネルのデジタル入力対応 Class-D アンプです。I²S オーディオ データは、ホストプロセッサから、SDIN データ ポート経由でビット クロックとフレーム同期信号とともに供給されます。I²C バスは、構成と制御に使用されます。

このデバイスには、PVDD の外部電源電圧レールが必要です: 2.5V ~ 5.5V、VDD: 1.65V ~ 1.95V および IOVDD: 動作には 1.8V または 3.3V。

PurePath™ Console 3 (PPC3) ソフトウェアは、デバイスを設定するための推奨ツールで、PPC3 はさまざまなアプリケーション シナリオに応じてデバイス性能パラメータを最適化できます。

8.2 代表的なアプリケーション

次の図に TAS2020 デバイスの代表的なアプリケーション接続を示します。SEL1_I2C ピンは、HW モード選択またはデバイスの I²C モード選択に使用されます。

必要に応じて、システムは同じ 1.8V 電源を使用して IOVDD および VDD に電力を供給できます。デカップリング コンデンサ C2 と C3 は、デバイスのピンに近づけて配置する必要があります。

VDD、PVDD の電源レールはデバイスの性能を高めるために重要であり、寄生インダクタンスを最小限に抑えるために、ソース PMIC からピンまで幅広いパターンを使用する必要があります。電源リップルは、これらのレールのために最小限に維持する必要があり、共通の電源プレーンに接続する必要があります。

エラッタ: IRQZ 信号が high になると、2mA から 3mA への消費電流が増加すると予想されます。詳細は「[すべきこととすべきでないこと](#)」セクションを参照してください。

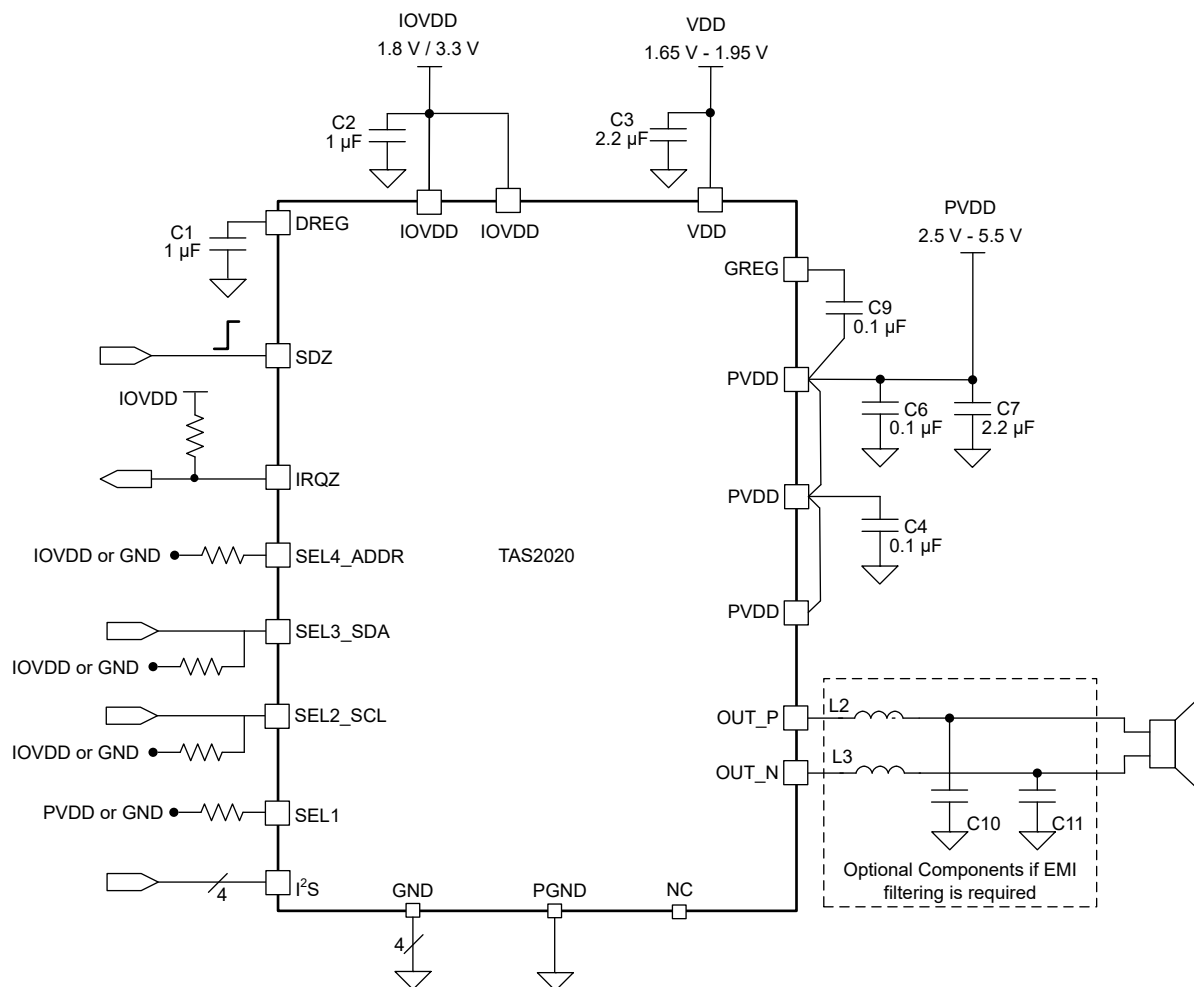


図 8-1. 外部 PVDD システムのアプリケーション図

表 8-1. 推奨外付け部品

部品	説明	仕様	最小値	標準値	最大値	単位
L2、L3	オプションの EMI フィルタ コンデンサ (L2、L3 が使用されている場合は C10、C11 を使用するものとします)	DC 電流	2			A
C1、C2	DREG、IOVDD デカップリング	容量、許容誤差 20%		1		μF
		定格電圧	2	6.3		V
C3	VDD デカップリング	容量、許容誤差 20%		2.2		μF
		定格電圧	2	6.3		V
C4	PVDD 低 ESL デカップリング	容量、許容誤差 20%		0.1		μF
		定格電圧	6.3	10		V
C6	PVDD 低 ESL デカップリング	容量、許容誤差 20%		0.1		μF
		定格電圧	6.3	10		V
C7	PVDD パワー デカップリング	容量、許容誤差 20%		2.2		μF
		定格電圧	6.3	10		V
C9	GREG デカップリング	容量、許容誤差 20%		0.1		μF
		定格電圧	6.3	10		V
C10、C11	オプションの EMI フィルタ コンデンサ (C10、C11 が使用されている場合は L2、L3 を使用するものとします)	定格電圧	2xPVDD			V

8.2.1 設計要件

表 8-1 には、本アプリケーションに必要な BOM 部品が示されています。表 8-2 に、アプリケーションの他の要件を示します。

表 8-2. 設計パラメータ

パラメータ	条件	仕様
VDD 電源電流 ⁽¹⁾	VDD Y ブリッジがデイスエーブル、48ksps モード、全ブロックがイネーブル	15mA 未満
	VDD Y ブリッジがデイスエーブル、96ksps モード、全ブロックがイネーブル	20mA 未満
IOVDD 電源電流	1.8V モード	1mA 未満
	3.3V モード	1mA 未満
LC フィルタのカットオフ周波数 ⁽²⁾	オプションの EMI フィルタ	$F_c > 2.4\text{MHz}$
LC フィルタ インダクタ	オプションの EMI フィルタ	$L_{\text{IND}} > 4 \cdot \text{VBST} / (\pi \cdot F_c)$

- (1) VDD Y ブリッジが有効化されると、選択されたスイッチオーバー スレッショルド電圧と出力負荷インピーダンスに応じて、VDD 電源から追加の電力が消費されます。
- (2) I²C モードでは、VDD Y ブリッジ機能を無効化して、より低い LC フィルタのカットオフ周波数を使用できます。

8.2.2 詳細な設計手順

8.2.2.1 モノラル / ステレオの構成

このアプリケーションでは、デバイスはモノラル モードで動作していることが想定されています。TAS2020 の I²C アドレスを変更してステレオまたはマルチ チャネル動作をサポートする方法については、[セクション 6.5.2](#) を参照してください。モノラルまたはステレオの構成は、デバイス性能には影響しません。

8.2.2.2 EMI パッシブ デバイス

TAS2020 はエッジレート制御をサポートして EMI を最小化していますが、システム設計者は EMI をさらに低減するために、Class-D 出力に受動デバイスを含めることを希望する可能性があります。これらのパッシブ デバイスは、[セクション 8.2](#) で L2、L3、C10、および C11 とラベル付けされています。C10 および C11 を使用する場合は、L2 および L3 も取り付ける必要があり、出力段の安定性を維持するために、C10 および C11 はそれぞれ L2 および L3 の後段に配置する必要があります。

EMI フィルタの部品値の選定は、これらのフィルタで抑制すべき周波数帯に関するアプリケーションの要件に依存します。カットオフ周波数を高く設定することで、BOM のサイズを削減でき、フィルタに関連するスイッチング電力損失も低減されます。アプリケーションでは、システムの周波数抑制目標を満たす中で最も高いカットオフ周波数のフィルタを選定することで、より高い効率性能を得ることができます。

インダクタやフェライト ビーズなど、EMI フィルタに使用される部品の DC 抵抗も、システムの効率に大きな影響を与えます。抵抗を小さくすると、電力損失が小さくなり、システム全体の効率向上に役立ちます。基板上のスペースに基づいて、アプリケーションの要件を満たす中で最も小さい DC 抵抗を持つ部品を選ぶことで、より高い効率を得ることができます。

8.2.2.3 その他のパッシブ デバイス

GREG コンデンサは、Class-D の電力供給と効率仕様を満たすために 100nF が必要です。デバイスの正常な動作のために、GREG コンデンサはデバイスの PVDD ピンにケルビン/ スター接続されている必要があります。

デバイスの性能を維持し、電源リップルを仕様範囲内に抑えるためには、デカップリング コンデンサの電源/グランド経路における寄生インダクタンスを最小限に抑える必要があります。すべての電源用デカップリング コンデンサは、ESL を最小限に抑えるために、できる限りパッケージ フットプリントの小さいものを選定する必要があります。コンデンサのレイアウト配置および配線は、パターンの寄生インダクタンスを最小限に抑えるうえで非常に重要です。詳細な推奨事項については、「[セクション 8.5.1](#)」セクションを参照してください。

8.2.3 アプリケーション特性の波形

$T_A = 25^\circ\text{C}$ 、 $PVDD = 5\text{V}$ 、 $VDD = 1.8\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $R_L = 8\Omega + 33\mu\text{H}$ 、 $F_{in} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、 $\text{Gain} = 12\text{dBV}$ 、 $\text{SDZ}=1$ 、ノイズ ゲート モードがディスエーブル、代表的なアプリケーション使用例に基づき EVM 上で測定 ([セクション 8.2](#))。特記のない限り、22Hz ~ 20kHz の重み付け帯域幅で Audio Precision を用いてフィルタなしで測定しています。

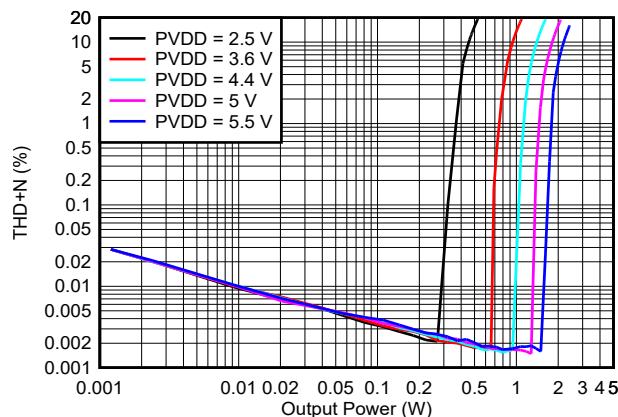


図 8-2. THDN と出力電力との関係

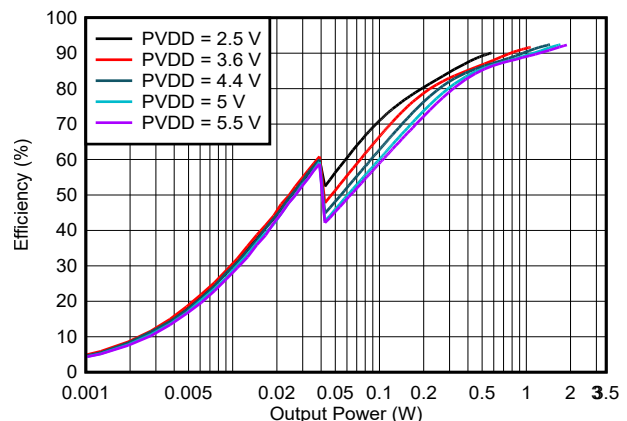


図 8-3. 効率と出力電力との関係

8.3 推奨事項および禁止事項

- IRQZ ピンが high にプルアップされた場合、VDD 電源から追加で 2mA から 3mA のリーク電流が発生する可能性があります。
- IRQZ ピンは、リーク電流の問題を回避するため、基板上でプルアップ抵抗を接続する代わりに、浮遊状態または接地状態にしておく必要があります。
- I²C ポーリングに基づく割り込みメカニズムは、デバイスからの HW ピンに基づく割り込みの代わりに、ホスト側で実装可能です。
- HW ピン ベースの割り込みの場合、デフォルトのアクティブ Low 状態ではなく、IRQZ の極性をアクティブ High に変更することを推奨します。これは、Page0 (セクション 7.1) の IO_CFG_02 レジスタの IRQZ_POL レジスタに「1」を書き込むことで実行できます。

8.4 電源に関する推奨事項

SDZ ピンが Low に保持されている限り、TAS2020 の電源レールおよび ASI クロックのパワー アップ シーケンスは任意の順序で適用できます。すべての電源および ASI クロックが安定した後、SDZ ピンを High にプルアップすることでデバイスを初期化できます。

パワー ダウン シーケンスでは、最初にデバイスをミュートすることが推奨されます。その後、電源レールを任意の順序でランプ ダウンする前に、SDZ ピンを Low にプルダウンする必要があります。

すべての電源が有効となり、SDZ ピンが High にリリースされると、デジタル コア電圧レギュレータが起動し、内部初期化シーケンスを開始します。ハードウェア リセットまたはソフトウェア リセットの後、デバイス内部ブロックの初期化を許可するために、デバイスへの追加の I²C コマンドは少なくとも 300μs 遅延させる必要があります。

デバイスの UVLO を回避するために、リップル条件を含め常に電源電圧を 2.2V 以上に保つ必要があります。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- 大電流を通す信号には広いパターンを使用し、可能な限りビアを避けます。ビアを避けられない場合は、低い寄生インダクタンスと高電流容量を実現するために、複数のビアを追加する必要があります。これらには、PVDD、VDD、PGND、GND、OUT_P、OUT_N のパターンが含まれます。
- PGND 信号は、寄生インダクタンスを最小限に抑えるため、基板のグランド プレーンに直接接続して短絡する必要があります。グランド プレーンに接続する前に、グランド ピン間 (GND と PGND の共通配線など) の共通インダクタンスを避ける必要があります。
- OUT_P、OUT_N、SW、などの高スイッチング信号パターン号間の結合は、敏感な低電圧信号では避ける必要があります。
- OUT_P、OUT_N、SW、などの高スイッチングラインとグランド/静的ノード間の容量を最小化します。容量が大きいと、効率の低下をもたらします。OUT_P と OUT_N の間の結合も、効率の低下につながります。
- デカップリング コンデンサはデバイスの近くに配置します。デバイスの性能を最大限に引き出すために、デカップリング コンデンサには可能な限り小さいパッケージ サイズを使用することを推奨します。DREG、VDD、IOVDD、PVDD 低 ESL (C4 コンデンサ、C6 コンデンサ) は、0201 ケース サイズ以下にすることを推奨します。デカップリング コンデンサとデバイス端子との間にはビアを設けないものとします。やむを得ず使用する場合は、寄生インダクタンスを最小化するために複数のビアを追加します。
- すべてのデカップリング コンデンサのグランド端子は、複数のグランド ビアにより確実にグランド プレーンへ接続するものとします。コンデンサのグランドとデバイスのグランド ピンの間のグランド配線ループは、最小限に抑える必要があります。
- VDD Y-ブリッジ機能のために、ホスト PMIC からデバイス VDD への配線は、寄生インダクタンスを最小限に抑えた広い電源プレーン配線とするものとします。
- GREG-PVDD 間のコンデンサ (C9) については、コンデンサの PVDD 側を PVDD デカップリング コンデンサ (C6、C7、C8) に直接接続せず、デバイスの PVDD ピンにできるだけ近い位置に接続するものとします。

8.5.2 レイアウト例

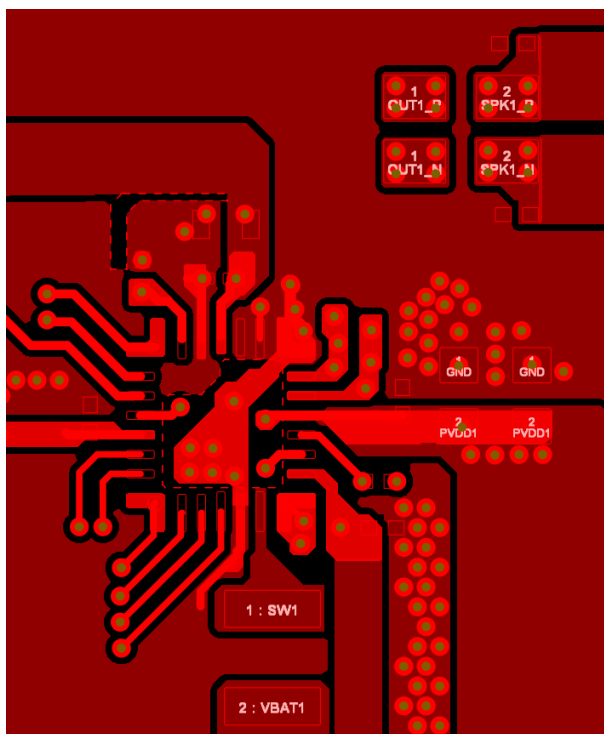


図 8-4. 上面レイアウトの例

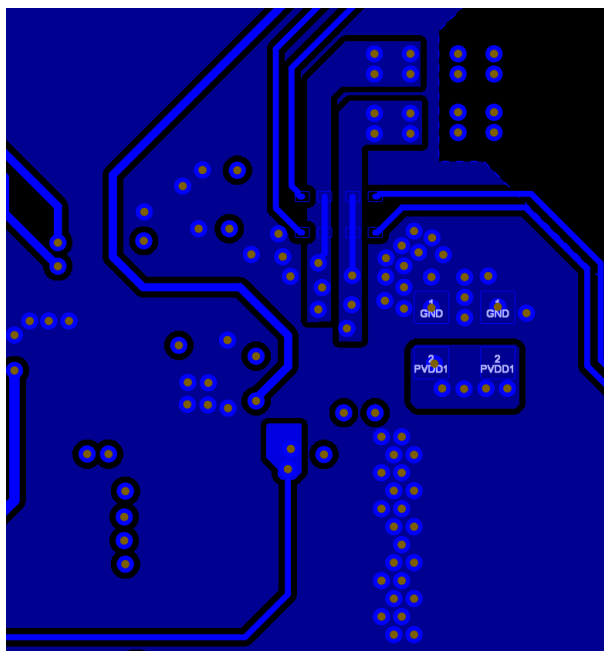


図 8-5. 底面レイアウトの例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください

- テキサス・インスツルメンツ、[PurePath Console 3 \(PPC3\) ソフトウェア](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2024) to Revision A (July 2026)	Page
---	------

- | | |
|-------------------------------|---|
| • デバイスのステータスを「量産データ」に更新。..... | 1 |
|-------------------------------|---|

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS2020RBGR	Active	Production	VQFN-HR (RBG) 26	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	TAS2X20

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

VQFN-HR - 1 mm max height

Top View:

- Overall width: 3.6 (nominal), 3.4 (minimum)
- Overall height: 4.1 (nominal), 3.9 (minimum)
- PIN 1 INDEX AREA: Indicated by a series of concentric lines in the top-left corner.
- Feature callouts: $\oplus$ 0.1 (M) C A B, 0.05 (M) C

Side View:

- Seating Plane: Indicated by a horizontal line with a triangle.
- Dimensions: 1.0, 0.8, 0.05, 0.00
- Feature callouts: 0.08 C (fillet), 0.08 C (radius)

Detail View (Bottom):

- Pin 1 ID: 45° X 0.1
- Pin dimensions: 0.65, 0.45, 0.7, 0.5
- Pin counts and dimensions: 4X 0.5, 2X 1.6, 8X 0.35, 0.25, 4X 0.7, 0.5, 4X 0.55, 2X 2, 18X 0.4, 26, 22, 12X 0.5, 0.3, 22X 0.25, 0.15, 0.753, 0.553
- Feature callouts: $\oplus$ 0.1 (M) C A B, 0.05 (M) C

Other Views:

- Side view of the connector body with a (0.2) TYP dimension.
- Bottom view of the connector body.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

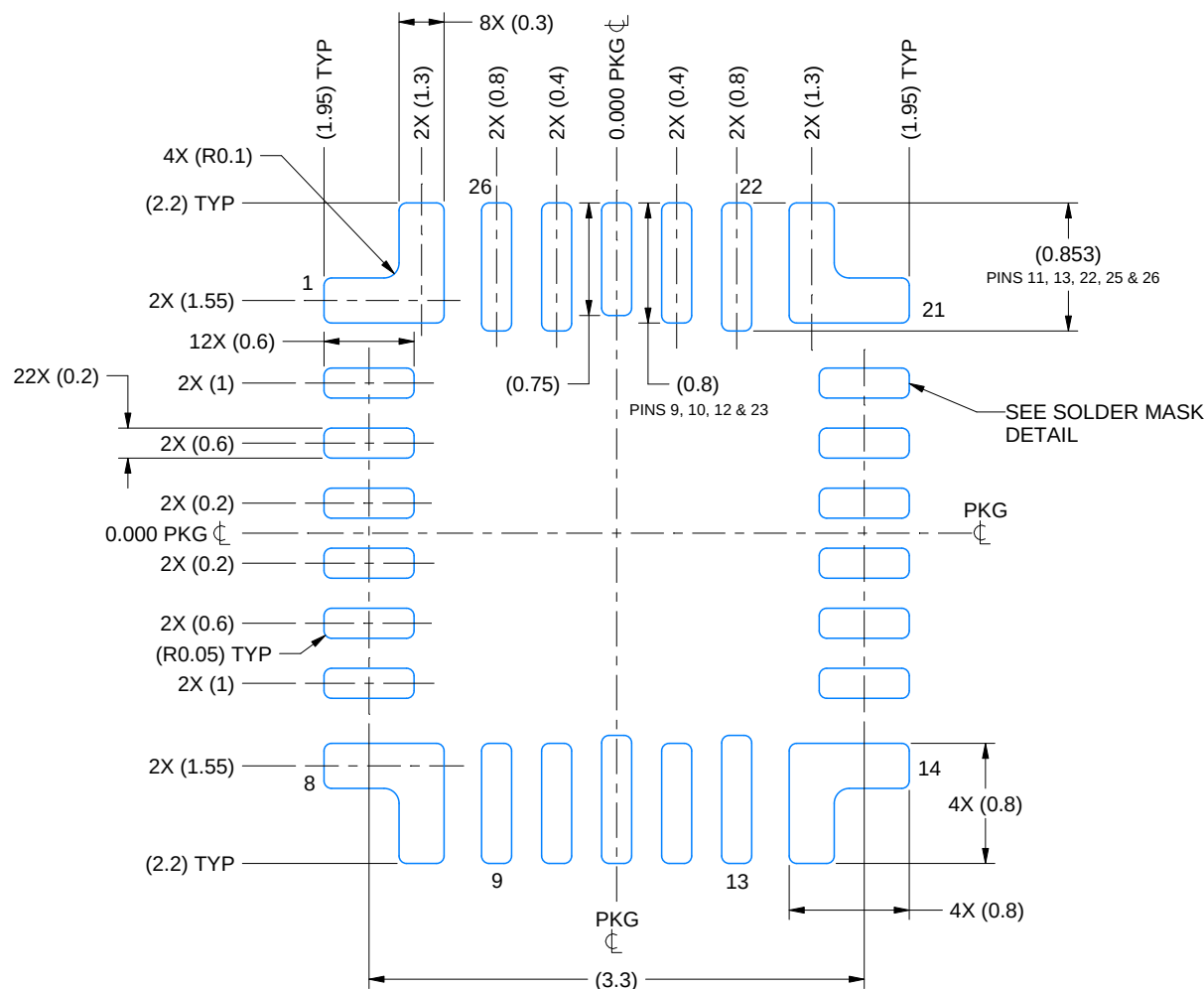
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

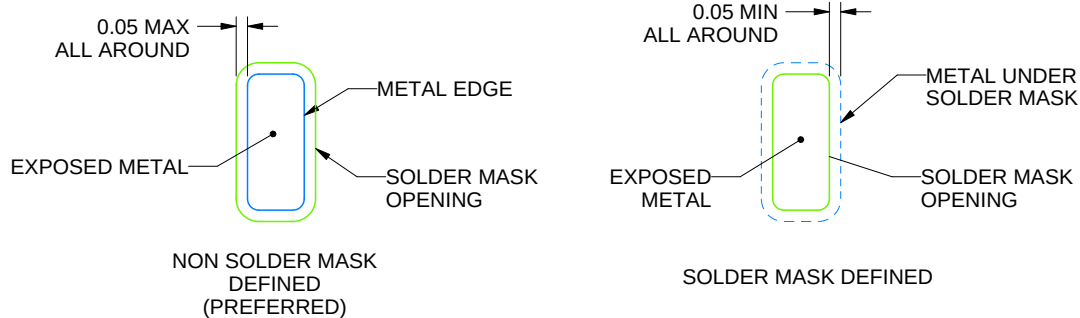
RBG0026A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4230415/B 03/2024

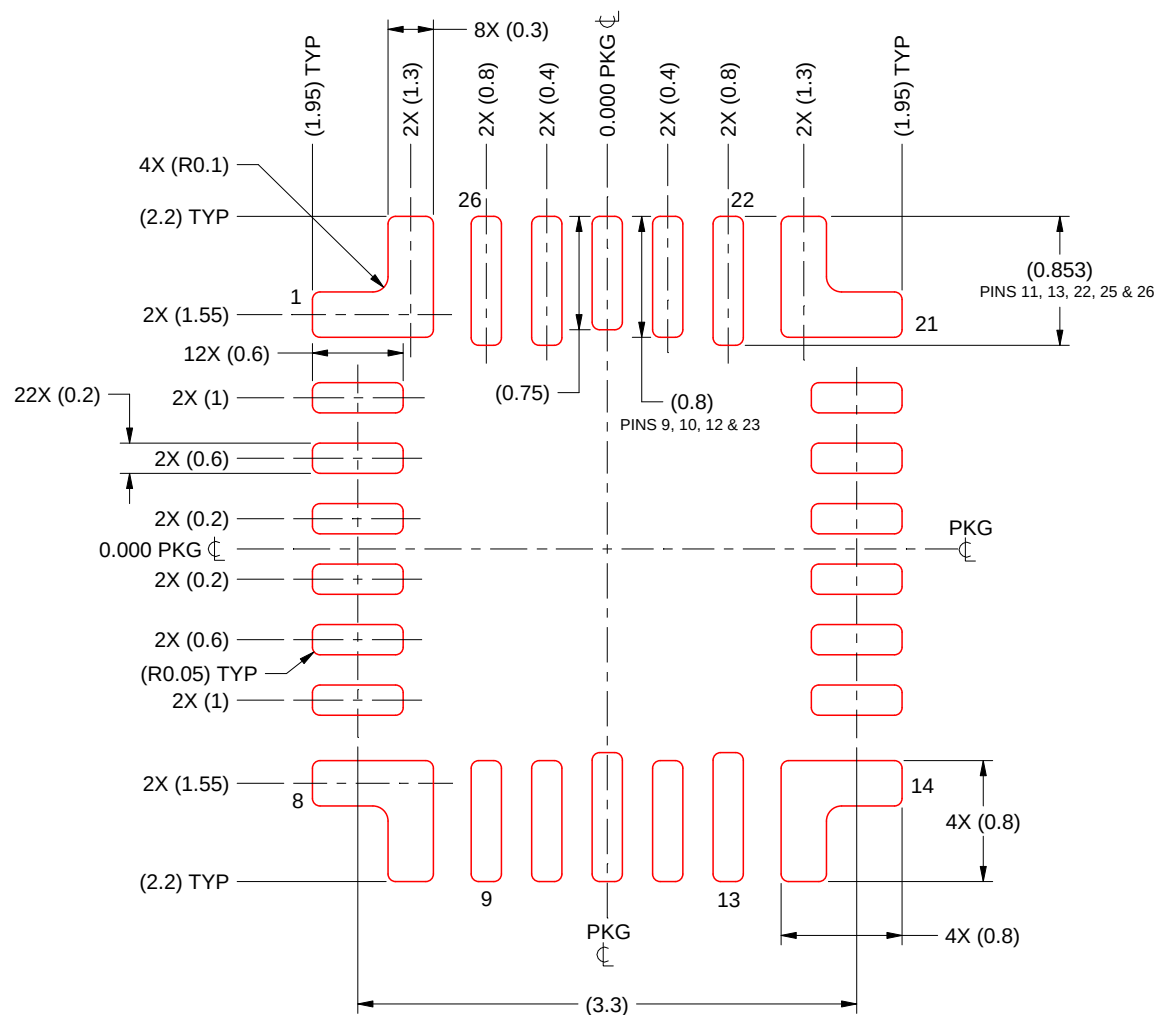
NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

RBG0026A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 20X

4230415/B 03/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月