

TAS2573 昇圧 Class-D オーディオ アンプ、DSP および IV センス機能搭載

1 特長

- パワフルな Class-D アンプ
 - 8.5W 1% THD+N (4.4V で 8Ω)
 - 8.8W 1% THD+N (4.4V で 4Ω)
 - 15V 昇圧、最大 5.1A の電流制限付き
- クラス最高の効率
 - 最大 89% のシステム レベル効率 (8Ω 負荷時)
 - アクティブモードの 19mW のアイドル チャンネル電力
 - ノイズ ゲート モードの 5.5mW のアイドル チャンネル電力
 - 1.8V の Y ブリッジと 33mV ステップの Class-H を内蔵
- 高性能オーディオ チャンネル
 - 4.2μV の A 特性アイドル チャンネル ノイズ
 - 114dB のダイナミック レンジ
 - -90dB THDN
 - ERC と SSM による低 EMI 特性
 - < 1μs のチップ間群遅延マッチング
- 先進の内蔵機能
 - IV センスを搭載したスピーカ保護機能およびアドバンスト バッテリ ガード
 - EQ、DRC、DEQ によるオーディオ チューニング
 - スピーカのラトル ノイズ抑制アルゴリズム
 - 信号検出高効率モード
 - 高精度の電圧モニタと温度センサ
- 使いやすい機能
 - 1 セル、2 セル、3 セルのリチウムイオン バッテリ サポート
 - クロック ベースのパワーアップ / ダウン
 - 自動クロックレート検出: 16kHz ~ 192kHz
 - 外部 14V PVDD 電源をサポート
 - MCLK フリー動作
 - 過熱および過電流保護
 - プログラム可能な駆動強度 IO バッファ
- 電源とユーザー インターフェイス
 - VBAT: 2.0V ~ 5.5V
 - VDD: 1.65V ~ 1.95V
 - IOVDD: 1.2V または 1.8V
 - VBAT_SNS: 2.0V ~ 10.0V
 - PVDD: 2.5V ~ 14V (外部 PVDD モード)
 - I²S/TDM: 8 チャンネル
 - I²C: 4 つの選択可能なアドレス
- 48 ボール、0.35mm ピッチ、WCSP パッケージ

2 アプリケーション

- 携帯電話、タブレット、ウェアラブル
- スマート スピーカ (音声アシスタント)
- Bluetooth およびワイヤレス スピーカ

3 説明

TAS2573 は、バッテリー動作システム内でより大きな電力を供給するための昇圧機能を内蔵したデジタル入力 Class-D アンプです。このデバイスにはラウドスピーカをリアルタイムで監視するための IV センスが内蔵されています。オンチップの低レイテンシ DSP は、テキサス インストルメンツの SmartAmp スピーカ保護機能とオーディオ チューニング アルゴリズムに対応しており、スピーカを安全動作領域内に維持しながら高い出力 SPL を実現します。

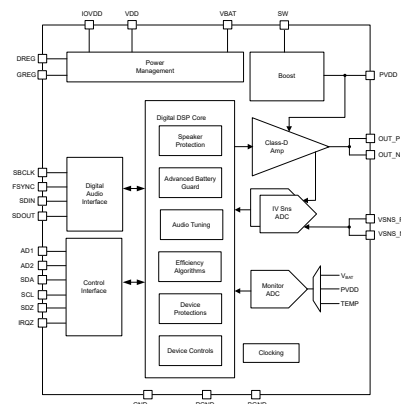
このデバイスは、Class-H、Y ブリッジ、DSP アルゴリズムなどの高度な効率最適化機能を使用して、最良のバッテリー寿命のために最適化されています。DSP 搭載の高度なバッテリー ガード アルゴリズムは、バッテリー容量が消耗する際のオーディオの歪みを防ぎながら、ピーク出力の電力供給を管理します。このアルゴリズムは、ローカル バッテリ電圧 モニタ ADC を使用することによりサポートされます。

I²S/TDM + I²C インターフェイス経由で、最大 4 つの TAS2573 アンプが 1 つの共通バスを共有できます。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TAS2573	WCSP	3.15mm × 2.26mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

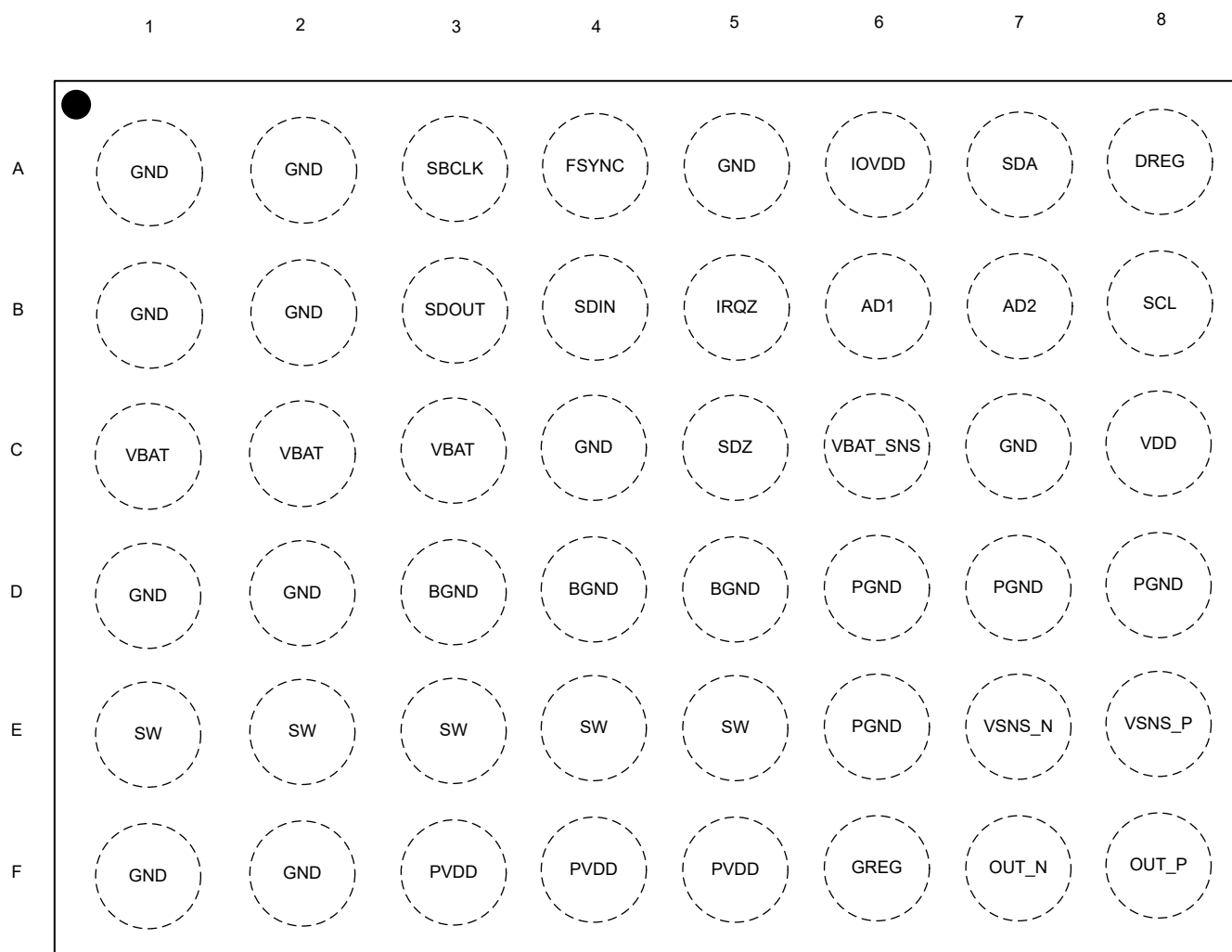


目次

1 特長.....	1	7 レジスタ マップ.....	55
2 アプリケーション.....	1	7.1 PAGE_0 のレジスタ.....	56
3 説明.....	1	7.2 PAGE_1 のレジスタ.....	111
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	127
5 仕様.....	6	8.1 使用上の注意.....	127
5.1 絶対最大定格.....	6	8.2 代表的なアプリケーション.....	127
5.2 ESD 定格.....	6	8.3 電源に関する推奨事項.....	135
5.3 推奨動作条件.....	6	8.4 レイアウト.....	135
5.4 熱に関する情報.....	7	9 改訂履歴.....	137
5.5 電気的特性.....	7	10 デバイスおよびドキュメントのサポート.....	138
5.6 タイミング要件.....	16	10.1 ドキュメントのサポート.....	138
5.7 タイミング図.....	18	10.2 ドキュメントの更新通知を受け取る方法.....	138
5.8 代表的特性.....	18	10.3 サポート・リソース.....	138
6 詳細説明.....	24	10.4 商標.....	138
6.1 概要.....	24	10.5 静電気放電に関する注意事項.....	138
6.2 機能ブロック図.....	24	10.6 用語集.....	138
6.3 デバイスの機能モード.....	24	11 メカニカル、パッケージ、および注文情報.....	139
6.4 機能説明.....	32	11.1 付録: パッケージ オプション.....	140
6.5 プログラミング.....	49	11.2 テープおよびリール情報.....	141

4 ピン構成および機能

図 4-1. パッケージの上面図のピン配置



ADVANCE INFORMATION

ピンの機能

ピン		タイプ ¹	説明
名称	番号		
AD1	B6	I	I ² C アドレス ピン LSB。
AD2	B7	I	I ² C アドレス ピン LSB+1。
BGND	D3	G	昇圧グラウンド。複数のビアを使用して PCB GND プレーンに強力に接続します。
	D4		
	D5		
DREG	A8	P	デジタル コア電圧レギュレータ出力。コンデンサを使用して GND にバイパスします。外部負荷に接続しないでください。
FSYNC	A4	I	プライマリ オーディオ インターフェイス用の I ² S ワード クロックまたは TDM フレーム同期。
GREG	F6	P	ハイサイド ゲート CP レギュレータ出力。外部負荷に接続しないでください。
GND	A1	G	デジタル グラウンド。PCB GND プレーンに接続します。複数のビアで必要とされるグラウンド プレーンへの強力な接続。
	A2		
	A5		
	B1		
	B2		
	C4		
	C7		
	D1		
	D2		
	F1		
	F2		
IOVDD	A6	P	1.2V または 1.8V デジタル IO 電源。コンデンサを使用して GND にデカップリングします。
IRQZ	B5	O	オープンドレイン、アクティブ Low 割り込みピン。オプションの内部プルアップを使用しない場合は、抵抗を使用して IOVDD にプルアップします。
OUT_N	F7	O	Class-D の負出力。
OUT_P	F8	O	Class-D の正出力。
PGND	D6	G	Class-D 電力段のグラウンド。複数のビアを使用して PCB GND プレーンに強力に接続します。
	D7		
	D8		
	E6		
PVDD	F3	P	昇圧出力と Class-D 電力段電源内蔵。
	F4		
	F5		
SBCLK	A3	I	プライマリ オーディオ インターフェイス用の I ² S/TDM シリアル ビット クロック。
SCL	B8	I	I ² C クロック ピン。抵抗を使用して IOVDD にプルアップします。
SDA	A7	I/O	I ² C データピン。抵抗を使用して IOVDD にプルアップします。
SDIN	B4	I	プライマリ オーディオ インターフェイス用の I ² S または TDM シリアル データ入力。
SDOUT	B3	O	プライマリ オーディオ インターフェイス用の I ² S または TDM シリアル データ出力。
SDZ	C5	I	アクティブ Low のハードウェア シャットダウン。
SW	E1	P	昇圧コンバータ スイッチ入力。
	E2		
	E3		
	E4		
	E5		

ピンの機能 (続き)

ピン		タイプ ¹	説明
名称	番号		
VBAT	C1	P	バッテリー電源入力。2.5V または 5.5V の電源に接続し、コンデンサでデカップリングします。
	C2		
	C3		
VBAT_SNS	C6	I	バッテリー センス端子。リモート バッテリー センシングの場合に 1S または 2S バッテリー電源に接続します。リモート センシングを使用しない場合、ピンを接地します。
VDD	C8	P	アナログ、デジタル電源。1.8V 電源に接続し、コンデンサで GND にデカップリングします。
VSNS_N	E7	I	電圧検出の負入力。スピーカにできる限り近づけて、スピーカの負端子に接続します。EMI フィルタを使用する場合は、直列抵抗を追加します。
VSNS_P	E8	I	電圧検出の正入力。スピーカにできる限り近づけて、スピーカの正端子に接続します。EMI フィルタを使用する場合は、直列抵抗を追加します。

1. I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	PVDD	-0.3	19	V
電源電圧	VBAT	-0.3	6	V
電源電圧検出	VBAT_SNS	-0.3	12	V
電源電圧	VDD、IOVDD	-0.3	2	V
昇圧スイッチング ピン	SW	-0.7	19	V
Class-D 出力	OUTP、OUTM	-0.7	19	V
出力検出ピン	VSNSP、VSNSM	-0.3	30	V
ハイサイド駆動レギュレータ	GREG	-0.3	PVDD + 6	V
デジタル電源レギュレータ	DREG	-0.3	1.65	V
デジタル IO ピン	IOVDD 電源を基準とするデジタル ピン	-0.3	2	V
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{BAT}	バッテリー電源 (1S モードおよび外部 PVDD 動作モード)	2.5	3.6	5.5	V
V _{BAT}	バッテリー電源 (2S 動作モード、低電圧バッテリー動作モード)	3	3.6	5.5	V
V _{BAT_SNS}	電流センス ピンの電圧	2.0		10	V
V _{BAT_LV}	低電圧バッテリー動作モードでのバッテリー電圧 (インダクタを介して SW ピンに接続)	2.0	3.6	5.5	V
V _{BAT2S}	2 直列セル バッテリー電圧 (インダクタ経由で SW ピンに接続)	4.7	7.2	10	V
V _{PVDD}	アンプ電源 - 外部 PVDD モード	V _{BAT}	12	14	V
V _{VDD}	電源電圧	1.65	1.8	1.95	V
V _{IOVDD}	IO 電源電圧 1.8V	1.62	1.8	1.98	V
V _{IOVDD}	IO 電源電圧 1.2V	1.08	1.2	1.32	V
R _{SPK}	スピーカの抵抗	3.2	8	38.4	Ω
L _{SPK}	スピーカのインダクタンス	5	33	100	μH
T _A	周辺温度	-40		85	°C

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T _J	接合部温度	-40		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		標準 JEDEC ⁽²⁾	評価基板 ⁽³⁾	単位
		YCG (DSBGA)	YCG (DSBGA)	
		36 ピン	36 ピン	
R _{θJA}	接合部から周囲への熱抵抗	61.9	28.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.3	-	°C/W
R _{θJB}	接合部から基板への熱抵抗	14.1	-	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	13.9	14	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

(2) JEDEC 規格 4 層 PCB

(3) EVM ボードを使用して測定

5.5 電気的特性

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz~20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アンプ性能 - 15V 内部昇圧 1S モード						
P _{OUT}	最大連続出力電力 - 1% THDN	R _L = 8Ω + 33μH		7.0		W
		R _L = 8Ω + 33μH、VBAT = 4.4V		8.5		W
		R _L = 6Ω + 33μH		7.3		W
		R _L = 4Ω + 33μH		7.2		W
		R _L = 4Ω + 33μH、VBAT = 4.4V		8.8		W
P _{OUT}	最大連続出力電力 - 1% THDN、低電圧バッテリー モード	R _L = 8Ω + 33μH		7.0		W
		R _L = 8Ω + 33μH、VBAT = 4.4V		8.5		W
P _{OUT}	最大連続出力電力 - 10% THDN	RL = 8Ω + 33μH、VBAT = 4.4V		10.7		W
		RL = 6Ω + 33μH、VBAT = 4.4V		10.6		W
		RL = 4Ω + 33μH、VBAT = 4.4V		10.6		W
η _{SYSTEM_0.5W}	P _{OUT} でのシステム効率性 = 0.5W	R _L = 8Ω + 33μH		86.6		%
		R _L = 8Ω + 33μH、VBAT = 4.4V		86.1		%
		R _L = 4Ω + 33μH		84.8		%
		R _L = 4Ω + 33μH、VBAT = 4.4V		84.5		%
η _{SYSTEM_1W}	P _{OUT} でのシステム効率性 = 1.0W	R _L = 8Ω + 33μH		85.5		%
		R _L = 8Ω + 33μH、VBAT = 4.4V		88.1		%
		R _L = 4Ω + 33μH		85.2		%
		R _L = 4Ω + 33μH、VBAT = 4.4V		86.7		%
η _{SYSTEM_1W}	P _{OUT} = 1.0W でのシステム効率、低電圧バッテリー モード。	R _L = 8Ω + 33μH		86.6		%
		R _L = 8Ω + 33μH、VBAT = 4.4V		87.7		%

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz～20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$\eta_{\text{SYSTEM_MAX_POUT}}$	1% THD+N 電源レベルでのシステム効率性	$R_L = 8\Omega + 33\mu\text{H}$		79.4		%
$\eta_{\text{SYSTEM_MAX_POUT}}$	1% THD+N 電源レベルでのシステム効率性	$R_L = 4\Omega + 33\mu\text{H}$		76.3		%
V_N	アイドル チャネル ノイズ	A 特性重み付け、ゲイン = 6dBV (レシーバ モード)、DAC 動作中		4.2		μV
		A 特性重み付け、ゲイン = 21dBV (スピーカー モード)、DAC 動作中		14.2		μV
DNR	ダイナミック レンジ	A 特性重み付け、-60dBFS 方式、 $R_L = 8\Omega + 33\mu\text{H}$ 、ゲイン = 6dBV (レシーバ モード)		114.0		dB
		A 特性重み付け、-60dBFS 方式、 $R_L = 8\Omega + 33\mu\text{H}$ 、ゲイン = 21dBV (スピーカー モード)		114.0		dB
THD+N	全高調波歪み + ノイズ	$P_{\text{OUT}} = 1\text{W}$ 、 $R_L = 8\Omega + 33\mu\text{H}$		0.003		%
		$P_{\text{OUT}} = 1\text{W}$ 、 $R_L = 4\Omega + 33\mu\text{H}$		0.005		%
		$P_{\text{OUT}} = 0.25\text{W}$ 、 $R_L = 8\Omega + 33\mu\text{H}$ 、ゲイン = 6dBV (レシーバ モード)		0.003		%
K_{CP}	クリックおよびポップ性能	障害を除く、オーディオ チャネルのすべての動的な電源オン/オフ。ミュートのオン/ オフ、電源オン/ オフ、ノイズ ゲート モードの出入りを含みます。ピーク A 特性重み付け電圧として測定。 $R_L = 8\Omega + 33\mu\text{H}$ 、入力 = デジタルサイレンス		-68		dBV
BW	アンプ入力信号帯域幅	$f_s \geq 96\text{kpsps}$ 、ゲイン誤差 < パスバンドリップル		45		kHz
V_{FS}	フルスケール等価電圧	6dBFS 入力で測定		11.2		V _{RMS}
		-6dBFS 入力で測定、ゲイン = 6dBV (レシーバ モード)		2.00		V _{RMS}
A_{GAIN}	オーディオ チャネル ゲインのプログラマブル範囲	0.5dB ステップでのゲイン プログラマビリティ	0		21	dBV
$A_{\text{GAIN_ERR}}$	アンプのゲイン誤差	$P_{\text{OUT}} = 1\text{W}$		±0.1		dB
		$P_{\text{OUT}} = 0.25\text{W}$ 、ゲイン = 6dBV (レシーバ モード)		±0.1		dB
V_{OS}	出力オフセット電圧	アイドル チャネル	-1		1	mV
		アイドルチャネル、ゲイン = 6dBV (レシーバ モード)	-1		1	mV
F_{PWM}	Class-D PWM スイッチング周波数	SSM モードにおける平均クロック周波数		384		kHz
$\text{PSRR}_{\text{VBAT}}$	VBAT 電源除去比	$\text{VBAT} = 3.6\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 217\text{Hz}$		115		dB
		$\text{VBAT} = 3.6\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 1\text{kHz}$		115		dB
		$\text{VBAT} = 3.6\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 20\text{kHz}$		85		dB
PSRR_{VDD}	VDD 電源除去比	$\text{VDD} = 1.8\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 217\text{Hz}$		110		dB
		$\text{VDD} = 1.8\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 1\text{kHz}$		110		dB
		$\text{VDD} = 1.8\text{V} + 200\text{mV}_{\text{pp}}$ 、 $f_{\text{ripple}} = 20\text{kHz}$		90		dB
MUTE_ATTN	ミュート減衰	デバイスは MUTE モードです。DAC 変調器動作中		114		dB
アンプ性能 - 内部昇圧 2S モード						

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz~20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
P _{OUT_BO} OST_2S	最大連続出力電力 - 1% THDN	RL = 8Ω + 33μH		10.4		W
		RL = 8Ω + 33μH、VBAT2S = 8.4V		10.7		W
		RL = 6Ω + 33μH		12.1		W
		RL = 4Ω + 33μH		13.2		W
		RL = 4Ω + 33μH、VBAT2S = 8.4V		15.0		W
η _{SYSTEM_0.5W_2S}	P _{OUT} でのシステム効率性= 0.5W	RL = 8Ω + 33μH		85.1		%
		RL = 8Ω + 33μH、VBAT2S = 8.4V		85.7		%
		RL = 4Ω + 33μH		83.5		%
		RL = 4Ω + 33μH、VBAT2S = 8.4V		82.7		%
η _{SYSTEM_1W_2S}	P _{OUT} でのシステム効率性= 1.0W	RL = 8Ω + 33μH		89.2		%
		RL = 8Ω + 33μH、VBAT2S = 8.4V		89.5		%
		RL = 4Ω + 33μH		86.2		%
		RL = 4Ω + 33μH、VBAT2S = 8.4V		85.8		%
η _{SYSTEM_MAX_POUT_2S}	1% THD+N 電源レベルでのシステム効率性	RL = 8Ω + 33μH		87.5		%
		RL = 8Ω + 33μH、VBAT2S = 8.4V		88.4		%
		RL = 4Ω + 33μH		82.1		%
		RL = 4Ω + 33μH、VBAT2S = 8.4V		82.9		%
VN_2S	アイドル チャネル ノイズ	A 特性重み付け、ゲイン = 6dBV (レシーバ モード)、DAC 動作中		4.2		μV
		A 特性重み付け、ゲイン = 21dBV (スピーカー モード)、DAC 動作中		14.1		μV
DNR_2S	ダイナミック レンジ	A 特性重み付け、-60dBFS 方式、ゲイン = 6dBV (レシーバ モード)		114.0		dB
		A 特性重み付け、-60dBFS 方式、ゲイン = 21dBV (スピーカー モード)		115.6		dB
THD+N_2S	全高調波歪み + ノイズ	P _{OUT} = 1W、RL = 8Ω + 33μH、fin = 1kHz		0.003		%
		P _{OUT} = 1W、RL = 4Ω + 33μH、fin = 1kHz		0.003		%
		P _{OUT} = 0.25W、RL = 8Ω + 33μH、fin = 1kHz、ゲイン = 6dBV (レシーバ モード)		0.005		%
K _{CP_2S}	クリックおよびポップ性能	障害を除く、オーディオ チャネルのすべての動的な電源オン/オフ。ミュートのオン/ オフ、電源オン/ オフ、ノイズ ゲート モードの出入りを含みます。ピーク A 特性重み付け電圧で測定。RL = 8Ω + 33μH、入力 = デジタル サイレンス。		-68		dBV
PSRR _{VB} AT2S	VBAT2S 電源電圧変動除去比	VBAT2S = 7.2V + 200mVpp、リップル周波数 = 217Hz		115		dB
		VBAT2S = 7.2V + 200mVpp、リップル周波数 = 1kHz		115		dB
		VBAT2S = 7.2V + 200mVpp、リップル周波数 = 20kHz		90		dB
PSRR _{VB} AT_2S	VBAT 電源除去比	VBAT = 3.6V + 200mVpp、f _{ripple} = 217Hz		115		dB
		VBAT = 3.6V + 200mVpp、f _{ripple} = 1kHz		115		dB
		VBAT = 3.6V + 200mVpp、f _{ripple} = 20kHz		90		dB

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz～20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR _{V_DD_2S}	VDD 電源除去比	VDD = 1.8V + 200mV _{pp} , f _{ripple} = 217Hz		110		dB
		VDD = 1.8V + 200mV _{pp} , f _{ripple} = 1kHz		110		dB
		VDD = 1.8V + 200mV _{pp} , f _{ripple} = 20kHz		90		dB
アンプ性能 -外部 PVDD モード						
P _{OUT_EXT_PVDD}	最大連続出力電力 - 1% THDN	R _L = 8Ω + 33μH		8.3		W
		R _L = 4Ω + 33μH		14.9		W
P _{OUT_EXT_PVDD}	最大連続出力電力 - 10% THDN	R _L = 8Ω + 33μH		10.3		W
		R _L = 4Ω + 33μH		18.4		W
		R _L = 4Ω + 33μH, PVDD=14V		24.5		W
η _{SYSTEM_EXT_0.5W}	P _{OUT} でのシステム効率性= 0.5W	R _L = 8Ω + 33μH		83.9		%
		R _L = 4Ω + 33μH		80.0		%
η _{SYSTEM_EXT_1W}	P _{OUT} でのシステム効率性= 1.0W	R _L = 8Ω + 33μH		88.1		%
		R _L = 4Ω + 33μH		84.2		%
η _{SYSTEM_EXT_MAX_POUT}	1% THD+N 電源レベルでのシステム効率性	R _L = 8Ω + 33μH		93.2		%
		R _L = 4Ω + 33μH		88.5		%
V _{N_EXT}	アイドル チャネル ノイズ	A 特性重み付け、ゲイン = 21dBV (スピーカモード)、DAC 動作中		14.4		μV
DNR _{EXT}	ダイナミックレンジ	A 特性重み付け、-60dBFS 方式、R _L = 8Ω + 33μH		114.4		dB
THD+N _{EXT}	全高調波歪み + ノイズ	P _{OUT} = 1W, R _L = 8Ω + 33μH, f _{in} = 1kHz		0.003		%
		P _{OUT} = 1W, R _L = 4Ω + 33μH, f _{in} = 1kHz		0.004		%
K _{CP_EXT}	クリックおよびポップ性能	障害を除く、オーディオ チャネルのすべての動的な電源オン/オフ。ミュートのオン/ オフ、電源オン/ オフ、ノイズ ゲート モードの出入りを含みます。ピーク A 特性重み付け電圧で測定。R _L = 8Ω + 33μH、入力 = デジタルサイレンス		-68		dBV
V _{OS_EXT}	出力オフセット電圧	アイドル チャネル	-1		1	mV
PSRR _{PVDD_EXT}	PVDD 電源除去比	PVDD = 12V + 200mV _{pp} 、リップル周波数 = 217Hz		115		dB
		PVDD = 12V + 200mV _{pp} 、リップル周波数 = 1kHz		115		dB
		PVDD = 12V + 200mV _{pp} 、リップル周波数 = 20kHz		95		dB
PSRR _{VBAT_EXT}	VBAT 電源除去比	VBAT = 3.6V + 200mV _{pp} , f _{ripple} = 217Hz		115		dB
		VBAT = 3.6V + 200mV _{pp} , f _{ripple} = 1kHz		115		dB
		VBAT = 3.6V + 200mV _{pp} , f _{ripple} = 20kHz		90		dB
PSRR _{V_DD_EXT}	VDD 電源除去比	VDD = 1.8V + 200mV _{pp} , f _{ripple} = 217Hz		110		dB
		VDD = 1.8V + 200mV _{pp} , f _{ripple} = 1kHz		110		dB
		VDD = 1.8V + 200mV _{pp} , f _{ripple} = 20kHz		90		dB
電流および電圧 (I-V) 検出						
I _{SENSE_FS}	電流検出のフルスケール入力電流	デフォルトのプログラム可能設定、-6dBFS で測定		2		A _{PK}

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz～20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{SENSE_A} CC	電流センスの精度	f _{IN} = 1kHz、P _{OUT} = 1W		±1		%
		f _{IN} = 1kHz、P _{OUT} = 1W、2S 動作モード		±1		%
		f _{IN} = 1kHz、P _{OUT} = 1W、外部 PVDD モード		±1		%
V _{SENSE_FS}	フルスケール電圧入力	デフォルトのプログラム可能設定、-6dBFS で測定		13		V _{PK}
V _{SENSE_A} CC	電圧センスの精度	f _{IN} = 1kHz、P _{OUT} = 1W		±1		%
		f _{IN} = 1kHz、POUT = 1W、2S 動作モード		±1		%
		f _{IN} = 1kHz、POUT = 1W、外部 PVDD モード		±1		%
V _{BY_ILIN}	V/I センス ゲインの相対精度	f _{IN} = 20Hz ~ 20kHz、P _{OUT} ≥ 5mW ~ 0.1% THDN 電力、0°C ≤ T _{AMB} ≤ +70°C、キャリブレーション基準。パイロット = -40dBFS/16Hz (シングル トーン)		±0.4		%
		f _{IN} = 20Hz ~ 20kHz、POUT ≥ 5mW ~ 0.1% THDN 電力、0°C ≤ T _{AMB} ≤ +70°C、キャリブレーション基準。パイロット = -40dBFS/16Hz (シングル トーン)、2S 動作モード		±0.4		%
		f _{IN} = 20Hz ~ 20kHz、POUT ≥ 5mW ~ 0.1% THDN 電力、0°C ≤ T _{AMB} ≤ +70°C、RL = 4Ω + 33μH、5A I-sense フルスケール、外部 PVDD、キャリブレーション基準。パイロット = -40dBFS/16Hz (シングル トーン)		±0.4		%
昇圧コンバータ						
V _{BOOST_RANGE}	最大出力電圧プログラマビリティ範囲	66mV 単位でプログラム可能	5.5		15	V
V _{BOOST_STEP}	Class-H 出力電圧ステップ サイズ			33		mV
V _{BOOST}	出力昇圧電圧	I _O = 0.1A。平均出力値。 V _{BOOST_MAX_CTRL} = 最大値		14.9		V
I _{BOOST_CL}	ピーク入力電流制限	BST_ILIM = 最大値設定		5.1		A
I _{BOOST_CL}	ピーク入力電流制限	BST_ILIM = 最小値設定		1.5		A
	ピーク入力電流制限プログラマブル ステップ サイズ			39.1		mA
昇圧コンバータ 2S 動作モード						
V _{BOOST_RANGE}	出力電圧範囲	66mV 単位でプログラム可能	10		15	V
V _{BOOST_STEP}	Class-H 出力電圧ステップ サイズ			33		mV
I _{BOOST_CL}	ピーク入力電流制限	最大設定		5.1		A
I _{BOOST_CL}	ピーク入力電流制限	最小設定		1.5		A
TDM シリアル ポート						

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz～20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	最 PCM サンプルレートと FSYNC 入力周波数		16		192	kHz
	最 SBCLK 入力周波数	I ² S/TDM での動作	0.512		24.57	MHz
	SBCLK の最大入力ジッタ	性能を低下させない許容範囲 40kHz 未満の RMS ジッタ			0.5	ns
		性能を低下させない許容範囲 40kHz 以上の RMS ジッタ			5	ns
	I ² S および TDM モードにおける FSYNC 当たりの SBCLK サイクル	値: 64、96、128、192、256、384、512	64		512	サイクル
PCM 再生特性 (fs ≤ 48kHz)						
fs	サンプルレート		16		48	kHz
	オーディオ チャンネル パスバンド LPF コーナー	リップル < パス バンドリップル		0.454		fs
	オーディオ チャンネル パス バンドリップル	20Hz ～ LPF のカットオフ		±0.1		dB
	オーディオ チャンネル ストップ バンド減衰	≥ 0.55fs		60		dB
		≥ 1fs		65		dB
	オーディオチャンネル グループ遅延	fin = 1kHz、Class-H モード		31.5		1/fs
		fin = 1kHz、Class-H バイパス		6.5		1/fs
		DC ～ 20kHz、HPF バイパス、Class-H バイパス		11.0		1/fs
		DC ～ 20kHz、HPF バイパス、Class-H モード		37.0		1/fs
	I-V センス チャンネル ローパス フィルタ カットオフ周波数	リップル < パス バンドリップル		0.417		kHz
		IVSENSE_LPF_ENABLE = 1、リップル < パス バンドリップル		0.125		kHz
	I-V Sense チャンネル パス バンドリップル	20Hz ～ 20kHz		±0.1		dB
	I-V 検出チャンネル グループ遅延	Fin = 1kHz		4.8		fs
		DC ～ LPF コーナー、HPF バイパス		13.7		fs
PCM 再生特性 (fs > 48kHz)						
fs	サンプルレート		88.2		192	kHz
	オーディオ チャンネル パスバンド LPF コーナー	fs = 96kHz		0.469		fs
		fs = 192kHz		0.234		fs
	オーディオ チャンネル パス バンドリップル	20Hz ～ LPF のカットオフ		±0.2		dB
	オーディオ チャンネル ストップ バンド減衰	Fs = 96kHz、fin ≥ 0.55fs		60		dB
		fs = 96kHz、fin ≥ 1fs		65		dB
		fs = 192kHz、0.55fs ≥ fin ≥ 0.275fs		60		dB
	オーディオチャンネル グループ遅延	fin = 1kHz、Fs = 96kHz、Class-H モード		56.7		1/fs
		DC ～ 40kHz、fs = 96kHz、HPF バイパス、Class-H バイパス		8.6		1/fs
		DC ～ 40kHz、fs = 192kHz、HPF バイパス、Class-H モード		117.8		1/fs

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz～20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	I-V センス チャンネル ローパス フィルタ カット オフ周波数	fs = 96kHz		0.208		kHz
		fs = 192kHz		0.104		kHz
		IVSENSE_LPF_ENABLE = 1、fs = 96kHz		0.125		kHz
		IVSENSE_LPF_ENABLE = 1、fs = 192kHz		0.063		kHz
	I-V Sense チャンネル パス バンドリップル	20Hz ～ 20kHz		±0.1		fs
	I-V 検出チャンネル グループ遅延	Fin = 1kHz		6.3		fs
		DC ～ LPF コーナー、HPF バイパス		8.7		fs
検出回路						
	温度の測定範囲		-40		150	°C
	温度測定の分解能			2		°C
	温度測定の精度	25°C で測定		±2.5		°C
	VBAT の測定範囲	VBAT ピン			6	V
	VBAT の測定範囲	VBAT_SNS ピン			12	V
	VBAT 測定分解能	VBAT ピン		1.25		mV
	VBAT 測定分解能	VBAT_SNS ピン		2.5		mV
	VBAT 測定精度	VBAT ピン、3.6V で測定		±25		mV
	VBAT 測定精度	VBAT_SNS ピン、7.2V で測定		±50		mV
	PVDD の測定範囲				18	V
	PVDD 測定分解能			3.75		mV
	PVDD 測定精度			±75		mV
保護回路						
	サーマル シャットダウン温度			140		°C
	サーマル シャットダウン再試行時間			1.5		s
	VBAT 低電圧誤動作防止スレッシュホールド (UVLO)	UVLO がアサートされている	1.9			V
		UVLO が解除されます		2.3		V
	VDD 低電圧誤動作防止スレッシュホールド (UVLO)	UVLO がアサートされている	1.4			V
		UVLO が解除されます		1.6		V
	PVDD 低電圧誤動作防止スレッシュホールド (UVLO)	UVLO がアサートされるのは、外部 PVDD モード時のみ	2.6			V
		UVLO は外部 PVDD モード時のみ解除されます		2.8		V
	PVDD の過電圧誤動作防止スレッシュホールド (OVLO)	OVLO がアサートされ、OVLO 保護がイネーブルになります。		16		V
	出力短絡保護	出力間、出力 ～ GND、出力 ～ PVDD、出力 ～ VBAT、H ブリッジ モード		4.1		A
電源オン/オフ時間						
T _{STDBY}	SDZ がアサートされてから i2c コマンドに対してデバイスが準備完了となるまでの起動時間				300	us
T _{ACTIVE}	ソフトウェア シャットダウン解除からアンプ出力が有効になるまでの起動時間	ボリューム ランピング ディセーブル		1.6		ms
		ボリューム ランピングがイネーブル		3.9		ms

TA = 25°C, VBAT = 3.6V, VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz~20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{TURNOFF}	ソフトウェア シャットダウンがアサートされてからアンプ出力が High-Z になるまでのオフ時間	ボリウム ランピング ディセーブル		0.2		ms
		ボリウム ランピングがイネーブル		13.9		ms
消費電流 - 内部昇圧モード						
I _{Q_HW_SD}	ハードウェア シャットダウン モードでの消費電流	VBAT、SDZ = 0		0.1		μA
		VDD、SDZ = 0		0.2		μA
		IOVDD、SDZ = 0		0.1		μA
I _{Q_SW_SD}	ソフトウェア シャットダウン時の消費電流	VBAT、すべてのクロックが停止		0.1		μA
		VDD、すべてのクロックが停止		12		μA
		IOVDD、すべてのクロックが停止		0.1		μA
I _{Q_NG}	アイドル チャネルでの消費電流	VBAT、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.19		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		2.6		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがイネーブル		5.5		mW
I _{Q_IDLE}	アイドル チャネルでの消費電流	VBAT、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.65		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		9.3		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがディセーブル		19		mW
I _{Q_IDLE}	アイドル チャネル、低電圧バッテリー動作モードでの消費電流	VBAT、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.67		mA
		VBAT_LV (SW での電流 + VBAT_SNS)、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.3		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		9.3		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがディセーブル		20		mW
消費電流 - 内部昇圧モード 2S モード						
I _{Q_HW_SD}	ハードウェア シャットダウン モードでの消費電流	VBAT、SDZ = 0		0.1		μA
		VBAT2S、SDZ = 0		0.1		μA
		VDD、SDZ = 0		0.2		μA
		IOVDD、SDZ = 0		0.1		μA
I _{Q_SW_SD}	ソフトウェア シャットダウン時の消費電流	VBAT、すべてのクロックが停止		0.1		μA
		VBAT2S、すべてのクロックが停止		0.1		μA
		VDD、すべてのクロックが停止		12		μA
		IOVDD、すべてのクロックが停止		0.1		μA

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz~20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{Q_NG}	アイドル チャネルでの消費電流	VBAT、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
		VBAT2S、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		2.7		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがイネーブル		5.8		mW
I _{Q_IDLE}	アイドル チャネルでの消費電流	VBAT、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.5		mA
		VBAT2S、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.35		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		9.3		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがディセーブル		21.2		mW
消費電流 - 外部 PVDD モード						
I _{Q_HW_SD}	ハードウェア シャットダウン モードでの消費電流	PVDD、SDZ = 0		1		μA
		VBAT、SDZ = 0		0.1		μA
		VDD、SDZ = 0		0.2		μA
		IOVDD、SDZ = 0		0.1		μA
I _{Q_SW_SD}	ソフトウェア シャットダウン時の消費電流	PVDD、すべてのクロックが停止		1		μA
		VBAT、すべてのクロックが停止		0.1		μA
		VDD、すべてのクロックが停止		12		μA
		IOVDD、すべてのクロックが停止		0.1		μA
I _{Q_NG}	アイドル チャネルでの消費電流	PVDD、P _{OUT} = 0、ノイズゲートがイネーブル		0.1		mA
		VBAT、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.12		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		2.6		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがイネーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがイネーブル		5.9		mW
I _{Q_IDLE}	アイドル チャネルでの消費電流	PVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.2		mA
		VBAT、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.5		mA
		VDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		9.2		mA
		IOVDD、P _{OUT} = 0、ノイズ ゲートがディセーブル		0.1		mA
		合計電力、P _{OUT} = 0、ノイズ ゲートがディセーブル		20.5		mW
デジタル IO						

TA = 25°C、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD = 1.8V、IOVDD = 1.8V、RL = 8Ω + 33μH、LBOOST = 1μH、Fin = 1kHz、Fs = 48kHz、ゲイン = 21dBV、BST_ILIM (1S ブースト モード) = 5.1A、BST_ILIM (2S ブースト モード) = 5.1A、SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モード無効、特に記載のない限り、22Hz~20kHz の重み付けなしの帯域幅で Audio Precision を使用してフィルタなしで測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH}	High レベル デジタル入力ロジック電圧スレッシュホールド	すべてのデジタル ピン	0.7 × IOVDD			V
V _{IL}	Low レベル デジタル入力ロジック電圧スレッシュホールド	すべてのデジタル ピン			0.3 × IOVDD	V
V _{OH}	High レベル デジタル出力電圧	SDA、SCL、IRQZ を除くすべてのデジタル ピン: I _{OH} = 100μA	IOVDD (正の温度係数) - 0.2V			V
V _{OL}	Low レベル デジタル出力電圧	SDA、SCL、IRQZ を除くすべてのデジタル ピン: I _{OL} = -100μA			0.2	V
V _{OL(I2C)}	Low レベル デジタル出力電圧	SDA および SCL: I _{OL} = -1mA			0.2 × IOVDD	V
V _{OL(IRQZ)}	オープンドレイン出力におけるローレベル デジタル出力電圧	IRQZ ピン: I _{OL} = -1mA			0.2	V
I _{IH}	デジタル入力への入力ロジック High リークエージ	すべてのデジタル ピン。入力=IOVDD。	-1		1	μA
I _{IL}	デジタル入力への入力ロジック Low リークエージ	すべてのデジタル ピン: 入力 = GND	-1		1	μA
C _{IN}	デジタル入力の入力容量	すべてのデジタル ピン			5	pF
R _{PD}	デジタル入力 / IO ピンがアサートされたときのプルダウン抵抗	すべてのデジタル ピン。プルダウン抵抗オプションがイネーブル			18	kΩ

5.6 タイミング要件

T_A = 25°C、VDD = IOVDD = 1.8V (特に記述のない限り)

		最小値	公称値	最大値	単位
I2C - 標準モード					
f _{SCL}	SCL クロック周波数	0		100	kHz
t _{HD;STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	4			μs
t _{LOW}	SCL クロック Low 期間	4.7			μs
t _{HIGH}	SCL クロックの High の時間	4			μs
t _{SU;STA}	反復開始条件のセットアップ時間	4.7			μs
t _{HD;DAT}	データ ホールド時間: I ² C バス デバイスの場合	0		3.45	μs
t _{SU;DAT}	データ セットアップ時間	250			ns
t _r	SDA と SCL の立ち上がり時間			1000	ns
t _f	SDA と SCL の立ち下がり時間			300	ns
t _{SU;STO}	STOP 条件のセットアップ時間	4			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
C _b	各バスラインの容量性負荷			400	pF
I2C - 高速モード					
f _{SCL}	SCL クロック周波数	0		400	kHz
t _{HD;STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			μs
t _{LOW}	SCL クロック Low 期間	1.3			μs

T_A = 25°C、VDD = IOVDD = 1.8V (特に記述のない限り)

		最小値	公称値	最大値	単位
t _{HIGH}	SCL クロックの High の時間	0.6			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.6			μs
t _{HD,DAT}	データ ホールド時間:I ² C バス デバイスの場合	0		0.9	μs
t _{SU,DAT}	データ セットアップ時間	100			ns
t _r	SDA と SCL の立ち上がり時間	20 + 0.1 × C _b		300	ns
t _f	SDA と SCL の立ち下がり時間	20 + 0.1 × C _b		300	ns
t _{SU,STO}	STOP 条件のセットアップ時間	0.6			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
C _b	各バスラインの容量性負荷			400	pF
I2C - 高速モード プラス					
f _{SCL}	SCL クロック周波数	0		1000	kHz
t _{HD,STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.26			μs
t _{LOW}	SCL クロック Low 期間	0.5			μs
t _{HIGH}	SCL クロックの High の時間	0.26			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.26			μs
t _{HD,DAT}	データ ホールド時間:I ² C バス デバイスの場合	0			μs
t _{SU,DAT}	データ セットアップ時間	50			ns
t _r	SDA と SCL の立ち上がり時間			120	ns
t _f	SDA と SCL の立ち下がり時間			120	ns
t _{SU,STO}	STOP 条件のセットアップ時間	0.26			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5			μs
C _b	各バスラインの容量性負荷			550	pF
TDM ポート					
f _{sbclk}	SBCLK 周波数範囲	0.384		24.576	MHz
t _H (SBCLK)	SBCLK の High 期間	0.35/f _{sbclk}			ns
t _L (SBCLK)	SBCLK の Low 期間	0.35/f _{sbclk}			ns
t _{SU(FSYNC)}	FSYNC のセットアップ時間	8			ns
t _{HLD(FSYNC)}	FSYNC のホールド時間	8			ns
t _{SU(SDIN)}	SDIN のセットアップ時間	8			ns
t _{HLD(SDIN)}	SDIN のホールド時間	8			ns
t _d (SBCLK-SDOUT)	SBCLK から SDOUT への遅延:SBCLK の立ち下がりエッジの 10% または SBCLK の立ち上がりエッジの 90%から SDOUT の 50% まで、IOVDD = 1.8V			13	ns
t _d (SBCLK-SDOUT)	SBCLK から SDOUT への遅延:SBCLK の立ち下がりエッジの 10% または SBCLK の立ち上がりエッジの 90%から SDOUT の 50% まで、IOVDD = 1.2V			18	ns
t _r (SBCLK)	SBCLK の立ち上がり時間:10%~90%			0.15 / f _{sbclk}	ns
t _f (SBCLK)	SBCLK の立ち下がり時間:90%~10%			0.15 / f _{sbclk}	ns

5.7 タイミング図

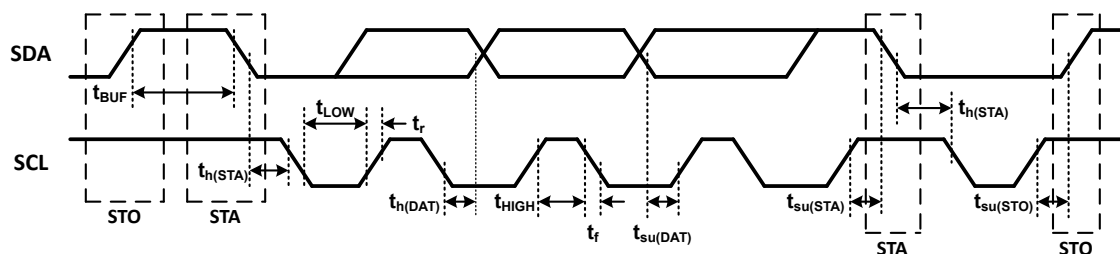


図 5-1. I²C のタイミング図

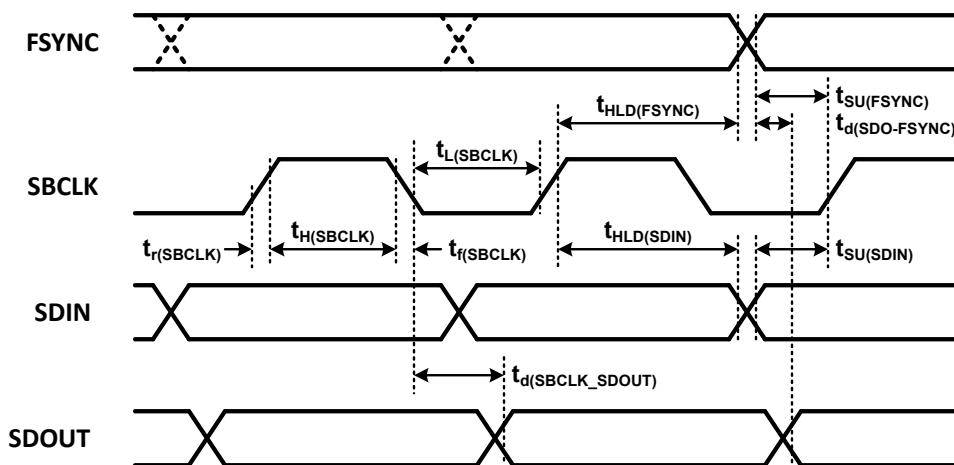
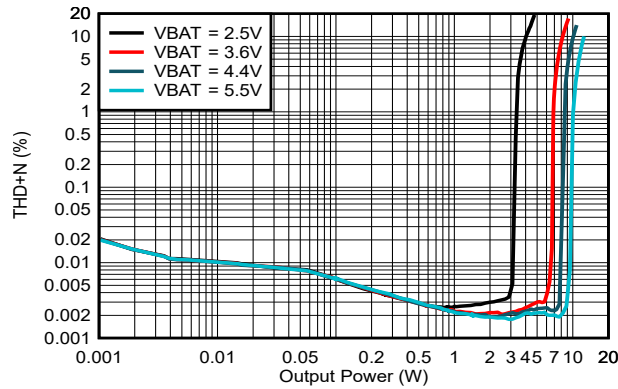


図 5-2. I²S/ TDM のタイミング図

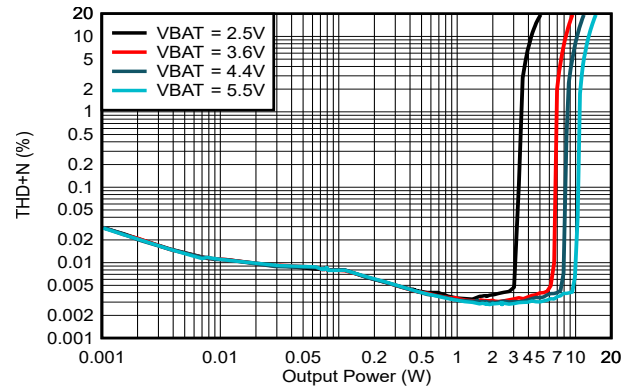
5.8 代表的特性

$T_A = 25^\circ\text{C}$ 、VBAT = 3.6V、VBAT2S = 7.2V (2S モード イネーブル)、PVDD = 12V (外部 PVDD モード イネーブル)、VDD=1.8V、IOVDD=1.8V、負荷 = $8\Omega + 33\mu\text{H}$ 、LBOOST = $1\mu\text{H}$ 、 $F_{IN} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、ゲイン = 21dBV、BST_ILIM (1S 昇圧モード) = 5.1A、BST_ILIM (2S 昇圧モード) = 5.0A SDZ=1、VBAT_BIAS_SEL2 = 10 (低電圧バッテリー モード)、ノイズ ゲート モードがディスエーブル、特に記載のない限り、22Hz ~ 20kHz の重み付けなしの帯域で Audio Precision を用いてフィルタなしで測定しています。



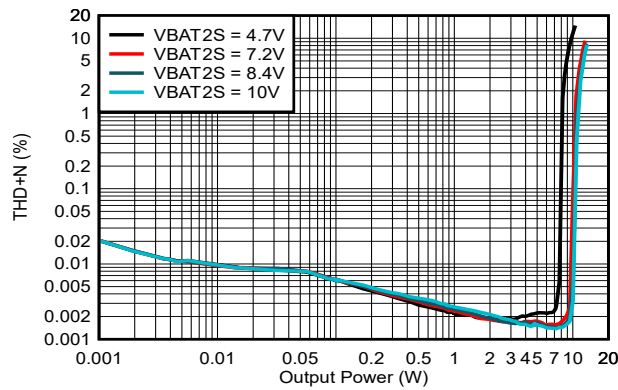
$R_L = 8\Omega$

図 5-3. THD+N と出力電力との関係



$R_L = 4\Omega$

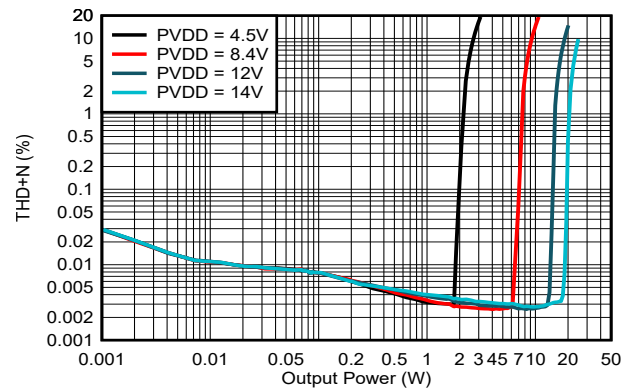
図 5-4. THD+N と出力電力との関係



$R_L = 8\Omega$

2S バッテリー モード

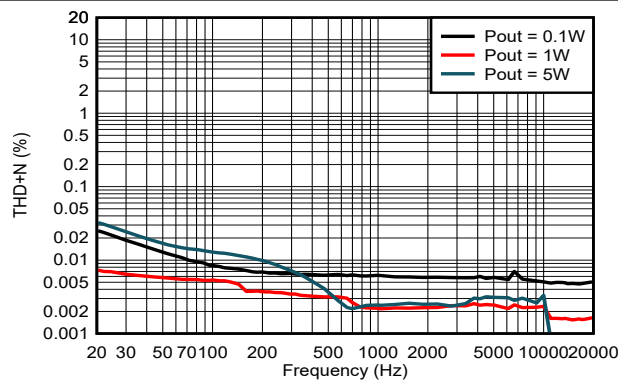
図 5-5. THD+N と出力電力との関係



$R_L = 4\Omega$

外部 PVDD モード

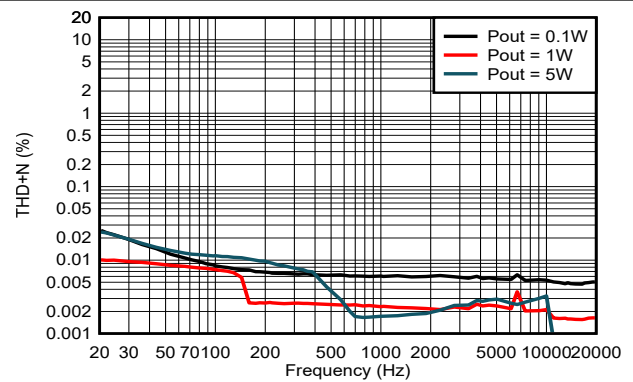
図 5-6. THD+N と出力電力との関係



$R_L = 8\Omega$

VBAT = 4.4V

図 5-7. THD+N と周波数との関係



$R_L = 8\Omega$

VBAT2S = 8.4V

2S バッテリー モード

図 5-8. THD+N と周波数との関係

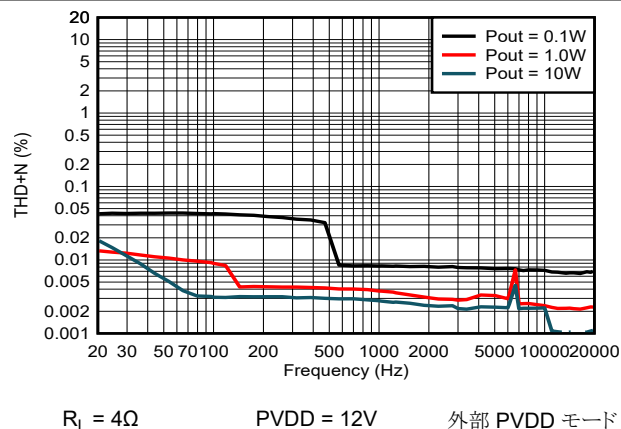


図 5-9. THD+N と周波数との関係

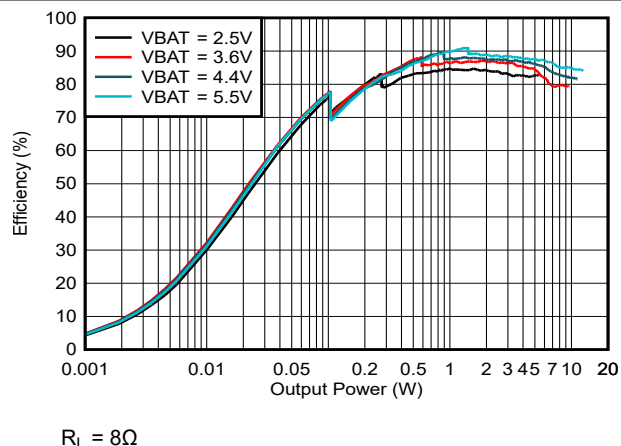


図 5-10. 効率と出力電力との関係

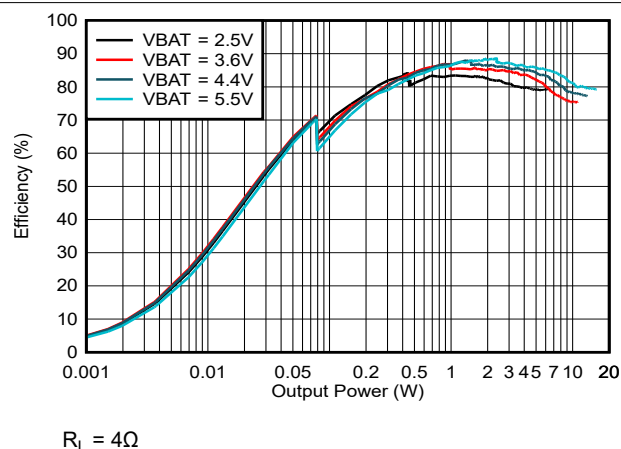


図 5-11. 効率と出力電力との関係

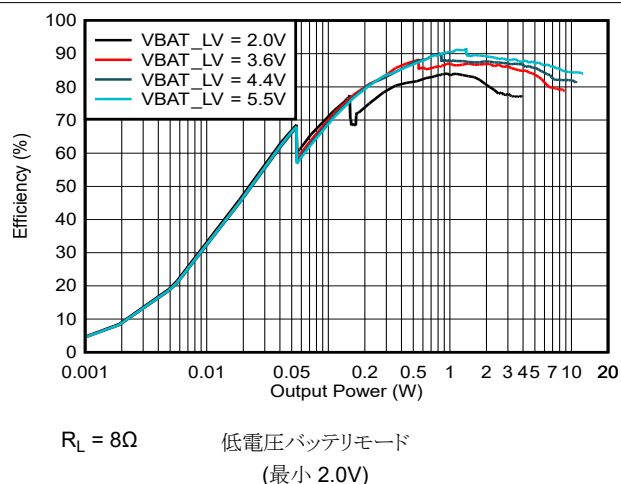


図 5-12. 効率と出力電力との関係

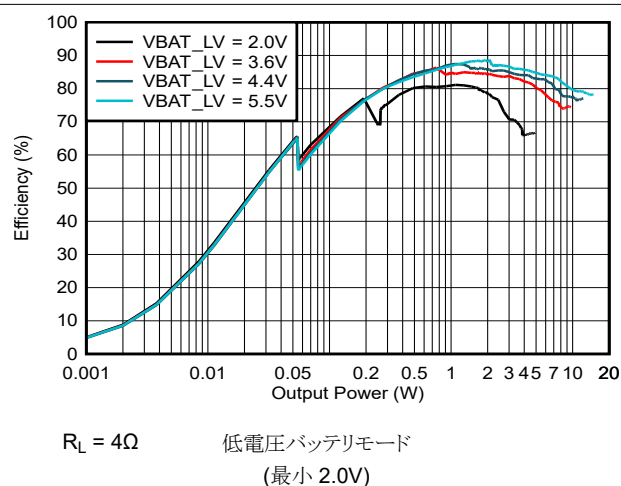


図 5-13. 効率と出力電力との関係

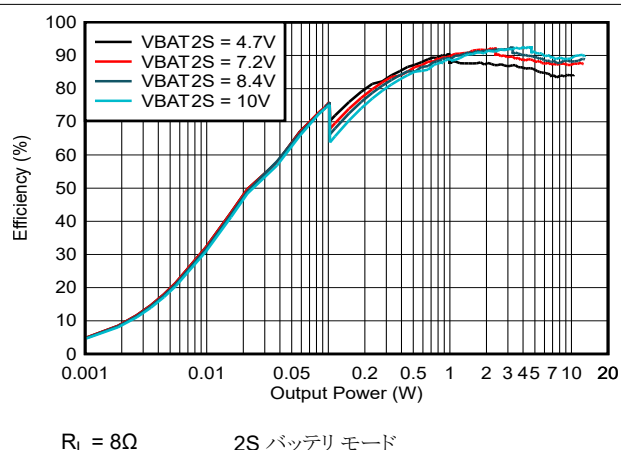
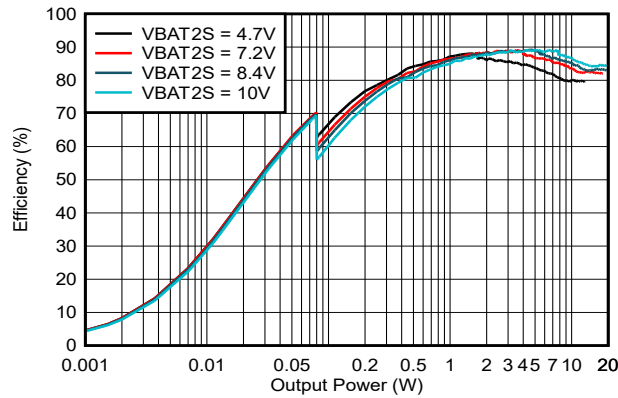
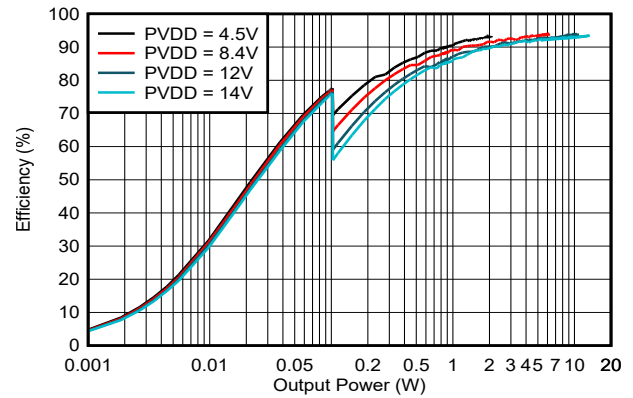


図 5-14. 効率と出力電力との関係



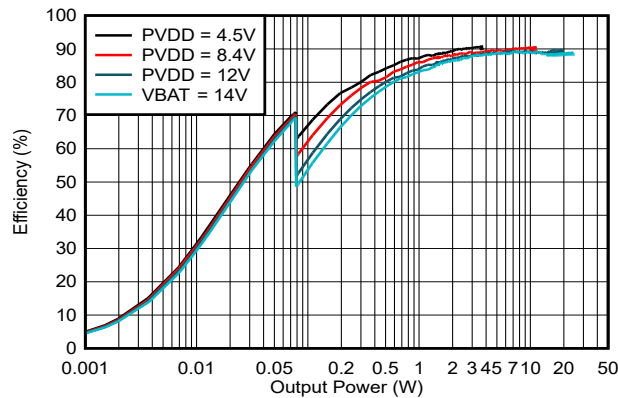
$R_L = 4\Omega$ 2S バッテリ モード

図 5-15. 効率と出力電力との関係



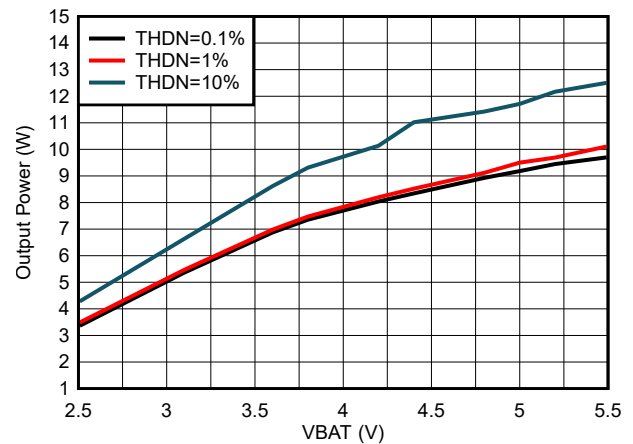
$R_L = 8\Omega$ 外部 PVDD モード

図 5-16. 効率と出力電力との関係



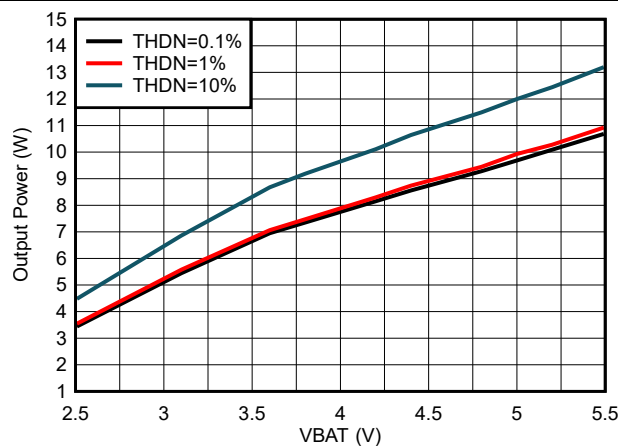
$R_L = 4\Omega$ 外部 PVDD モード

図 5-17. 効率と出力電力との関係



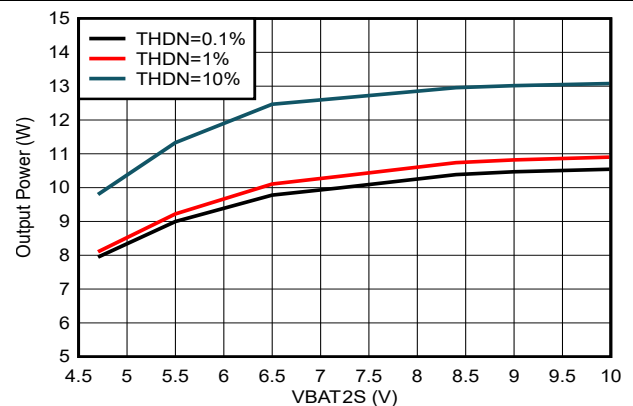
$R_L = 8\Omega$

図 5-18. 出力電力と バッテリ電圧との関係



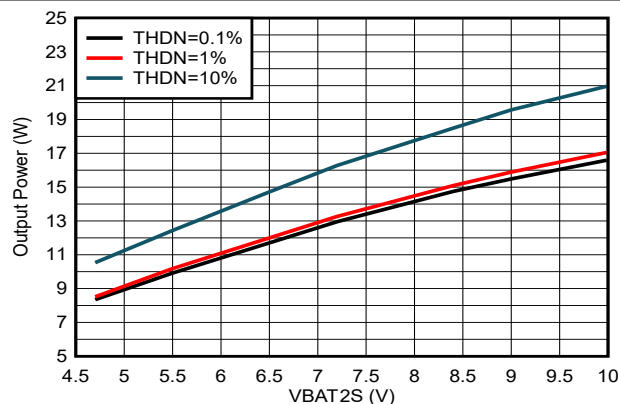
$R_L = 4\Omega$

図 5-19. 出力電力と バッテリ電圧との関係



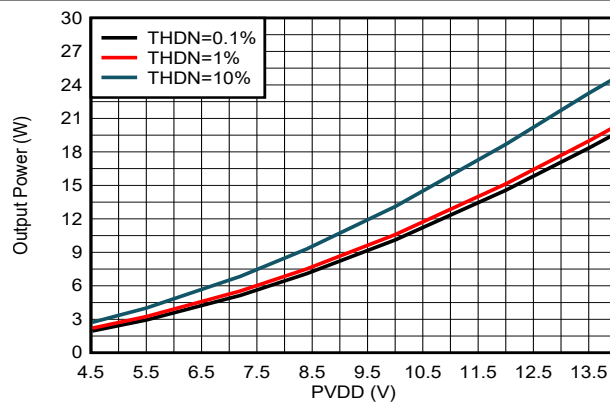
$R_L = 8\Omega$ 2S バッテリ モード

図 5-20. 出力電力と 2S バッテリ電圧との関係



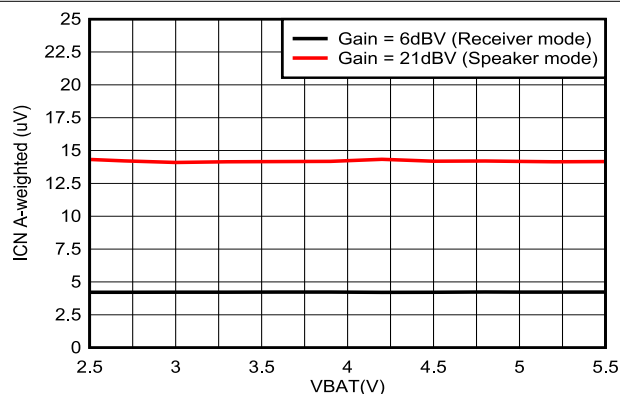
$R_L = 4\Omega$ 2S バッテリー モード

図 5-21. 出力電力と 2S バッテリー電圧との関係



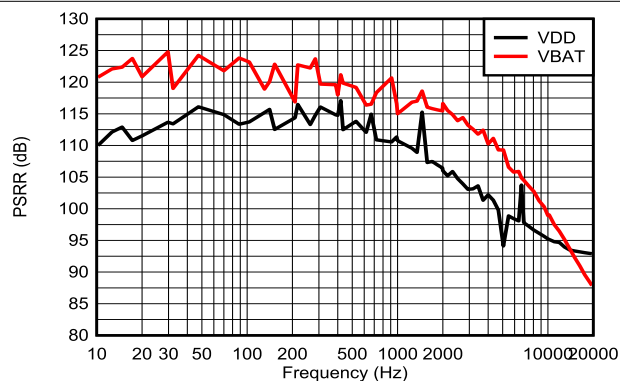
$R_L = 4\Omega$ 外部 PVDD モード

図 5-22. 出力電力と外部 PVDD 電圧との関係



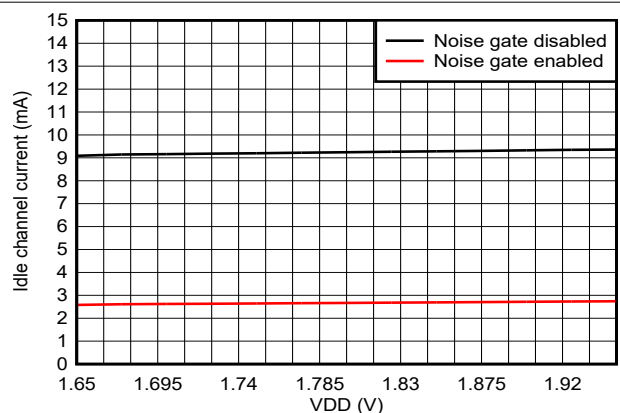
$R_L = 8\Omega$

図 5-23. アイドル チャネル ノイズと VBAT 電圧との関係



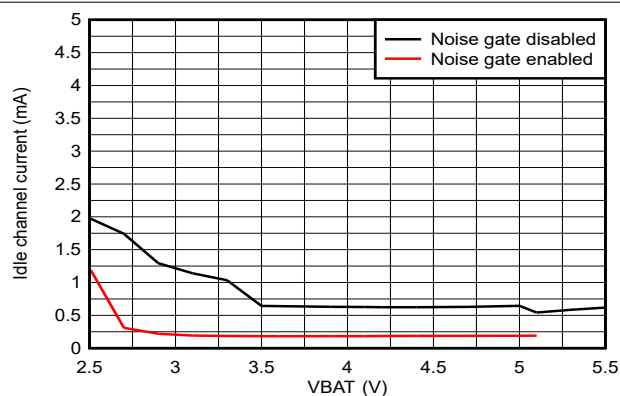
$R_L = 8\Omega$

図 5-24. PSRR と周波数との関係



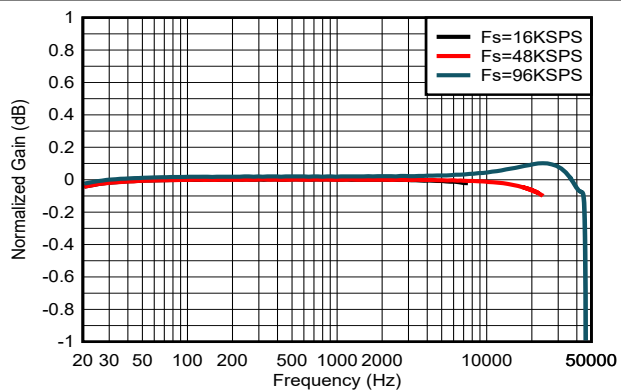
$R_L = 8\Omega$ DSP アルゴリズムがディスエーブル

図 5-25. アイドル チャネル電流と VDD 電圧との関係



$R_L = 8\Omega$

図 5-26. アイドル チャネル電流と VBAT 電圧との関係



$R_L = 8\Omega$

図 5-27. オーディオ チャネル周波数応答

6 詳細説明

6.1 概要

TAS2573 は、すべての出力電力範囲で最高の効率を発揮し、バッテリー駆動時間を延長できるよう最適化されたモノラルデジタル入力対応 **Class-D** アンプです。このデバイスは基板スペースに制約のあるアプリケーション向けに、小型設計サイズで提供されます。デバイスは、**Class-H** 制御用に **33mV** ステップ サイズ分解能を持つ **Class-H** 昇圧、高精度なスピーカ電圧/電流センサ、さらにシステム レベルの保護機能を実現するバッテリー/温度センサを統合しています。オンチップの低レイテンシ **DSP** は、スピーカ保護、オーディオ拡張、バッテリー保護アルゴリズムをサポートします。

6.2 機能ブロック図

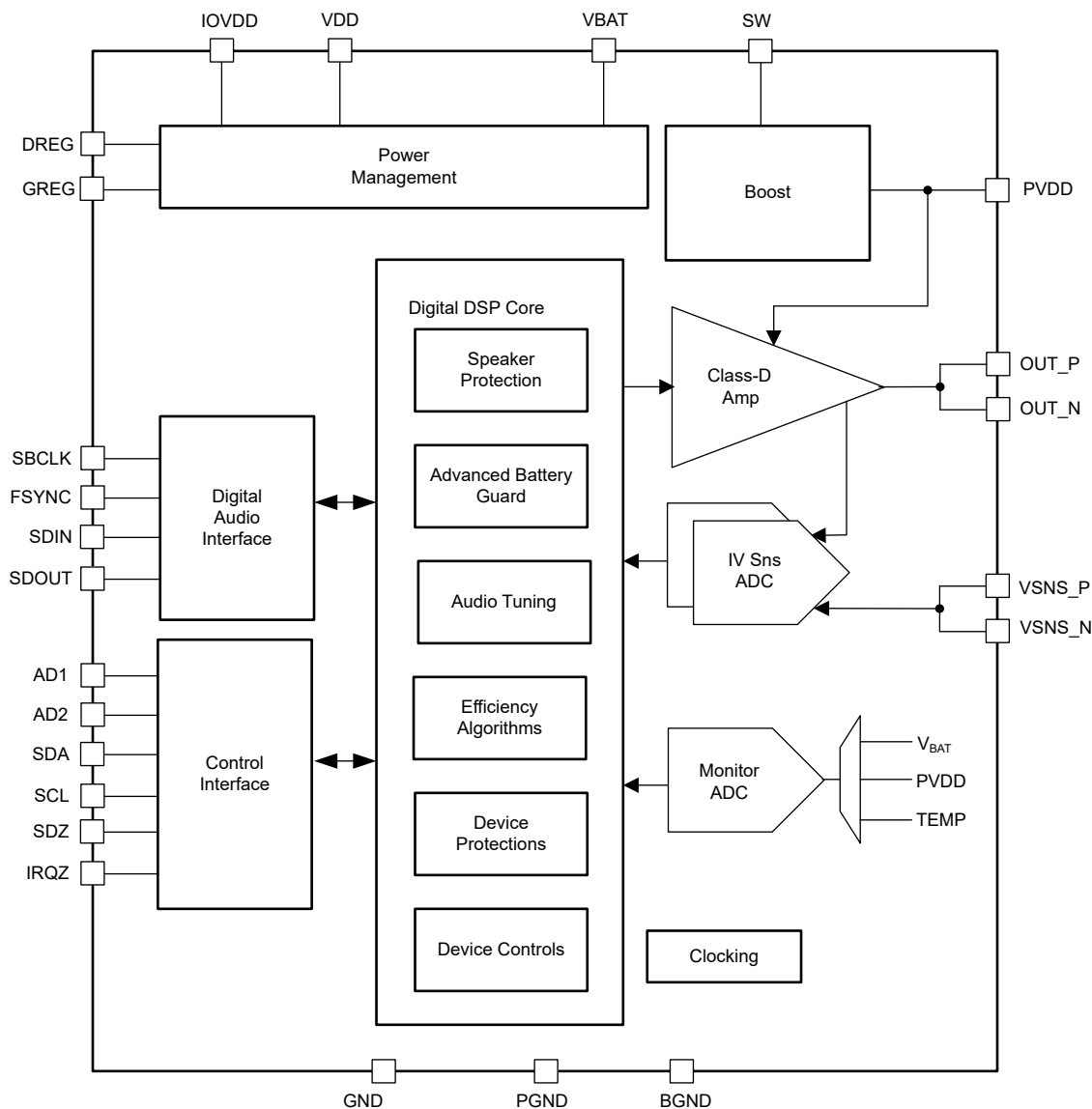


図 6-1. 最上位機能ブロック図

6.3 デバイスの機能モード

6.3.1 動作モード

6.3.1.1 ハードウェア シャットダウン

デバイスは、SDZ ピンを Low にアサートすることでパワーダウンできます。SDZ ピンが Low にプルダウンされたときのデバイスのシャットダウン動作は、SDZ_MODE レジスタの設定によって制御されます。

ハードウェア シャットダウン モード (SDZ_MODE[1:0] = 00 または 01) では、SDZ ピンが Low にアサートされると、デバイスは VDD および VBAT 電源から最小の静止電流を消費します。このモードではすべてのレジスタの状態が失われ、デフォルト設定に戻り、I²C 通信は無効になります。

SDZ_MODE[1:0] = 00 に設定されている場合、オーディオ再生中に SDZ ピンが Low にアサートされると、デバイスは通常のパワー ダウン シーケンスに従います。具体的には、オーディオのボリュームをランプ ダウン (有効な場合) し、Class-D スwitchングを停止し、アナログおよびデジタル ブロックの電源を落としてパワー ダウン時のポップ ノイズを防止し、最終的にデバイスをハードウェア シャットダウン モードに移行させます。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信が無効になります。

SDZ_MODE[1:0] = 01 に設定されている場合、SDZ ピンが Low にアサートされると、デバイスは即座にハードウェア シャットダウンに入り、パワー ダウン シーケンス処理は行われません。TI では、このモードでは、SDZ ピンを Low にアサートする前に、オーディオ入力信号をアイドル チャネルまでランプ ダウンさせることを推奨しています (これを実現するためにデバイスのソフトウェア ミュート モードを使用できます)。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信が無効になります。

最後に、SDZ_MODE[1:0] = 10 に設定することで、デバイスをソフトウェア シャットダウン モードに構成できます。このモードでは、SDZ ピンが Low にプルダウンされると、デバイスは通常のパワー ダウン シーケンスに従い、ソフトウェア シャットダウン モードに入ります。すべてのデバイス レジスタ構成は、SDZ ピンが Low にプルダウンされる前のデバイスの状態をそのまま保持します。このモードでは、SDZ ピンが Low にアサートされている間、I²C 通信は引き続き利用可能です。

表 6-1. シャットダウン制御

SDZ_MODE[1:0]	構成
00 (デフォルト)	パワーダウン シーケンスによるハードウェア シャットダウン モード
01	ハードウェア シャットダウン モード - 即時
10	ソフトウェア シャットダウン モード (すべてのレジスタ値は保持)
11	予約済み

SDZ_MODE[1:0] が 00 または 10 の場合、デバイスはシャットダウン シーケンスを実行し、シャットダウン時間の全期間にわたって SDZ ピンを Low に保持する必要があります。シャットダウン時間は、電気的特性セクションのパワーアップ/パワーダウン時間セクションで規定されています。SDZ が解放されると、デバイスは AD1 と AD2 ピンをサンプリングし、ソフトウェア シャットダウン モードに移行します。

6.3.1.2 ソフトウェア電力モード制御とソフトウェア リセット

TAS2573 の電力状態は、レジスタ MODE[1:0] を使用して制御できます。いずれかのモード設定を変更しても、デバイスの既存の構成のレジスタ設定が失われることはありません。

アクティブ状態: MODE[1:0] が「00」に設定されると、デバイスはアクティブ動作モードに入り、オーディオ チャネルおよび I-V センス チャネルが、クリック音やポップ音を最小限に抑える適切なパワーアップ シーケンスで起動します。イネーブルの場合、スピーカ電圧と電流検出は動作可能です。

ミュート状態: MODE[1:0] が 01 に設定されている場合、デバイスはミュート動作モードに入ります。ミュート状態がプログラムされる前にデバイスの状態がソフトウェア シャットダウンである場合、オーディオ チャネルおよび I-V センス チャネルは、クリック音やポップ音を最小限に抑える適切なパワーアップ シーケンスで起動し、その後チャネルはミュート モードに入ります。ミュート状態がアサートされた時にオーディオ チャネルがアクティブであれば、デバイスは Class-D アンプの音量をランプ ダウンさせてミュート状態にします。ミュート中でも Class-D は切り替わりますが、オーディオ コンテンツは送信

されません。ミュートがデアサートされ、デバイスがアクティブ状態に設定されると、デバイスはプログラムされたデジタル ボリューム設定までボリュームをランプ アップします。

ソフトウェア シャットダウン状態:MODE[1:0] が「10」に設定されると、デバイスはソフトウェア シャットダウン モードに入ります。このモードは、オーディオ再生に必要なすべてのアナログ ブロックの電源を落としますが、デバイスのレジスタ状態が失われることはありません。ソフトウェア シャットダウンがアサートされたときにオーディオが再生中の場合、**Class-D** はボリュームをランプ ダウンしてからシャット ダウンします。デアサートされると、**Class-D** アンプはスイッチングを再開し、ボリュームはプログラムされたデジタル ボリューム設定へ段階的に戻ります。

クロック ベースのアクティブおよびシャットダウン状態:MODE[1:0] が「11」に設定されている場合、デバイスは **ASI** 入力ピン (BCLK および FSYNC) に入力される有効な **ASI** クロック信号に基づいて、アクティブ状態とシャットダウン状態の間を切り替えます。クロックが印加されると、デバイスは自動的にクロック信号を検出し、パワーアップ時のクリック音やポップ音を回避するために適切なパワーアップ シーケンスに従います。オーディオ チャンネルが起動中に **ASI** クロックが取り外されると、デバイスは自動的にパワーダウン シーケンスを開始し、クリック音やポップ音を回避します。TI では、クロックを停止する前に入力データ ストリームで音量をランプダウンすることを推奨しています。これによりポップ音やクリック音の影響を最小限にできます (この動作はデバイスのソフトウェア ミュート モードを使用して実現できます)。

表 6-2. ソフトウェア モード制御

MODE[1:0]	構成
00	アクティブ動作モードのデバイス
01	予約済み
10 (デフォルト)	ソフトウェア シャットダウン モードのデバイス
11	クロックベースのアクティブおよびシャットダウン モードのデバイス

TAS2573 は、SW_RESET レジスタを「1」に設定することで、デフォルト構成にリセットできます。デバイスがパワーアップしているときに SW_RESET ビットが High に設定されると、すべてのチャンネルは即座にパワー ダウンされます。SW_RESET が High にセットされると、すべてのレジスタがデフォルト状態に復元されます。このビットは自己クリアされ、リセットが完了すると「0」に戻ります。

デバイスのステータスがアクティブ動作モードに達したときに INT_LTCH0[1] ビット (セクション 6.3.2) を使用して、ホストに信号を送信することもできます。このビットはライブ デバイス ステータスビットであり、デバイス ステータスをリアルタイムで反映します。このビットは、デバイスがアクティブ モードのときは High にセットされ、デバイスがシャットダウン モードのときは Low にセットされます。

6.3.1.3 効率および省電力モード

TAS2573 は、すべての動作条件で最高のシステムレベルの効率を達成するように設計された複数の省電力モードを備えています。デバイスは、設定されたモードおよび信号条件に基づいて、あるモードから次のモードへと移行します。モード間の遷移は自動で行われ、遷移中も高性能なオーディオ レベルを保持できるよう設計されています。

Efficiency_MODE[1:0] レジスタを使用すると、音楽用効率とノイズ ゲートの各動作モードを設定できます

表 6-3. 効率モード制御

EFFICIENCY_MODE[1:0]	構成
00	音楽用効率とノイズ ゲート モードがディセーブル
01	ノイズ ゲート モードのみ
10	音楽用効率モードのみ
11 (デフォルト)	音楽用効率とノイズ ゲート モードが両方ともイネーブル

6.3.1.3.1 ノイズゲート

ノイズゲート機能がイネーブルになると、デバイスはアクティブ再生モード中の無音期間を自動的に検出し、アイドルチャネルの消費電力を大幅に削減してバッテリー寿命を延ばします。この機能は、長い無音期間を含む信号の再生、例えば音声通話や映画のトラックなどに有用です。

デバイスは、**NG_TH_LVL[2:0]** レジスタで構成されたプログラム済みノイズゲートスレッシュホールドに対して入力オーディオ信号レベルを監視します。オーディオ信号がスレッシュホールドを下回ると、内部ヒステリシスタイマがイネーブルになります。信号レベルが **NG_HYST_TIMER[1:0]** の全期間にわたって構成済みの **NG_TH_LVL[2:0]** 未満である場合、デバイスはノイズゲートモードに入り、アイドルチャネルの消費電力を低減します。ノイズゲート動作モードでは、**Class-D PWM** 出力のような高スイッチングブロックは **OFF** にされ、出力は **Low** にプルダウンされます。**Class-D** の出力インピーダンスは、**CLASSD_HIZ_MODE** レジスタを使用してノイズゲートモードがアクティブのときに制御できます。ノイズゲートモードがアクティブの間、**Class-D** 出力はスイッチングせず、デバイスはオーディオ出力信号を生成しません。デバイスがノイズゲートモードのとき、**NG_STATUS** ビットは **high** に設定され、デバイスがノイズゲートモードを終了すると、ステータスビットは **low** にセットされます。

信号レベルが **NG_TH_LVL[1:0]** を超えると、デバイスは低 **IQ** モードでブロックを自動的にウェークアップし、オーディオ入力信号の再生を開始します。ノイズゲートからウェークアップでは、ノイズゲートモードからアクティブ再生モードへの遷移時間中に入力信号データをバッファリングすることで、信号の忠実度が維持されます。デバイスは、ノイズゲートからアクティブ再生への遷移中にオーディオ入力サンプルを失うことはありません。

ノイズゲートモードへの遷移およびノイズゲートモードからの復帰は、適切なシャットダウンおよびパワーアップシーケンスに従うことで、クリック音やポップノイズが発生しないように設計されています。

表 6-4. ノイズゲートスレッシュホールド

NG_TH_LVL[2:0]	構成
000	-85dBFS
001	-90dBFS
010	-95dBFS
011	-100dBFS
100 (デフォルト)	-105dBFS
101	-110dBFS
110	-115dBFS
111	-120dBFS

表 6-5. ノイズゲートヒステリシスタイマ

NG_HYST_TIMER[1:0]	構成
00	10ms
01 (デフォルト)	50ms
10	100ms
11	1000ms

6.3.1.3.2 音楽用効率モード

音楽用効率モード機能が有効になると、デバイスはアクティブ再生モード中の低電力信号状態を自動的に検出し、全体の **I_Q** 消費電力を低減してバッテリー寿命を延ばします。この機能は、音楽トラック、音声通話、映画のトラックなど、信号レベルが変動するダイナミックオーディオ信号に有用です。

このデバイスは、**MUSIC_EFF_MODE_THR[23:0]** レジスタで設定されたプログラムされた音楽効率スレッシュホールドと比較して、入力オーディオ信号レベルを監視します。オーディオ信号がスレッシュホールドを下回ると、内部ヒステリシスタイマがイネーブルになります。信号レベルが **MUSIC_EFF_MODE_TIMER[23:0]** の全期間にわたって構成済みの

MUSIC_EFF_MODE_THR[23:0] 未満である場合、デバイスは音楽用効率モードに入ります。音楽用効率モードでは、I-sense や V-sense などのデバイスの内部ブロックが低 I_Q 状態に移行し、デバイス全体の I_Q 消費電力を低減します。音楽用効率モードがアクティブの間、I-V センス出力データは「0」レベルに保持されます。デバイスが音楽用効率モードのとき、**MUSIC_EFF_STATUS** ビットは high に設定され、デバイスが音楽用効率モードを終了すると、ステータス ビットは low に設定されます。

信号レベルが **MUSIC_EFF_MODE_THR[23:0]** を上回ると、デバイスは自動的に低 I_Q モードでブロックをウェークアップし、オーディオ入力信号の再生を継続します。音楽用効率モードから通常動作への移行は、最小限のクリックとポップで行われます。デバイスが音楽用効率モードである間、オーディオ チャネルの性能は維持され、出力信号レベルやノイズには影響しません。

MUSIC_EFF_MODE_THR[23:0] レジスタと **MUSIC_EFF_MODE_TIMER[23:0]** レジスタは、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して構成できます。

6.3.1.3.3 VDD Y ブリッジ

TAS2573 は Y ブリッジ出力段を使用して、VDD 電源と PVDD 電源の間で Class-D 出力 PWM 電圧をスイッチングします。**EN_Y_BRIDGE_MODE** を High に設定してこの機能を有効にすると、デバイスは出力 PWM を切り替えるのに必要な出力電圧を自動的に選択します。信号レベルが低い場合、出力は VDD でスイッチングされ、Class-D 出力のスイッチング電圧を低減することで、システム レベルでの効率を向上させます。信号レベルが高い場合、出力は、内蔵昇圧回路によって設定された PVDD 電圧レベル、または外部 PVDD 動作モードにおける外部 PVDD でスイッチングされます。

このデバイスは、**VDD_MODE_THR_LVL[23:0]** レジスタによって構成されたプログラムされた Y ブリッジ モード スレッシュホルドと比較して、入力オーディオ信号レベルを監視します。オーディオ信号がスレッシュホルドを下回ると、内部ヒステリシス タイマがイネーブルになります。信号レベルが選択された時間全体にわたって設定された **YBRIDGE_HYST_TIMER[1:0]** を下回ると、このデバイスは低電圧の VDD 電源ベース PWM スwitching モードに入ります。

信号レベルが **VDD_MODE_THR_LVL[23:0]** と **VDD_MODE_HYST[23:0]** を上回ると、デバイスは信号クリッピングを発生させずに PVDD 電源の出力 PWM 信号のスイッチングを開始します。

VDD_MODE_THR_LVL[23:0] レジスタおよび **VDD_MODE_HYST[23:0]** レジスタは、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して構成できます。

表 6-6. VDD Y ブリッジ ヒステリシス タイマ

YBRIDGE_HYST_TIMER[1:0]	構成
00	100 μ s
01 (デフォルト)	500 μ s
10	5ms
11	50ms

表 6-7. VDD Y ブリッジのイネーブル

EN_Y_BRIDGE_MODE	構成
0	Y ブリッジ モードはディスエーブル
1 (デフォルト)	Y ブリッジ モードはイネーブル

6.3.1.3.4 Class-H 昇圧

TAS2573 は先進の Class-H アルゴリズムを備えており、内蔵昇圧回路を制御します。Class-H アルゴリズムは、ブースト電源をオーディオ信号レベルに近接して追従させることで、システム レベルでの高効率を実現し、バッテリー寿命を延ばします。Class-H モードは、**BST_MODE[1:0]** レジスタを使用して有効になります。

Class-H アルゴリズムは、ブースト出力コンデンサを充電するために必要な先読み時間を確保し、信号のクリッピングを回避するために入力信号をバッファリングします。このアルゴリズムは入力信号レベルを監視し、PPC3 ソフトウェアで構成されたブースト出力電圧、ブースト出力コンデンサ、チャンネル ゲインなどのシステム レベルのパラメータを使用して、最適な Class-H チューニング パラメータを算出します。次に、これらのチューニングパラメータレジスタは PPC3 ソフトウェアで計算され、対応する **CLASSH_TUNING_x[23:0]** レジスタで設定されます。

BST_MODE[1:0] を Class-G モードまたはブースト常時 ON モードに設定した場合、PPC3 ソフトウェアで突入電流パラメータを設定することで、バッテリーからの最大突入電流を制御できます。ソフトウェアは、昇圧出力コンデンサや必要な突入電流などの構成済みシステム レベルのパラメータに基づいて、**CLASSH_TUNING_x[23:0]** レジスタに必要な係数を生成します。

6.3.1.4 2S バッテリー モード

TAS2573 は、単セル直列 (1S) の Li-ion バッテリー (2.5V ~ 5.5V) や、2 直列セル (2S) のバッテリー (4.7V ~ 10V) など、さまざまなバッテリー システムに対応するよう構成できます。デバイスに 2S バッテリーが選択されている場合、以下の図は 2S バッテリーを接続するためのシステムにおける概念的な接続を示しています。2S バッテリー動作に設定されている場合、デバイスの VBAT ピンは内部ブロックのバイアス用に使用され、3.0V ~ 5.5V の範囲で外部電源から供給する必要があります。

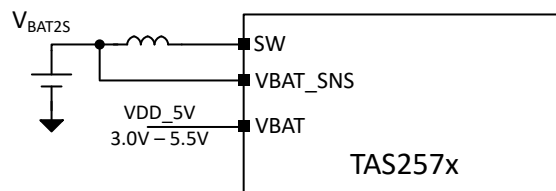


図 6-2. 2S バッテリー モードのシステム構成

内部バッテリー電圧モニタは、デフォルトで VBAT ピンで行われているセンシングを、VBAT_SNS ピンでの電圧センシングに切り替える必要があります。**SEL_VBAT_MODE[1:0]** は、1S または 2S バッテリー システムの内部電圧モニタとデバイス構成を設定します。

SEL_VBAT_MODE[1:0] が「10」に設定されている場合、たとえば 2S 動作モードでは、デバイスの内部バイアス電圧を **VBAT_BIAS_SELx** レジスタに基づいて構成する必要があります。VBAT ピンの電圧がセンター タップから、または 2S バッテリー電圧の半分から利用できる場合、**VBAT_BIAS_SEL1** を high に設定する必要があります。その他の VBAT 電圧構成では、**VBAT_BIAS_SEL1** を Low に設定し、適切な **VBAT_BIAS_SEL2** 構成を選択する必要があります。

表 6-8. バッテリー モードの選択

SEL_VBAT_MODE[1:0]	構成
00 (デフォルト)	VBAT ピンの電圧モニタ。1S 動作モード
01	VBAT_SNS ピンの電圧モニタ。1S 動作モード
10	VBAT_SNS ピンの電圧モニタ。2S 動作モード
11	予約済み

表 6-9. VBAT ピンのバイアス電圧セクタ

VBAT_BIAS_SEL1	構成
0 (デフォルト)	VBAT_BIAS_SEL2 レジスタに基づく VBAT ピンのバイアス

表 6-9. VBAT ピンのバイアス電圧セレクト (続き)

VBAT_BIAS_SEL1	構成
1	VBAT ピンの電圧は 2S バッテリー電圧の半分です

表 6-10. VBAT ピンのバイアス電圧セレクト

VBAT_BIAS_SEL2[1:0]	構成
00	予約済み
01 (デフォルト)	VBAT ピンの最小電圧 > 2.9V
10	VBAT ピンの最小電圧 > 3.3V
11	VBAT ピンの最小電圧 > 3.7V

6.3.1.5 低電圧バッテリー モード

TAS2573 は、シングル直列セル (1S) リチウムイオン バッテリー (2.5V ~ 5.5V) または他の低電圧 1S バッテリー (V_{BAT_LV} = 1.8V ~ 5.5V) など、さまざまなバッテリー システムで動作するように構成できます。デバイスに低電圧バッテリー モードが選択されている場合、以下の図はバッテリーを接続するためのシステムにおける概念的な接続を示しています。選択されている場合、デバイスの VBAT ピンは内部ブロックのバイアス用に使用され、3.0V ~ 5.5V の範囲で外部電源から供給する必要があります。

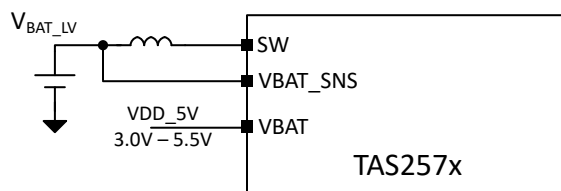


図 6-3. 低電圧バッテリー モードのシステム構成

内部バッテリー電圧モニタは、デフォルトで VBAT ピンで行われているセンシングを、VBAT_SNS ピンでの電圧センシングに切り替える必要があります。SEL_VBAT_MODE[1:0] は内部電圧モニタを構成します。

SEL_VBAT_MODE[1:0] は「10」、つまり VBAT_SNS ピンで検出されるバッテリー電圧に設定され、VBAT_BIAS_SEL2 レジスタはシステムで利用可能な VDD_5V 電圧に基づいて構成する必要があります。VBAT_BIAS_SEL2 = 「01」、つまり 2.9V の最小 VDD_5V 電圧に構成すると、利用できるバイアス電圧が制限されるため昇圧が低電力構成となり、最大出力電力が低下します。

最小電圧の選択は PPC3 ソフトウェアを使用して実行する必要があります。 V_{BAT_LV} の最小電圧サポートの 2 つのオプション、最小 1.8V モードと最小 2.0V モードを利用できます。最小電圧サポートと効率にはトレードオフがあります。 V_{BAT_LV} を 1.8V に選択すると、昇圧がオンになる出力電力は V_{BAT_LV} の最小 2.0V モードより低くなり、昇圧がオンになっている間の V_{BAT_LV} の最小 1.8V モードのデバイス効率も最小 2.0V モード時より低くなります。

6.3.1.6 外部 PVDD モード

TAS2573 の内部昇圧は、BST_EN レジスタを Low に設定することで無効化できます。外部 PVDD モードが使用される場合、Class-D アンプは PVDD ピンの電源から直接駆動されます。外部 PVDD 動作モードで所要の性能構成に設定するためには、PPC3 ソフトウェアを使用してデバイス構成を更新する必要があります。

6.3.2 フォルトとステータス

パワー アップ シーケンス中、パワーオンリセット回路 (POR) は VDD ピンおよび IOVDD ピンを監視し、電源が有効になるまでデバイスをリセット状態 (すべての構成レジスタを含む) に保持します。VDD または IOVDD の電源電圧が UVLO 電圧スレッショルドを下回るディップが発生すると、デバイスはすべてのレジスタ構成とともに即座にリセットされます。

動作モード中、デバイスは内部ステータスおよびフォルト状態を監視し、IRQZ 割り込みピンおよび内部 I²C ベースの割り込みレジスタを使用して、エラーやステータス状態をホストに通知できます。IRQZ ピンでの割り込み生成は、対応する割り込みマスクレジスタビットを構成することでマスクできます。

表 6-11 には、デバイスが監視するさまざまなフォルトと割り込み、および割り込み生成の有効化/無効化や I²C 割り込みステータスの読み取りに対応する構成ビットが一覧されています

表 6-11. 障害と割り込み

カテゴリ	割り込み	割り込みマスクレジスタビット	デフォルトのマスクステータス	割り込みラッチステータスビット
リミッタおよび電圧低下保護 セクション 6.4.2.5	電圧低下検出	INT_MASK0[3]	マスクしない	INT_LTCH0[3]
	BOP がアクティブ	INT_MASK0[2]	マスクしない	INT_LTCH0[2]
	BOP 無限ホールド	INT_MASK0[7]	マスクしない	INT_LTCH0[7]
	リミッタ アクティブ	INT_MASK0[4]	マスクしない	INT_LTCH0[4]
	リミッタの減衰	INT_MASK0[6]	マスクしない	INT_LTCH0[6]
	変曲点以下に供給	INT_MASK0[5]	マスクしない	INT_LTCH0[5]
電源電圧モニタ セクション 6.4.6	PVDD 過電圧	INT_MASK3[2]	マスクしない	INT_LTCH3[2]
	PVDD 低電圧	INT_MASK1[7]	マスクしない	INT_LTCH1[7]
	VBAT2S 電源低電圧	INT_MASK1[6]	マスクしない	INT_LTCH1[6]
	VBAT 電源低電圧	INT_MASK4[7]	マスクしない	INT_LTCH4[7]
過熱保護 セクション 6.4.7	過熱警告 135°C	INT_MASK1[4]	マスク付き	INT_LTCH1[4]
	過熱警告 125°C	INT_MASK1[3]	マスク付き	INT_LTCH1[3]
	過熱警告 115°C	INT_MASK1[2]	マスク付き	INT_LTCH1[2]
	過熱警告 105°C	INT_MASK1[1]	マスク付き	INT_LTCH1[1]
	過熱エラー	INT_MASK3[7]	マスクしない	INT_LTCH3[7]
クロック保護 セクション 6.4.8.1	クロック エラー	INT_MASK2[3]	マスクしない	INT_LTCH2[3]
	電源投入前クロック エラー	INT_MASK4[2]	マスクしない	INT_LTCH4[2]
	クロック比変化誤差	INT_MASK2[2]	マスクしない	INT_LTCH2[2]
	Fs 変更誤差	INT_MASK2[1]	マスクしない	INT_LTCH2[1]
	Fs の無効なエラー	INT_MASK2[0]	マスクしない	INT_LTCH2[0]
	フレームの同期外れ	INT_MASK2[5]	マスクしない	INT_LTCH2[5]
	内部 PLL クロック エラー	INT_MASK2[4]	マスクしない	INT_LTCH2[4]
	デジタル ウォッチドッグ	INT_MASK2[7]	マスクしない	INT_LTCH2[7]
	DSP ウォッチドッグ	INT_MASK6[6]	マスクしない	INT_LTCH6[6]
DSP イベント セクション 6.4.2.1.3	工場で較正完了済み	INT_MASK5[7]	マスクしない	INT_LTCH5[7]
	短絡を検出	INT_MASK5[4]	マスクしない	INT_LTCH5[4]
	開路を検出	INT_MASK5[3]	マスクしない	INT_LTCH5[3]
その他の保護およびステータス	Class-D 過電流誤差	INT_MASK3[3]	マスクしない	INT_LTCH3[3]
	デバイスはアクティブ	INT_MASK0[1]	マスク付き	INT_LTCH0[1]

6.3.2.1 割り込み生成およびクリア

IRQZ はオープンドレイン出力であり、マスクされていないフォルト条件時に Low でアサートされるため、IOVDD に抵抗でプルアップする必要があります。デバイスには内部プルアップ抵抗 (18kΩ) が搭載されており、IRQZ_PU レジスタビットを設定することで評価できます。

IRQZ ピンでの割り込み生成は、IRQZ_PIN_CFG[1:0] レジスタを使用して構成できます。自動再試行機能を備えた割り込みの場合、RETRY_WAIT_TIME レジスタを使用して再試行タイマを設定できます。割り込みピンの極性は、IRQZ_POL レジスタビットを high にセットすることで、デフォルトのアクティブ Low からアクティブ High に変更できます。

ラッチされた割り込みは、INT_CLR_LTCH ビットを high にセットすることでクリアできます。これはセルフ クリア ビットで、割り込みがクリアされると自動的に low に更新されます。割り込みは、SDZ ピンを Low にプルダウンしてハードウェア シャットダウンを行うか、SW_RESET ビットを使用したソフトウェア リセットによってもクリアできます。

表 6-12. IRQZ ピンの構成

IRQZ_PIN_CFG[1:0]	構成
00	予約済み
01 (デフォルト)	マスクされていないラッチ割り込みで生成される割り込み
10	予約済み
11	マスクされていないラッチ割り込みが発生した場合、2 ~ 4ms の間隔で 4ms ごとに割り込みが生成されます

表 6-13. 再試行待機タイマ

RETRY_WAIT_TIME	構成
0 (デフォルト)	1.5 ごとに再試行します
1	100ms ごとに再試行します

6.4 機能説明

6.4.1 PurePath™ Console 3 ソフトウェア

TAS2573 の高度な機能、アルゴリズム、デバイス構成は、PurePath Console 3 (PPC3) ソフトウェアを使用して実行できます。ベース ソフトウェア PPC3 は、TI の Web サイト からダウンロードしてインストールできます。インストールすると、TAS2573 アプリケーションを PPC3 内からダウンロードできます。PPC3 ツールは、以下のセクションで説明される、デバイス構成に必要なレジスタ係数を計算します。デバイスの性能は、GUI で選択したシステム構成のオプションに基づいて、*TUNING* という名前のレジスタを使用して最適化されます。これが、デバイスを構成するために推奨される方法です。アルゴリズムの調整は PPC3 ソフトウェア内の特定の GUI パネルを使用して行います。PPC3 ツールはアルゴリズムに必要な係数を計算して、デバイスにダウンロードします。TAS2573 アプリケーションでデバイスを計算して更新したら、PPC3 ツールを使用してレジスタの値を読み戻すことができ、最終的なシステム統合を行えます。

6.4.2 再生信号パス

6.4.2.1 デジタル シグナル プロセッサ

TAS2573 にはオンチップの低レイテンシ DSP が搭載され、テキサス インストルメンツのスマート アンプ オーディオ チューニング、スピーカ保護、アドバンスド バッテリ ガード アルゴリズムをサポートし、スピーカの安全動作状態を維持しながら、音質、低音、ラウドネスを最大化します。

TAS2573 でサポートされているオーディオ チューニング アルゴリズムは、EQ (13 バンドのイコライザ フィルタ)、DRC (3 バンドのダイナミックレンジ コンプレッサ)、DEQ (2 バンドのダイナミック イコライザ)、ラトル サプレッサです。

スピーカ保護アルゴリズムは、内蔵された IV センスを使用してラウドスピーカの状態をリアルタイムで監視し、オーディオを制御して低音とラウドネスの内容を最大化しながら、過度の振動板の動き (エクスカーション保護) やボイス コイルの過熱 (熱保護) に起因するスピーカの損傷を防止します。アドバンスド バッテリ ガード アルゴリズムは、バッテリ容量が消耗する際のオーディオの歪みを防ぎながら、ピーク出力の電力供給を管理します。

TAS2573 にはオンチップの出荷時校正ルーチンが搭載され、ボイス コイル抵抗の変動を考慮しながら、ラウドスピーカの温度を正確に判定します。出荷時校正ルーチンは、ラウドスピーカのパラメータをパス/フェイル制限と比較したり、ラウドスピーカの開路および短絡コイルを判断したりすることで、スピーカの製造欠陥を特定することもできます。

オーディオ チューニング、スピーカ保護、アドバンスド バッテリ ガード アルゴリズムは、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して有効にし調整できます。

オーディオ チューニング、スピーカ保護、アドバンスド バッテリ ガード アルゴリズムは、サンプル レート = 48KHz でのみサポートされます。

6.4.2.1.1 アルゴリズム ブロック

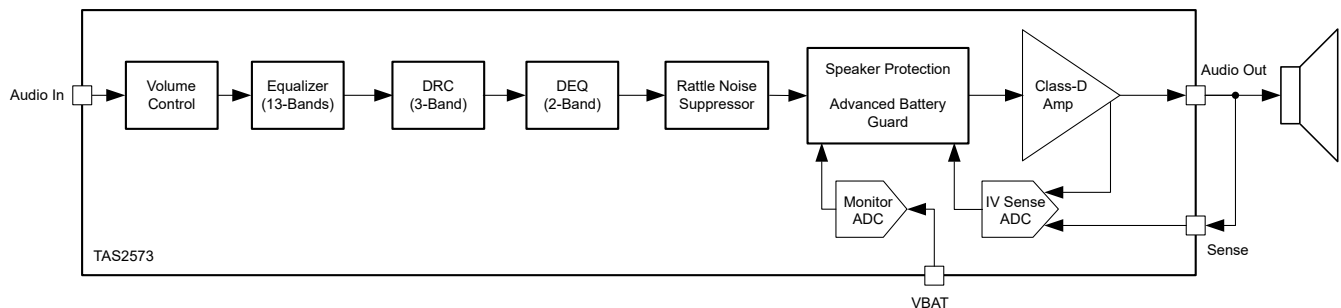


図 6-4. アルゴリズム ブロック

オーディオ サンプルは I^2S/TDM インターフェイス経由で受信されます。オーディオ サンプルは、オーディオ チューニング アルゴリズムと、それに続くスピーカ保護アルゴリズムおよびアドバンスド バッテリ ガード アルゴリズムで処理されます。IV のセンス信号と VBAT 電源モニタ信号は、スピーカ保護機能とアドバンスド バッテリ ガード アルゴリズムによってオーディオ出力を制御し、ラウドスピーカを保護し、クリッピングと電圧低下を防止し、オーディオ品質とラウドネスを最大化するために使用されます。

6.4.2.1.2 アルゴリズムの機能

アルゴリズムの機能

スピーカ保護 - 熱: このアルゴリズムは温度による損傷からスピーカを保護します。アルゴリズムは IV センス信号を監視して、ラウドスピーカの温度を推定し、温度が常にラウドスピーカの安全制限 (Tmax) 内で安定するように出力オーディオ電力を制御します。

スピーカ保護 - エクスカーション: このアルゴリズムはスピーカを過剰なエクスカーション (振動板の過度の動き) から保護します。アルゴリズムは IV センス信号に基づいてスピーカの特長 (共振周波数など) を監視し、出力オーディオ電圧を動的に調整して、ラウドスピーカの定格安全制限 (Xmax) 内に振動版偏位を維持します。

アドバンスド バッテリ ガード: このアルゴリズムは、出力オーディオのクリッピングやシステム レベルの電圧低下を引き起こす可能性がある、電源電圧の過剰な低下を防止します。バッテリーレベルが消耗するとこの問題はさらに悪化し、バッテリーから過剰な電流が流れると (バッテリー内部抵抗が増加して) 電源レールが停止し、オーディオの歪みや予期しないシステム故障が発生する可能性があります。アルゴリズムは VBAT センスを使用して電源リップルを監視し出力電力を自動調整し、クリッピングや電圧低下を防止できます。

内蔵の出荷時校正機能: ボイス コイル抵抗の変動を考慮してラウドスピーカの温度測定と保護に伴う影響を補正するためには、ラウドスピーカの出荷時校正が必要です。出荷時校正はラウドスピーカの開路や短絡などの不良ユニットのビンニングにも使用できます。TAS2573 には、シングル I^2C コマンドでトリガできる出荷時校正機能が内蔵されており、システム統合が簡単になります。

イコライザ フィルタ (EQ): これらは双 2 次フィルタ (13 バンド) で、ラウドスピーカのドライバ出力を調整して、フラットでバランスの取れた応答を実現するために使用できます。フィルタは、ラウドスピーカの周波数応答補償、低音応答の拡張、高 THD を発生させる周波数の減衰、過剰なエクスカーションによりスピーカを損傷させる可能性のある直流信号または超低周波信号の除去に使用されます。

ダイナミック レンジ圧縮 (DRC): ダイナミック レンジ圧縮 (DRC) は、ラウドスピーカのダイナミック レンジに合わせてオーディオ信号のレベルを調整するために使用されます。ラウドネスを最大化するため、ダイナミック レンジ圧縮機能はソフト信号を増幅して可聴度を向上させます。TAS2573 の DRC アルゴリズムは、マルチバンド圧縮 (3 バンド) を採用して、低音過渡、ボーカルの明瞭さ、高周波数成分との間のバランスを保持します。

ダイナミック イコライザ (DEQ): ダイナミック イコライゼーションを使用して、摩擦音やバズ音、シビランス ノイズ、ロッキング モードなどのラウドスピーカの非線形歪みを補償します。これらの歪みは、特定の周波数において大信号レベルで観察されます。ダイナミック イコライザは、小信号を変化させずに大信号のみを減衰させます。TAS2573 では、ラウドスピーカの非線形性を効果的に制御するための、2 つの独特な調整可能な周波数ポイント (2 バンド) がサポートされています。

ラトル ノイズ サプレッサー: ラトル ノイズ サプレッサーは、ラウドスピーカが共振周波数付近で強く駆動されて、乱気流や機械的生成物が発生すると生じるラトル ノイズを低減する、特殊な目的の周波数反応コンプレッサです。このアルゴリズムは、ラトル ノイズを引き起こす可能性のあるオーディオ コンテンツを自動検出して調整しながら、ラトルの影響を受けない広帯域などのオーディオ コンテンツのラウドネスを維持します。

6.4.2.1.3 工場で校正済み

TAS2573 には、ラウドスピーカのボイス コイル抵抗のユニット間変動の影響を補償するため、出荷時の校正機能が内蔵されています。この機能により現場のボイス コイル抵抗の測定がトリガされ、エンド システムに抵抗値を保存し、ラウドスピーカの開放または短絡などの欠陥ユニットを遮断します。出荷時の校正完了のフラグが `INT_LTCH5[7]` ビットに立てられ、`INT_MASK5[7]` ビットのステータスに基づいて `IRQZ` ピンに対応する割り込みを生成できます。欠陥のあるスピーカについては、`INT_LTCH5[3]` ビットを使用して開路のフラグが立てられ、`INT_MASK5[3]` ビットに基づいて対応する割り込みが生成されます。一方、短絡のフラグは `INT_LTCH5[4]` ビットを使用して立てられ、`INT_MASK5[4]` ビットに基づいて対応する割り込みが生成されます。

出荷時校正機能は、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して有効にし調整できます。

6.4.2.2 デジタル ボリューム制御およびアンプ出力レベル

オーディオ入力からスピーカ端子までのゲインは、アンプのアナログ ゲイン レベル (A_{AMP})、デジタル ボリューム制御 (A_{DVC})、ユーザー ボリューム制御 (A_{USER}) を設定することで制御されます。[式 1](#) によりアンプの出力電圧を計算します。アンプのアナログ ゲイン設定 (A_{AMP}) は、再生チャンネルを起動する前に設定する必要があり、チャンネルがアクティブな間に変更することはできません。ユーザー ボリューム制御 (A_{USER}) はチャンネルがアクティブな間に変更することができ、ユーザーの入力に基づいて出力レベルを動的に変更するために使用します。デジタル ボリューム制御 (A_{DVC}) は、オンチップ DSP アルゴリズムが無効になっている場合にのみ、チャンネルがアクティブな間に変更できます。オンチップの DSP アルゴリズムが有効な場合は、再生チャンネルを起動する前に A_{DVC} を設定する必要があり、チャンネルがアクティブな間に変更することはできません。 A_{DVC} および A_{USER} の両方でソフトなボリューム ランプ アップ/ダウン機能を使用でき、出力電圧をあるレベルから別のレベルへ滑らかに移行させることができます。

$$V_{AMP} = \text{Input} + A_{USER} + A_{DVC} + A_{AMP} \text{ dBV} \quad (1)$$

ここで、

- V_{AMP} は、アンプ出力電圧 (dBV) です
- 入力は、0dBFS を基準とした dB 単位のデジタル入力振幅です
- A_{USER} はユーザー ボリューム制御設定で、18dB から -105dB までを 0.5dB 刻みで調整可能です
- A_{DVC} はデジタル ボリューム制御設定で、6dB から -110dB までを 0.5dB 刻みで調整可能です
- A_{AMP} はアンプ出力レベルの設定で、-0.071dBV から 21.0dBV まで 0.5017dBV 刻みです。

アンプの出力レベルの設定は dBV ($1V_{rms}$ に対する dB) 単位で表記し、フルスケールのデジタル オーディオ入力 (0dBFS)、デジタル ボリューム制御を 0dB に設定しています。これらのレベルは、アンプ内でのアナログ クリッピングにより達成できないため、これらのレベルはあくまでゲインを示す目的で使用する必要があることに注意してください。

[表 6-14](#) は、 A_{AMP} の `AMP_LVL` レジスタを使用してプログラムできるゲイン設定を示しています。`AMP_LVL` が 9dBV 未満に設定されている場合、再生チャンネルは自動的に低ノイズ モードまたはレシーバ動作モードに構成されます。

表 6-14. アンプ出力レベルの設定

<code>AMP_LVL[5:0]</code>	フルスケール出力	
	dBV	V_{PEAK} (V)
0x00	21.000	15.9
0x01	20.498	15.0

表 6-14. アンプ出力レベルの設定 (続き)

AMP_LVL[5:0]	フルスケール出力	
	dBV	V _{PEAK} (V)
0x02	19.997	14.1
0x03	19.495	13.3
0x04	18.993	12.6
...	...	...
0x27	1.434	1.7
0x28	0.932	1.6
0x29	0.430	1.5
0x2A	-0.071	1.4
0x2B-0x3F	予約済み	予約済み

デジタル ボリューム制御 (A_{DVC}) に変更が加えられると、デバイスは **DVC_SLEW_RATE** レジスタ ビットに基づいて音量を新しい設定値までランプ動作で移行させます。**DVC_SLEW_RATE** が 0x7FFFFFFF に設定されている場合、ボリュームランプはディセーブルされます。これは、システム ホストがボリューム ランプを制御する場合に、起動、シャットダウン、およびデジタル ボリュームの変更を高速化するために使用できます。ボリューム ランプが無効になっている場合、クリック音やポップ ノイズを防ぐために、デバイスのシャットダウンおよび起動時には入力オーディオ データ ストリームをデジタル無音状態に保つ必要があります。

デバイスは、**DVC_LEVEL** を 0x000000 に設定することでソフトウェア ベースのミュート状態にすることができます。

デジタル電圧制御レジスタ **DVC_LEVEL** および **DVC_SLEW_RATE** レジスタは、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して構成できます。

表 6-15. デジタル ボリューム制御

DVC_LEVEL[23:0]	ボリューム (dB)
0x000000	ソフトウェア ミュート
0x00000D (MIN)	-110
...	...
0x400000	0 (デフォルト)
...	...
0x7FB261 (MAX)	6

表 6-16. デジタル ボリューム ランプ レート

DVC_SLEW_RATE[23:0]	ランプ レート@ 48kHz (s)
0x00036A	1000ms
...	...
0x034A51	4ms (デフォルト)
...	...
0x7FFFFFFF	0 - ランプがディセーブル

A_{USER} 設定は、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して調整できます。

6.4.2.3 ハイパス フィルタ

オーディオ再生信号に過度な DC と低周波数の内容が含まれていると、ラウドスピーカが損傷する可能性があります。再生パスは、この問題が発生することを防ぐハイパス フィルタ (HPF) を採用しています。HPF は 1 次フィルタであり、**AUDIO_HP_F_N0**、**AUDIO_HP_F_N1**、**AUDIO_HP_F_D1** レジスタを使用して、48ksps fs の場合にデフォルトの 2Hz から変更できます。HPF のフィルタ周波数は FSYNC クロックの変化に応じてスケールされ、異なる FSYNC クロック周

波数に対して所望のカットオフ周波数を得られるよう再設定することができます。HPF 係数を適切にディスエーブルするように、係数を変更することもできます。これらの係数は、[セクション 6.4.1](#) の PPC3 ソフトウェアを使用して計算し設定する必要があります。

6.4.2.4 Class-D アンプ

TAS2573 は、低アイドル チャネル ノイズ、低歪み、高 PSRR の高性能 Class-D アンプを内蔵しています。Class-D アンプは、SBCLK 周波数から生成されたクロック周波数でスイッチングし、常に入力クロック ソースに同期します。SAMP_RATE_CFG レジスタを使うと、44.1kHz の倍数と 48kHz の倍数の差に基づいて入力クロック ソースを選択できます。

表 6-17. サンプル レート構成

SAMP_RATE_CFG	構成
0 (デフォルト)	オーディオ データ レートは 48ksps の整数倍または約数です
1	オーディオ データ レートは 44.1ksps の整数倍または約数です

EMI 特性を改善するために、Class-D アンプはプログラマブルなエッジ レート制御 (ERC) と Class-D クロック スプレッド スペクトラム変調 (SSM) をサポートしています。

Class-D のエッジ レートは、CLASSD_OUTPUT_EDGERATE_CTRL[1:0] レジスタを使用して制御できます。デフォルトでは、Class-D 出力のエッジ レートは最速設定に構成され、システムの高効率化を可能にしています。Class-D 出力のエッジ レートは、他の構成設定を使用して遅くすることができ、高周波数での EMI エネルギーを低減できますが、効率は低下します。出力エッジ レートの正確な変化速度は出力負荷条件によって異なり、以下の表に示す値はデフォルトの負荷条件におけるおおよそのエッジ レートレベルです。

表 6-18. Class-D 出力エッジ レート制御

CLASSD_OUTPUT_EDGERATE_CTRL[1:0]	構成
00	Class-D 出力エッジ レート: 0.5V/ns
01	Class-D 出力エッジ レート: 1.0V/ns
10	予約済み
11 (デフォルト)	Class-D 出力エッジ レート: 2V/ns

この Class-D アンプは、PVDD ハイサイド、VDD ハイサイド、グラウンド パワー FET を含めて、各出力パワー FET に過電流保護機能を備えています。

Class-D アンプの出力インピーダンスは、CLASSD_HIZ_MODE 制御レジスタを使用してノイズ ゲート モード中に出力がスイッチングを停止するときに制御できます。

表 6-19. Class-D high-Z モード制御

CLASSD_HIZ_MODE	構成
0 (デフォルト)	2.5kΩ で出力をプルダウン
1	13kΩ を超える電圧で出力をプルダウン

6.4.2.5 ブラウンアウト防止機能付き電源トラッキング リミッタ

TAS2573 は、オーディオ信号とともに Class-D 電源電圧 (VBAT または PVDD) を監視し、オーディオ信号のピークがプログラム可能なスレッシュホールドを超えたときに、自動的にゲインを下げます。これにより、クリッピングを防止して、充電終了時のバッテリー条件で再生時間を延ばすことができます。リミッタ電圧低下とモジュールは、信号レベル、チャネル ゲイン、

選択した電源電圧の状態に基づいて、必要な信号減衰を計算します。これらの機能は両方とも、オンチップの DSP アルゴリズムが有効か無効かに関わらず利用できます。さらに、オンチップ DSP アルゴリズムが有効になっている場合、アドバンスド バッテリ保護アルゴリズム (セクション 6.4.2.1.2) は電源電圧の垂下を監視し、クリッピングや電圧低下を防止しながらオーディオを高精度に制御できます。

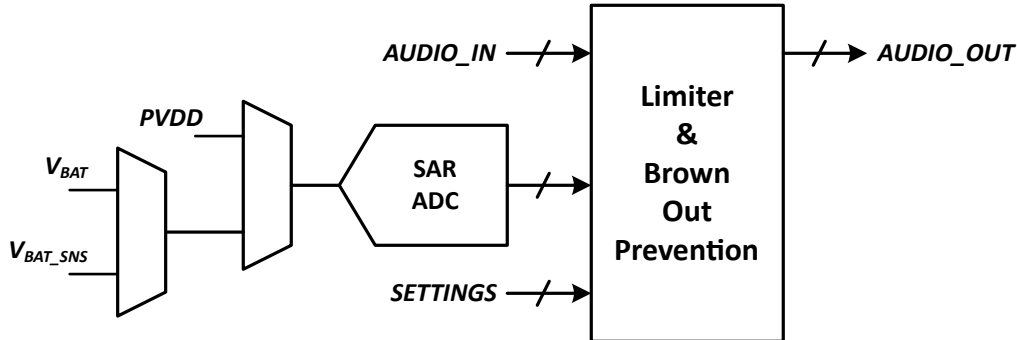


図 6-5. リミッタおよび電圧低下保護モジュール

電圧低下防止 (BOP) モジュールは、バッテリー電源の一時的な電圧低下に対して迅速に応答できるよう、優先入力を提供します。BOP 機能をイネーブルにするには、**BOP_EN** レジスタ ビットを High にセットします。電圧低下条件を判定するために追跡される電源電圧は、**BOP_SRC** レジスタ ビットを使用して、システム構成の必要性に応じて V_{BAT}/V_{BAT_SNS} または **PVDD** として構成できます。レジスタ **BOP_THR_LVL[23:0]** を設定することで構成された電圧低下スレッシュホールドを選択した電源が低下すると、BOP はゲインの低下を開始します。ゲイン低減率 (db/サンプル) は、**BOP_ATK_RATE[23:0]** レジスタの設定によって構成できます。**VBAT** 電源が電圧低下スレッシュホールドを上回ると、BOP はプログラムされたホールド タイマ **BOP_HLD_COUNT[23:0]** の経過後にゲインのリリースを開始します。BOP 機能では、**LIM_RLS_RATE[23:0]** レジスタ設定を使用して、電圧低下イベント後にリリースします。リリースレートとは、ゲインが増加する速度を表し、db/ サンプル比で示されます。BOP イベント中、リミッタの更新は一時停止されます。これは、BOP イベント中にリミッタが解放されないようにするためです。

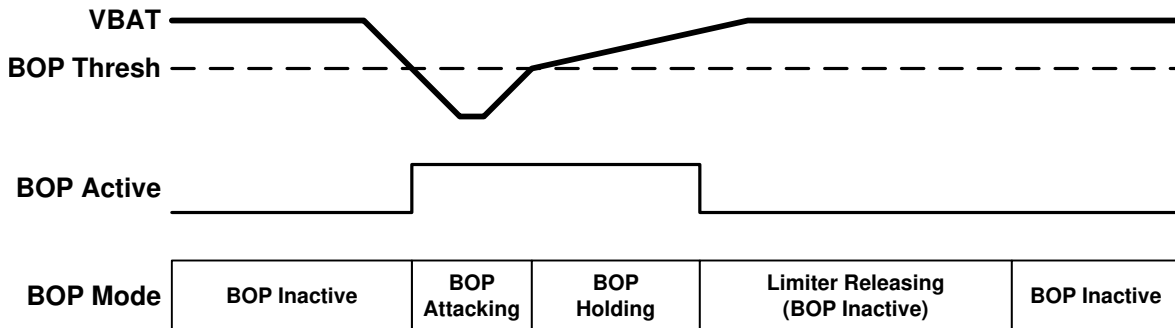


図 6-6. 電圧低下防止イベント

レジスタ ビット **BOP_INF_HLD** を High に設定することで、BOP イベントが検出されたときにゲイン減衰を保持するようにデバイスを構成できます。ビットが high にプログラムされている場合、リミッタと BOP モジュールはゲイン減衰を解放せず、レジスタ ビット **BOP_HLD_CLR** を high に設定することにより無限ホールドがクリアされるまで、デバイスをプログラムされた最小ゲイン減衰レベルに保持します。ホールド クリア ビットはセルフ クリアされ、ホールドがクリアされると、自動的に Low 状態にリセットされます。

ハード電圧低下レベルを設定することで、BOP のゲイン減衰によってバッテリー電圧低下を抑制できない場合に、デバイスをシャットダウンさせることができます。デバイスの電圧低下によるシャットダウンは、**BOPSD_EN** ビットが high に設定されると有効になり、バッテリー電圧が **BOSD_THR_LVL[23:0]** レジスタ ビットで設定された電圧スレッシュホールドを下回るとシャットダウンします。

リミッタおよび電圧低下防止機能によって適用される最大減衰レベルは、**LIM_MAX_ATN** レジスタで設定可能です。この減衰制限は、特長間で共有されます。例えば、最大減衰量が 6dB に設定されており、リミッタによって 4dB のゲイン低下が行われた場合、電圧低下防止機能はさらに 2dB だけゲインを下げるすることができます。リミッタあるいは電圧低下防止機能がアタック動作中に最大減衰値へ到達すると、それ以上のゲイン低減は行われません。

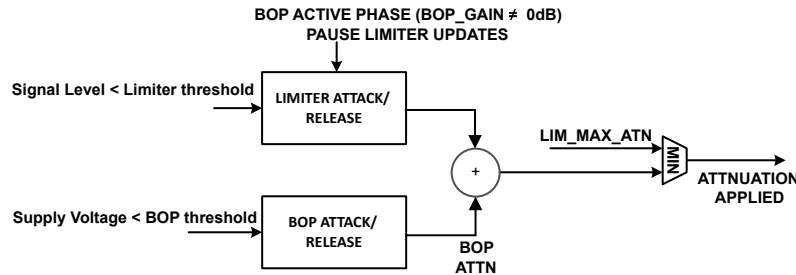


図 6-7. リミッタと電圧低下ゲインの減衰

6.4.2.5.1 電圧リミッタおよびクリッピング保護

電源トラッキング リミッタは、**LIM_MODE[1:0]** レジスタを使用して構成できます。VBAT 電圧モードでは、リミッタは電圧リミッタとして VBAT 電源電圧を追従し、PVDD 電圧モードでは、リミッタは外部 PVDD モードの使用ケースにおいて PVDD 電圧を追従します。

表 6-20. リミッタ モードの選択

LIM_MODE[1:0]	構成
00 (デフォルト)	無効
01	VBAT 電圧ベースのリミッタ
10	PVDD 電圧ベースのリミッタ
11	予約済み

リミッタは、固定信号スレッシュホールドレベルに基づいて出力信号を低減するように構成するか、選択した電源電圧を追跡する動的スレッシュホールドに基づく信号を減衰するように構成できます。レジスタ ビット **SUPPLY_HEADROOM_LIM_MODE** は、動的な電源トラッキングを可能にし、システムで電源電圧が変化したときのクリッピング歪みを制限するために使用できます。

表 6-21. リミッタの動的電源ヘッドルーム トラッキング
モード

SUPPLY_HEADROOM_LIM_MODE	構成
0 (デフォルト)	無効
1	イネーブル。リミッタのスレッシュホールドは、監視対象の電源電圧の固定パーセンテージに基づいて動的に変更されます。

SUPPLY_HEADROOM_LIM_MODE が high に設定されると、リミッタは監視対象の電源電圧に対する固定のパーセンテージとしてスレッシュホールドを設定します。リミッタは、出力信号レベルが設定されたスレッシュホールドを超えると、ゲインの低減を開始します。例えば、電圧リミッタを電源電圧より 10% 低く設定する場合、**LIM_SLOPE[23:0]** を 0.9 に設定し、スレッシュホールドは監視されている電源電圧に 1.1 を掛けて算出します。同様に、**LIM_SLOPE[23:0]** を 1.0 より大きく設定すると、リミッタのスレッシュホールドは電源電圧より高く設定され、制御されたわずかなクリッピングが発生します。

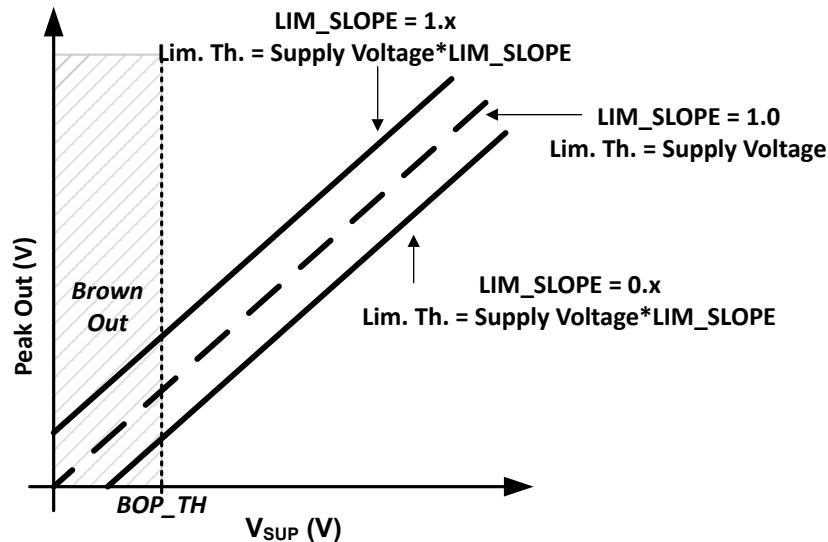


図 6-8. ダイナミック電源ヘッドルームを持つリミッタ

`SUPPLY_HEADROOM_LIM_MODE` が `low` に設定されている場合、リミッタは出力信号レベルがリミッタのスレッシュホルドを超えるとゲインの低減を開始します。リミッタは、プログラム可能な変曲点より下で選択された電源を追従し、最小スレッシュホルド値を持つように構成できます。図 6-9 は、選択された電源レベルに関係なく一定レベルに制限するよう構成されたリミッタを示しています。この動作を実現するには、リミッタの最大スレッシュホルドを `LIM_TH_MAX[23:0]` で目標レベルに設定します。`LIM_INF_PT[23:0]` を使用して、リミッタの変曲点を許容される最小電源設定より低く設定します。リミッタ最小スレッシュホルドレジスタ `LIM_TH_MIN[23:0]` は、この使用ケースにおいてリミッタの動作に影響を与えません。

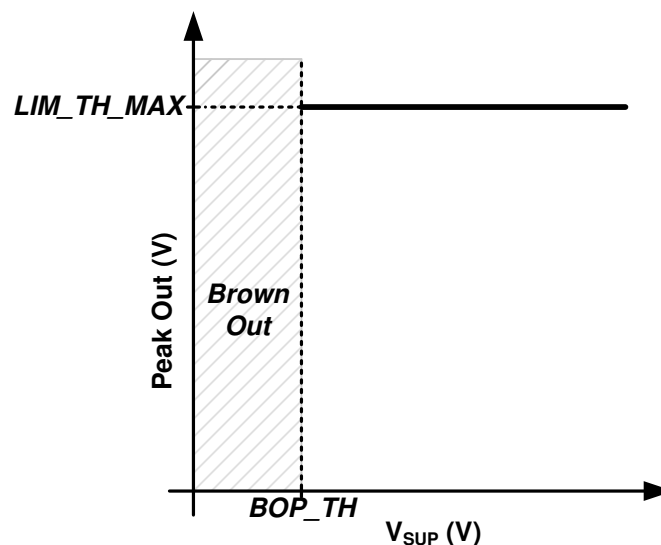


図 6-9. 固定スレッシュホルドのリミッタ

図 6-10 は、最小スレッシュホルドなしでスレッシュホルド以下の選択された電源をリミッタが追従するように構成する方法を示しています。`LIM_TH_MAX[23:0]` レジスタを希望するスレッシュホルドに設定し、`LIM_INF_PT[23:0]` レジスタを、選択された電源に応じてリミッタがスレッシュホルドを低減し始める変曲点に設定します。`LIM_SLOPE[23:0]` レジスタビットを使用すると、電源電圧をトラッキングするリミッタのスロープを `V/V` 単位で変更できます。例えば、スロープ値を `1V/V` にすると、電源電圧が `1V` 低下するごとにリミッタのスレッシュホルドが `1V` 低下します。選択された電源を追従するときにリミッタが最小スレッシュホルド低減を持たないようにするために、`LIM_TH_MIN[23:0]` を選択された電源の最小値より低く設定します。

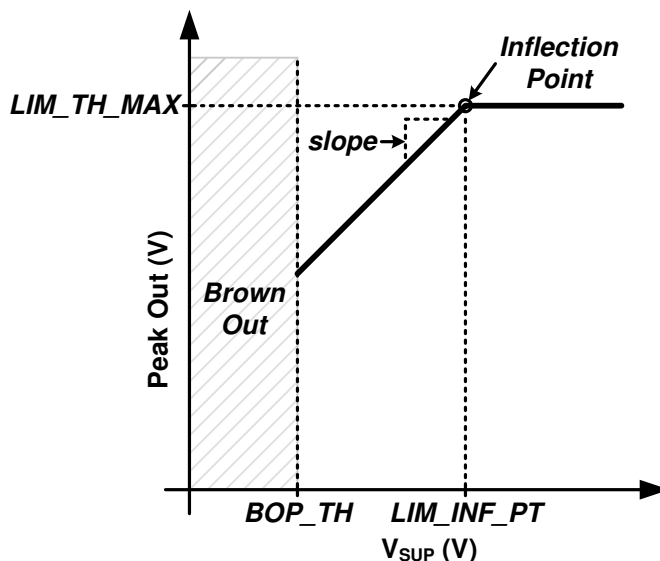


図 6-10. 変曲点を持つリミッタ

スレッシュホールド以下で選択された電源を追従するリミッタを実現するには、前の例で説明した方法でリミッタを構成し、`LIM_TH_MIN[23:0]` レジスタを希望する最小スレッシュホールドに設定します。これを、以下の図 6-11 に示します。

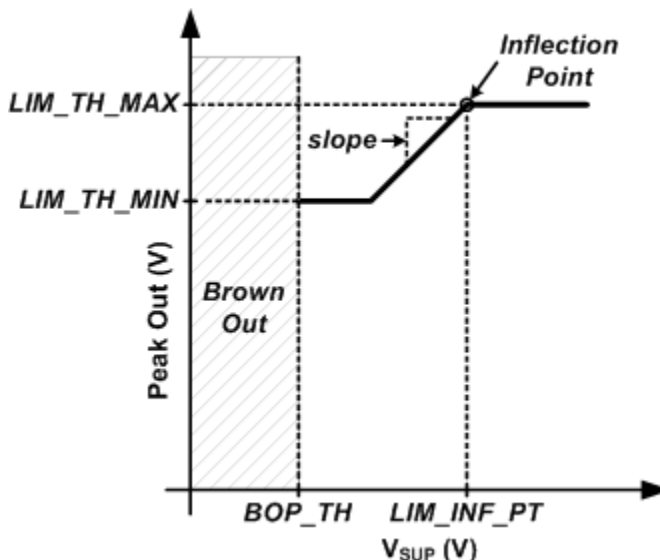


図 6-11. 変曲点と最小スレッシュホールドを持つリミッタ

リミッタには構成可能なアタックレート (dB/Sample)、ホールド時間 (サンプル数)、リリースレート (db/サンプル) があり、これらは `LIM_ATK_RATE[23:0]`、`LIM_HLD_COUNT[23:0]`、`LIM_RLS_RATE[23:0]` のレジスタビットで設定できます。

6.4.2.6 トーン ジェネレータ

TAS2573 は、内蔵トーン ジェネレータを使用して、内部で正弦トーンを生成できます。この機能は、オンチップ DSP アルゴリズムが無効になっている場合にのみ使用できます。トーン ジェネレータは、レジスタ ビット `INTERNAL_TONE_GEN_ENZ` を Low に構成することで有効化できます。`INTERNAL_TONE_PLAYBACK_EN` ビットを High に構成すると、トーン信号の再生を開始します。High に設定すると、デバイスはプログラムされた `TONE_GEN_CNTRL_xx` レジスタに基づいて正弦トーンの生成を開始します。トーン ジェネレータは、16Hz から最大 $0.45 \times F_s$ までの任意の周波数を生成できます。ここで F_s は、入力デジタル クロックのサンプリング レートです。トーン信

号の振幅は、**TONE_GEN_CNTRL_xx** レジスタを使用して制御することもできます。TI では、PPC3 ソフトウェアを使用してトーンの周波数と振幅をプログラムすることを推奨しています。

内部で生成されるトーンは、受信オーディオ ストリームと混合することも、入力オーディオ ストリームを置き換えることもできますが、**INTERNAL_TONE_MIXING_EN** レジスタで生成されるトーン信号のみが生成されます。

表 6-22. 内部トーン ジェネレータの混合オプション

INTERNAL_TONE_MIXING_EN	構成
0	内部トーンのみが生成されます。
1 (デフォルト)	内部で生成されるトーンは、入力オーディオ データと混合されて、一緒に再生されます。

トーン ジェネレータは、BCLK などの外部クロック ソースを使用することも、**INTERNAL_TONE_CLK_SEL** レジスタを使用して、外部クロック ソースなしでもトーン信号を生成するために内部発振器を使用してトーンを生成することもできます。

表 6-23. 内部トーン クロック ソースの選択

INTERNAL_TONE_CLK_SEL	構成
0 (デフォルト)	トーン ジェネレータは外部クロックを使用します
1	トーン ジェネレータは、内部発振器を使用します

6.4.3 デジタル オーディオ シリアル インターフェイス

このデバイスは柔軟なオーディオ シリアル インターフェース (ASI) ポートを提供します。このポートは、ステレオ I²S、左揃え、TDM などさまざまなフォーマットに対応するように構成できます。モノラル オーディオ再生は、SDIN ピンから行うことが可能です。SDOUT ピンは、エコー リファレンス ストリームを送信して、デバイスに接続されたホスト プロセッサのエコー キャンセレーション アルゴリズムを有効にするために使用します。

TDM シリアル オーディオ ポートは、44.1/48kHz では最大 16 個の 32 ビット タイム スロット、88.2/96kHz では 8 個の 32 ビット タイム スロット、176.4/192kHz では 4 個の 32 ビット タイム スロットをサポートします。デバイスはタイム スロット数を自動検出できるため、プログラムする必要はありません。TDM バス上で検出された PCM データのサンプリング レートおよび SBCLK と FSYNC の比率は、それぞれ読み取り専用レジスタ ビット **FS_RATE_DETECTED[2:0]** および **FS_RATIO_DETECTED[3:0]** に報告されます。

表 6-24. PCM データ サンプル レートが検出されました

FS_RATE_DETECTED[2:0] (読み出し専用)	設定
000	予約済み
001	14.7kHz/16kHz
010	22.05kHz/24kHz
011	29.4kHz/32kHz
100 (デフォルト)	44.1kHz/48kHz
101	88.2kHz/96kHz
110	176.4kHz/192kHz
111	エラー状態

フレームは FSYNC が High から Low、または Low から High へのいずれかの遷移で開始します (FRAME_START レジスタ ビットで設定)。FSYNC および SDIN は、SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用してサンプリングされます (RX_EDGE レジスタ ビットで設定)。RX_OFFSET[4:0] レジスタ ビットでは、FSYNC の遷移からタイム スロット 0 の開始までの SBCLK のサイクル数を定義します。この値は通常、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 に設定されます。

RX_SLEN[1:0] レジスタ ビットは、RX タイム スロットの長さを 16、24、32 (デフォルト) ビットに設定します。タイム スロット内のオーディオ サンプルのワード長は、RX_WLEN[1:0] レジスタ ビットで設定します。デフォルトでは、RX ポートはタイム スロット内のオーディオ サンプルを左揃えにしますが、RX_JUSTIFY レジスタ ビットで右揃えに変更することも可能です。

このデバイスは、モノラルとステレオのダウンミックス再生 ($(L+R)/2$) に対応しています。デフォルトで、デバイスは I²C ベース アドレスのオフセット (AD1 ピンと AD2 ピンで設定) と同じタイム スロットからモノラル再生を行います。RX_SCFG[3:0] レジスタ ビットを使用すると、RX_SLOT_L[3:0] レジスタ ビットと RX_SLOT_R[3:0] レジスタ ビットの設定により、再生ソースを左側のタイム スロット、右側のタイム スロット、またはステレオ ダウンミックスにオーバーライドすることができます。

表 6-25. RX チャンネルの選択

RX_SCFG[3:0]	RX チャンネル
0000	タイム スロットが I2C アドレス オフセットに等しいチャンネル
0001	左チャンネル
0010	右チャンネル
0011	ステレオ ダウンミックス $(L+R)/2$

タイム スロットがフレーム境界を超えたときに部分的に受信するか、すべて受信するかのいずれかを選択した場合、レシーバはデジタル的にミュートされたサンプルと同等のヌル サンプルを返します。

TDM ポートは SDOUT ピンでエコー リファレンス ストリームを送信できます。これにより、ホスト プロセッサにおけるエコー およびノイズのキャンセレーション アルゴリズムが有効になります。エコー リファレンス ストリームは SDOUT ピンで送信されます。送信パスの設定は、セクション 6.4.1 の PPC3 ソフトウェアを使用して行います。

6.4.4 昇圧

TAS2573 の内部処理アルゴリズムは、必要に応じて昇圧を自動的に有効にします。先読みアルゴリズムは、バッテリー電圧とデジタル オーディオ ストリームを監視します。スピーカ出力がバッテリー電圧に近づくと、必要なスピーカ出力電圧を供給するために昇圧がタイミング良く有効になります。昇圧が不要になると、効率を最大化するために昇圧が無効化されてバイパスされます。昇圧は、二つのモードのいずれかに構成できます。最初のモードは低突入電流 (Class-G) で、昇圧のオン/オフのみをサポートし、突入電流が最も低くなります。二つ目のモードは高効率型 (Class-H) で、昇圧電圧レベルが必要値よりわずかに高い値に調整されます。このモードはより効率的ですが、レベルを迅速に切り替えるため突入電流が大きくなります。これは BST_MODE[1:0] レジスタ ビットを使用して設定できます。

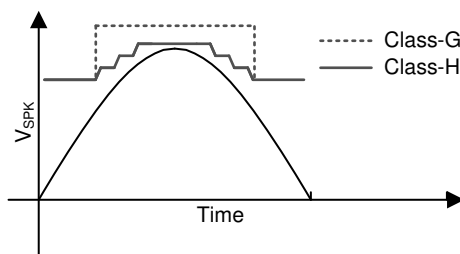


図 6-12. 昇圧モードの信号トラッキングの例

表 6-26. 昇圧モード

BST_MODE[1:0]	昇圧モード
00	Class-H - 高効率 (デフォルト)
01	Class-G - 低突入電流
10	常時オン
11	常にオフパス スルー

昇圧は、**BST_EN** レジスタを使用してイネーブルおよびディセーブルにできます。**Class-D** アンプを **PVDD** ピン経由の外部電源で駆動する場合、ブーストは無効にし、**SW** ピンはフローティング状態にしておく必要があります。

表 6-27. 昇圧イネーブル

BST_EN	昇圧が以下の状態になります
0	ディセーブル (外部 PVDD モード)
1	イネーブル (デフォルト)

最大昇圧電圧は、**VBOOST_MAX_CTRL[7:0]** によって設定されます。**Class-G** モードで動作している場合、必要に応じた昇圧はこの電圧になります。**Class-H** モードで動作する場合、昇圧電圧はオーディオ信号に基づいて自動的に選択されますが、この設定値を超えることはありません。**Class-H** モードでは、**Class-H** コントローラが昇圧を制御し、必要な **PVDD** 電圧を生成するために最小 33mV のステップ サイズで調整します。デバイスが生成する最大昇圧電圧は **VBOOST_MAX_CTRL[7:0]** によって制御され、昇圧は 66mV のステップ サイズで構成できます。

表 6-28. 昇圧の最大レギュレーション電圧

VBOOST_MAX_CTRL[7:0]	昇圧電圧 (V)
0x00~0x53	予約済み
0x54	5.54V
0x55	5.61V
...	 LSB ステップごとに 66mV のステップ.....
0xA7	11.02V (デフォルト)
...	 LSB ステップごとに 66mV のステップ.....
0xE4	15.05V
0xE5	15.11V
0xE6~0xFF	予約済み

軽負荷時 (例: 正弦波のゼロクロス付近) には、システム効率を高めるためにブーストは自動的に **PFM** モードに入ります。昇圧が **PFM** モードで動作している場合、最小パルス周波数は **BST_MIN_FREQ_SEL** を使用して調整できます。**PFM** 周波数を高く設定すると、システム消費電力が増加する代わりに、ブースト周波数が常に設定スレッショルドを上回ります。

表 6-29. アクティブ モード PFM の低周波数制限

BST_MIN_FREQ_SEL[1:0]	下限
00	下限なし (デフォルト)
01	25kHz
10	50kHz
11	予約済み

昇圧回路が引き込むピーク電流は、**BST_ILIM[23:0]** レジスタを使用して制御され、昇圧は **VBAT** 電源から流れる電流を制限します。この設定により、さまざまな飽和電流に対してインダクタを柔軟に選択できます。システムは、プログラムされた **BST_ILIM** 設定よりも少なくとも 5% 大きい飽和電流 (I_{SAT}) を持つインダクタを常に使用する必要があります。インダクタの I_{SAT} が **BST_ILIM** 設定よりも低いと、昇圧回路が不安定になる可能性があります。電流制限は、**PPC3** ソフトウェアを使用して 39.1mA ステップで調整でき、1.5A ~ //5.1A の範囲に設定可能です。

BST_ILIM、**VBOOST_MAX_CTRL** などの昇圧構成の変更には、機能障害を発生させずに最高の性能を達成するために、**CLASSH_TUNING_xx[23:0]** レジスタなどのデバイス パラメータを再調整する必要があります。この設定は、関連するすべてのデバイス パラメータを自動的に再構成できるように、**PPC3** ツールを使用して変更する必要があります。

マルチ チャネル システムでは、各デバイスが異なるタイミングでバッテリーからピーク電流を引き出すように、昇圧位相をシフトさせることができ、バッテリーからの瞬間的なピーク電流を低減できます。複数のデバイス間の昇圧同期は、**BOOST_PHASE_SYNC_EN** を使用してイネーブルになります。個別のデバイス昇圧位相は、**BOOST_PHASE_FROM_ADDRESS_PIN** レジスタを使用して検出された i2c ターゲット アドレス デバイスを使用して、異なる値に自動的に構成することも、**BOOST_PHASE** レジスタを使用してデバイスの昇圧位相を手動で構成することもできます。昇圧位相のシフトは、各デバイスが **FSYNC** パルスを使用して同期することで行われます。昇圧位相の同期を必要とするすべてのデバイスは、システム内のホストから同じ **FSYNC** に接続される必要があります。

表 6-30. 昇圧同期

BOOST_PHASE_SYNC_EN	ステータス
0	無効
1	イネーブル (デフォルト)

表 6-31. i2c ターゲット アドレスからの昇圧位相の選択

BOOST_PHASE_FROM_ADDRESS_PIN	ステータス
0	無効
1	イネーブル (デフォルト)

表 6-32. 昇圧位相の手動選択
(**BOOST_PHASE_FORM_ADDRESS_PIN = 0** の場合)

BOOST_PHASE[1:0]	位相遅延
00	位相シフトは 0ns (デフォルト)
01	位相シフトは 65ns です (最大クロックの場合は約 90°)
10	位相シフトは 130ns です (最大クロックの場合は約 180°)
11	位相シフトは 195ns です (最大クロックの場合は約 270°)

6.4.5 スピーカ電流および電圧 (IV) 検出

TAS2573 は電流および電圧のセンス測定回路を内蔵しており、出力トランスデューサの動作をリアルタイムで監視できます。VSNS_N ピンと VSNS_P ピンは出力負荷の近くに接続し、電圧センサの精度を最高にするためにフェライトビーズフィルタの後に接続する必要があります。VSNS_N と VSNS_P を EMI フィルタの後に接続する場合は、デバイスを保護するために直列抵抗が必要です。EMI フィルタを使用しない場合は、VSNS_N と VSNS_P を OUT_P と OUT_N コネクタに直接接続できます。

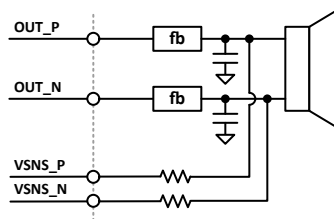


図 6-13. 電圧センス接続

電流と電圧のセンス回路はデフォルトで有効になっており、**ISNS_PD** と **VSNS_PD** レジスタ ビットを High に設定することにより無効化できます。パワーダウンすると、デバイスはパワーダウン ブロックに対してヌル サンプルを返します。電流および電圧センスの帯域が制限されたアプリケーションでは、**IVSENSE_LPF_ENABLE** 制御ビットを使用して、検出された信号をローパス フィルタ処理できます。有効にすると、48ksps の fs で 6kHz の 4 次フィルタを使用して信号がフィルタ

処理されます。フィルタ ポールは FSYNC クロックの変化に比例して変化します。たとえば、96ksps の FSYNC では、フィルタ ポールは 12kHz になります。

表 6-33. IV センス ローパス フィルタの選択

IVSENSE_LPF_ENABLE	構成
0 (デフォルト)	電流および電圧のセンス信号はローパス フィルタ処理されません
1	電流および電圧のセンス信号は 6kHz フィルタでローパス フィルタ処理されます

検出された信号のフルスケールは、VSNS_GAIN_SEL および ISNS_GAIN_SEL レジスタを使用してプログラム可能です。

表 6-34. 電圧センス ゲインの選択

VSENSE_GAIN_SEL	構成
00	電圧センス デジタル フルスケール (FS) は 31.85Vpp です
01 (デフォルト)	電圧センス デジタル フルスケール (FS) は 26Vpp です
10	電圧センス デジタル フルスケール (FS) は 20.45Vpp です
11	電圧センス デジタル フルスケール (FS) は 14.35Vpp です

表 6-35. 電流センス ゲインの選択

ISENSE_GAIN_SEL	構成
00	電流センス デジタル フルスケール (FS) は 5.27A _{pk} です
01	電流センス デジタル フルスケール (FS) は 2.9A _{pk} です
10 (デフォルト)	電流センス デジタル フルスケール (FS) は 2A _{pk} です
11	電流センス デジタル フルスケール (FS) は 1.45A _{pk} です

IV センス信号はハイパス フィルタ (HPF) 処理され、IV_HPF_N0、IV_HPF_N1、IV_HPF_D1 係数を構成する PPC3 ソフトウェア (セクション 6.4.1) を使用すると、双 2 次フィルタ係数をデフォルトの 2Hz から変更できます。フィルタリングが必要ない場合は、同じレジスタ ビットを使用して HPF をバイパスします。システム構成に基づいて IV センスの性能構成するための、複数のレジスタがあります。これらの IV センスの性能調整レジスタ (IV_TUNING_xx) は PPC3 ソフトウェアを使って構成します。

6.4.6 電源電圧モニタ

TAS2573 は、電源電圧ピン VBAT または VBAT_SNS、および PVDD をモニタする SAR ADC を内蔵しています。検出された電圧は、デバイス内部の機能や保護に使用されるほか、デジタル データ バスを介してストリーミングしたり、i2c レジスタを通じて読み取ることもできます。

バッテリー電圧は、レジスタ SEL_VBAT_MODE[1:0] に基づいて、VBAT ピンまたは VBAT_SNS ピンのいずれかで検出できます

表 6-36. バッテリ モードの選択

SEL_VBAT_MODE[1:0]	構成
00 (デフォルト)	VBAT ピンの電圧モニタ。1S 動作モード
01	VBAT_SNS ピンの電圧モニタ。1S 動作モード
10	VBAT_SNS ピンの電圧モニタ。2S 動作モード
11	予約済み

モニタ ADC は、PVDD ピン電圧と比較して VBAT ピンをより高いレートでサンプリングします。このサンプリング速度は切り替えることができ、例えば外部 PVDD 動作モードの場合には、VBAT よりも PVDD ピンのサンプリング レートを優先できます。

表 6-37. 電源モニタ サンプリング レート

SUPPLY_SAMPLING_RATE	構成
0 (デフォルト)	VBAT サンプリングレートは PVDD より高くなります
1	PVDD サンプリングレートは VBAT より高くなります

モニタされた VBAT と PVDD の電圧は VBAT_CNV レジスタおよび PVDD_CNV レジスタに格納され、i2c コマンドを使用して読み取ることができます。

電源モニタは、VBAT 低電圧、PVDD 過電圧および低電圧および VBAT2S 低電圧などの電圧保護にも使用されます。電圧保護機能は電源電圧を監視し、電圧が保護スレッショルド レベルを超えるとデバイスをシャットダウンします。また、デバイスは対応するフォルト レジスタも設定し、[セクション 6.3.2](#) で説明されているように構成された割り込みマスク レジスタに基づいて IRQZ ピンで割り込みを生成できます。デバイスがシャットダウンされると、MODE[1:0] レジスタ ビットを使用してデバイスを再びオンにできます。

PVDD 過電圧保護は、モニタされた PVDD 電圧をプログラマブル スレッショルドと比較することで行われ、内部昇圧モードでは PVDD_OVLO_TH_SEL を使用して、外部 PVDD 動作モードでは PVDD_OVLO_TH_SEL_EXT_BOOST を使用して制御できます。PVDD 過電圧保護はデフォルトでイネーブルになっており、PVDD_OV_DET_DIS ビットを high にセットすることでディスエーブルにすることもできます。

表 6-38. PVDD 過電圧保護スレッショルド、内部昇圧モード

PVDD_OVLO_TH_SEL[1:0]	構成
00	過電圧スレッショルドは 13.5V です
01	過電圧スレッショルドは 14V です
10	過電圧スレッショルドは 15V です
11 (デフォルト)	過電圧スレッショルドは 16V です

表 6-39. PVDD 過電圧保護スレッショルド、外部 PVDD モード

PVDD_OVLO_TH_SEL_EXT_BOOST[1:0]	構成
00	過電圧スレッショルドは 13.5V です
01 (デフォルト)	過電圧スレッショルドは 14V です
10	過電圧スレッショルドは 15V です

表 6-39. PVDD 過電圧保護スレッシュホールド、外部 PVDD
モード (続き)

PVDD_OVLO_TH_SEL_EXT_B OOST[1:0]	構成
11	過電圧スレッシュホールドは 16V です

6.4.7 過熱保護

TAS2573 は、デバイス接合部温度モニタを内蔵しており、過熱からデバイスを保護します。内部温度が過熱スレッシュホールドを超えると、デバイスは自動的にシャットダウンし、対応する割り込みレジスタに過熱フラグを設定します。OTE_RETRY ビットが high にセットされていると、デバイスは自動的にパワーアップを再試行できます。high に設定すると、デバイスは RETRY_WAIT_TIME 設定 (デフォルトで 1.5 秒) のたびに再電源投入を試みます

過熱保護に加えて、デバイスには過熱警告スレッシュホールドがあり、接合部温度がシャットダウンに近づいた際にシステムが割り込みやフラグを発生させることができます。内部温度が 105°C、115°C、125°C、135°C では、4 つの過熱警告フラグが使用できます。各過熱警告フラグは個別に設定することにより、IRQZ パッドへの割り込み生成を制御できます。過熱警告フラグの最小温度およびステップ サイズは、THERMAL_WARN_MIN_TEMP[23:0] レジスタと THERMAL_WARN_TEMP_STEP[23:0] レジスタを使用してプログラムできます

リアルタイムの内部接合部温度を監視する方法はレジスタ TMP_CNV に保存され、i2c コマンドを使用して読み取ることができます。

6.4.8 クロックおよび PLL

TDM/I²S モードでは、デバイスは SBCLK で動作します。以下の 表 6-40 には、各サンプルレートおよび SBCLK と FSYNC の比に対する有効な SBCLK 周波数が示されています。44.1kHz ベースのクロッキングの場合でも、48ksps と 44.1ksps 間の対応する比率変更を適用することで、同じ表を使用できます。

192kHz のサンプリング レートはサポートされていますが、データは内部的に 96kHz にダウンサンプリングされます。したがって、エイリアシングを防ぐために 40kHz を超えるオーディオ コンテンツを入力しないようにします。さらに、BOP やリミッターなどのすべての処理ブロックも影響を受け、192kHz のオーディオを受け取る際に 96kHz のサンプリング レートを使用する必要があります。

サンプル レートが SAMPLE_RATE_CFG ビット経由で適切に設定されている場合、SBCLK と FSYNC の比率が有効である限り、追加の設定は不要です。デバイスは、入力された PCM FSYNC および BCLK の周波数を自動的に検出し、オーディオ信号の再生用に自動構成します。検出されたクロック レートは、読み出し専用レジスタ FS_RATIO_DETECTED および FS_RATE_DETECTED を使用して読み出すことができます。デバイスは不適切な SBCLK 周波数や SBCLK 対 FSYNC 比を検出し、ボリュームは再生パスを低下させて、可聴生成物を最小限に抑えます。

表 6-40. サポートされる SBCLK 周波数 (MHz) (48kHz ベースのサンプル レート)

サンプル レート (kHz)	SBCLK 対 FSYNC 比													
	16	24	32	48	64	96	128	192	256	384	512	125	250	500
16kHz	該当なし	0.384	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	2	4	8
24kHz	0.384	0.576	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	3	6	12
32kHz	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	12.288	16.384	4	8	16
48kHz	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	6	12	24
96kHz	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	該当なし	該当なし	12	24	該当なし
192kHz	3.072	4.608	6.144	9.216	12.288	18.432	24.576	該当なし	該当なし	該当なし	該当なし	24	該当なし	該当なし

6.4.8.1 自動クロックに基づくウェークアップおよびクロック エラー

TAS2573 は、ASI クロック自動検出機能を使用して、アクティブからシャットダウン、またその逆への柔軟な動作モード遷移をサポートします。MODE[1:0] が「11」に設定されている場合、デバイスは ASI 入力ピン (BCLK および FSYNC) に入力される有効な ASI クロック信号に基づいて、アクティブ状態とソフトウェア シャットダウン状態の間を切り替えます。このモードで ASI クロックが検出されない場合、デバイスはソフトウェア シャットダウン状態にとどまり、VDD ピンはソフトウェア シャットダウン モード I_Q で、有効な BCLK および FSYNC クロックが検出されるまで保持されます。有効なクロックが検出されると、デバイスはアクティブ状態で起動し、クロックが有効である限りその状態を維持します。ソフトウェアまたはハードウェアのシャットダウン コマンドが使用されると、デバイスはシャットダウンされます。

本デバイスは、CLK_ERR_PWR_EN のステータスに基づいて誤ったクロック構成を検出したときに、割り込みフラグを検出および上昇させることができます。このビットを High に設定すると、デバイスはクロック ピンの動作を監視し、エラーが発生した場合はラッチ割り込みステータス レジスタにフラグを立てます。デバイスは、対応する割り込み MASK レジスタのステータスに基づいて、IRQZ ピンを使用して割り込みを発生させることもできます。エラー保護ビットがイネーブルのとき、クロック エラーが検出された場合、デバイスは適切なシャットダウン シーケンスによって自動的にシャットダウンし、無効なクロックによるクリック音やポップ音を最小限に抑えます。

デバイスがシャットダウン状態のとき、クロック エラー検出は遅延可能で、システムは入力クロックを安定させるのに必要な時間を確保できます。クロック エラー検出でのこのパワーアップ遅延は、CLK_HALT_TIMER によって構成された内部パワーアップ クロック エラー検出タイマを使用して制御されます。デバイスが CLK_HALT_TIMER の満了時に有効なクロックを検出しない場合、パワーアップ前クロック エラーが INT_LTCH4[2] ビットにフラグされ、INT_MASK4[2] ビットのステータスに基づいて IRQZ ピンに対応する割り込みが生成できます。MODE[1:0] が 11 (ASI モードでのウェークアップ) に構成されている場合、「000」の CLK_HALT_TIMER は推奨されず、デバイスがソフトウェア シャットダウンに移行しなくなり、デバイスがシャットダウンしている間に VDD I_Q が増加します。

デバイスの電源が投入されると、CLK_ERR_PWR_EN ビットのステータスに基づいて、外部および内部で生成されるクロックが継続的に監視されます。有効化されている場合、外部または内部クロックのエラーが発生すると、クロック エラー ステータス レジスタ INT_LTCH2[3] ビットによってフラグが設定され、INT_MASK2[3] のステータスに基づいて IRQZ ピンに対応する割り込みが生成できます。

システムの柔軟性を高めるため、デバイスは検出されたクロック エラーのタイプにエラー ステータスも設定します。デバイスは、汎用クロック エラー割り込み生成を使用する代わりに、特定のタイプのクロック エラーに対して IRQZ ピンで割り込みを発生させるように構成することもできます。以下の 表 6-43 は、さまざまな種類のクロック エラーと、それに対応するステータス ビットおよび割り込み MASK レジスタ ビットを説明しています。検出されたクロック エラーのタイプに基づいて、以下の表に示す 1 つ以上のレジスタ ビットを設定できます。

いずれかの種類のクロック エラーが原因でデバイスがシャットダウンした場合、MODE[1:0] が「11」に設定されているときに、デバイスは自動的に電源の再投入を試みることができます。

表 6-41. クロック エラー検出制御

CLK_ERR_PWR_EN	設定
0	無効
1	イネーブル (デフォルト)

表 6-42. クロック停止タイマ

CLK_HALT_TIMER[2:0]	設定
000	ディセーブル (無限時間)。
001	0.8ms (デフォルト)
010	3.2ms
011	34.1ms
100	68.3ms
101	256ms
110	768ms

表 6-42. クロック停止タイマ (続き)

CLK_HALT_TIMER[2:0]	設定
111	1.3s

表 6-43. クロック エラー タイプの説明

クロック エラーのタイプ	説明	ステータス フラグ レジスタ ビット	IRQZ 生成マスク ビット
クロック エラー	内部または外部クロック構成エラーのクロック エラー。このビットは、以下の表に示す特定のクロック エラーが検出された場合に設定されます。ただし、電源投入前のクロック エラーは除きます。	INT_LTCH2[3]	INT_MASK2[3]
電源投入前クロック エラー	CLK_HALT_TIMER の終了時にクロック エラーが検出された後、シャットダウン モード中にクロック エラーが検出されました。	INT_LTCH4[2]	INT_MASK4[2]
クロック比変化誤差	FSYNC と SBCLK の比率の急激な変化によりクロック エラーが検出されました。	INT_LTCH2[2]	INT_MASK2[2]
Fs 変更誤差	FSYNC クロック周波数の急激な変化によりクロック エラーが検出されました	INT_LTCH2[1]	INT_MASK2[1]
Fs の無効なエラー	FSYNC クロック周波数が不適切なためにクロック エラーを検出しました	INT_LTCH2[0]	INT_MASK2[0]
フレームの同期外れ	フレームの同期外れに起因してクロック エラーを検出	INT_LTCH2[5]	INT_MASK2[5]
内部 PLL クロック エラー	内部で生成されるクロック周波数エラーが原因でクロック エラーを検出しました。	INT_LTCH2[4]	INT_MASK2[4]

デバイスにはデジタル ウォッチドッグ タイマも搭載されており、内部デジタル ステート マシンのエラーを監視し、エラーを検出するとデバイスをシャットダウンします。このエラーにより、IRQZ ピンで割り込みが発生し、ホスト デバイスへのエラー状態フラグが発生することもあります。

6.4.9 デジタル IO ピン

TAS2573 は、IOVDD ピンに印加される電圧に基づいて、1.2V および 1.8V の IO 電圧電源をサポートしています。デジタル出力ピンである SDOUT、IRQZ、および SDA は、出力ドライブ能力をプログラム可能であり、それぞれ SDO_DRIVE_SEL、IRQZ_DRIVE_SEL、および SDA_DRIVE_SEL レジスタを使用して設定できます。ドライブ能力を下げると、出力ピンにかかる合計負荷容量に応じて、対応可能な最大データレートに影響が生じます。

各デジタル入力ピンには、ピンの浮遊を防ぐためのオプションの弱プルダウンが備わっています。HW シャットダウン中は、プルダウンは有効になりません。プルダウンはデフォルトで無効になっており、対応するプルダウン有効ビットを high に設定することで有効にできます。

表 6-44. デジタル ピンの弱いプルダウン

ピン名	制御レジスタ名をプルダウン
AD1	AD1_PD_EN
AD2	AD2_PD_EN
SDOUT	SDOUT_PD_EN
SDIN	SDIN_PD_EN
FSYNC	FSYNC_PD_EN
SBCLK	SBCLK_PD_EN

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラミング係数が含まれています。これらのレジスタは デバイス制御レジスタ と呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべての重要なデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時 (およびソフトウェア リセット後) のデフォルトのページ設定です。すべてのプログラマブル係数レジスタは、ページ 2、ページ 3 以降に配置されています。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 I²C 制御インターフェイス

このデバイスは、ターゲット デバイスとして I²C 制御プロトコルをサポートし、標準モード、高速モード、高速モードプラスで動作可能です。デバイスの構成とステータスは、I²C プロトコルを使用して SDA および SCL ピン経由で提供されます。

6.5.2 I²C アドレスの選択

TAS2573 は、選択可能な 4 つのデバイス アドレスのいずれかを使用して動作することができます。I²C ターゲット アドレスは、7MSB とそれに続く読み出し/書き込みビットとして定義されます。以下の 表 6-45 は、デバイスの I²C アドレスの選択方法を示しており、アドレスは R/W ビットが 0 (ADDR[6:0]、1b'0 など) に設定されたものに対応しています。I²C アドレスは、SDZ ピンがリリースされたとき、またはソフトウェア リセット ビットによってデバイスがリセットされたときに、アドレス ピンをサンプリングすることで検出されます。

表 6-45. I²C モード アドレスの選択

I ² C ターゲット アドレス	AD2 ピン	AD1 ピン
0x80 (グローバル アドレス)	該当なし	該当なし
0x98	GND	GND
0x9A	GND	IOVDD
0x9C	IOVDD	GND
0x9E	IOVDD	IOVDD

TAS2573 には、グローバルの 7 ビット I²C アドレス 0x40 (8 ビット形式で 0x80、R/W ビットは 0 に設定) があります。イネーブルにすると、アドレス ピンの選択に関係なく、デバイスはこのアドレスで I²C コマンドに追加応答します。これにより、複数の TAS2573 デバイスを使用して、すべてのデバイスで同様の設定をプログラムする場合に、デバイス構成を迅速化することができます。複数のデバイスが I²C コマンドに応答しているため、マルチデバイスの書き込み中は I²C の ACK/NACK を使用することはできません。I²C の CRC 機能を使用して、各デバイスが I²C コマンドを正しく受信したかを確認する必要があります。グローバル アドレスを使用して複数のデバイスへの書き込みが完了すると、ローカル アドレスを使用して各デバイスの I2C_CKSUM レジスタの CRC をチェックし、適切な値が書き込まれたことを確認する必要があります。グローバル I²C アドレスをディセーブルにするには、I2C_GBL_EN レジスタ ビットを使用します。

表 6-46. I²C グローバル アドレスのイネーブル

I2C_GBL_EN	設定
0	無効
1	イネーブル (デフォルト)

6.5.3 一般的な I²C の動作

I²C バスは、SDA (データ) と SCL (クロック) の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビット バイトは、MSB (最上位ビット) から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態データ ピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラ デバイスは、スタート コンディションを発行した後、7 ビットのターゲット アドレスとリード / ライト (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクノリッジ (ACK) コンディションを待機します。ターゲット デバイスは、ア

クノレッジ クロック期間中に **SDA** を低レベルに保持することで、アクノレッジを示します。これにより、コントローラ デバイスは順に次のバイトを送信します。各ターゲット デバイスは、一意の **7** ビットのターゲット アドレスに **R/W** ビットを加えた (1 バイトの) アドレスによって指定されます。すべての互換デバイスは、ワイヤード-**AND** 接続を使用した双方向バスを介して、同じ信号を共有します。

スタートコンディションとストップコンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラデバイスはバスを解放するためにストップコンディションを生成します。一般的なデータ転送シーケンスを、図 6-14 に示します。

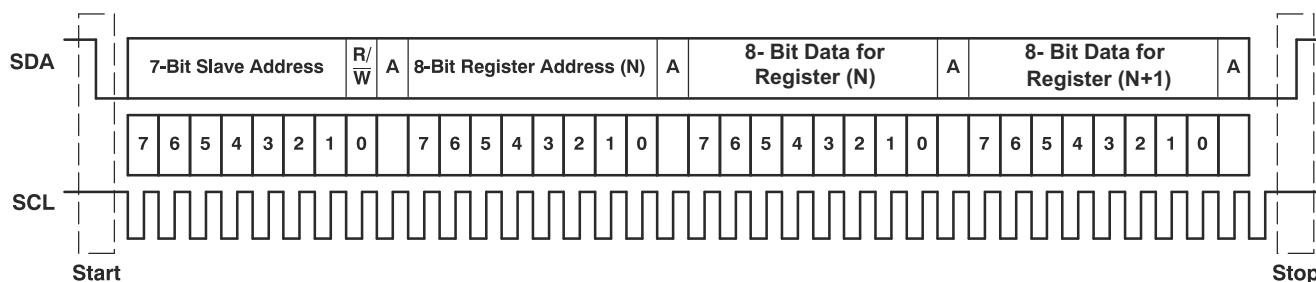


図 6-14. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.4 I²C のシングルバイトおよびマルチバイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングルバイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチバイトの読み取り動作中は、コントローラがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつかのレジスタを書き込むかが決定されます。

6.5.5 I²C のシングルバイト書き込み

図 6-15 にあるように、シングルバイトのデータ書き込み転送では、最初にマスターデバイスが開始条件を送信し、次に I²C デバイスアドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のターゲットアドレスと読み取り / 書き込みビットを受信すると、アクノリッジビット (ACK) を返信します。次に、コントローラデバイスは、アクセスされているデバイス内部レジスタアドレスに対応するレジスタバイトを送信します。デバイスは、レジスタバイトを受信すると、再度アクノリッジビット (ACK) を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲットデバイスはアクノリッジビット (ACK) で応答します。最後に、コントローラデバイスが停止条件を送信すると、シングルバイトデータの書き込み転送が完了します。

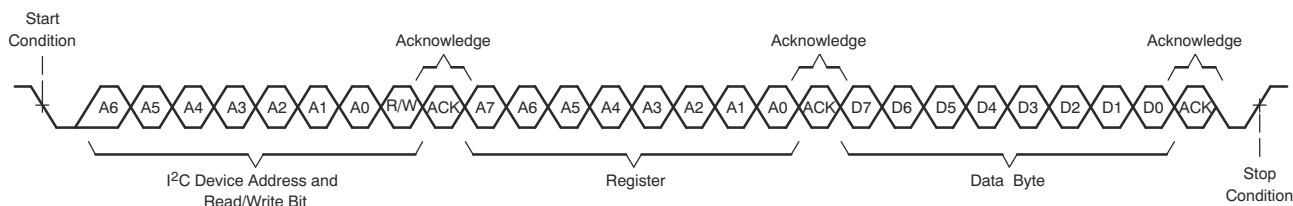


図 6-15. I²C のシングルバイト書き込み転送

6.5.6 I²C のマルチ バイト書き込み

図 6-16 で示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイスに複数のデータ バイトが送信されることを除いて、シングルバイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアックリッジ ビット(ACK)で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

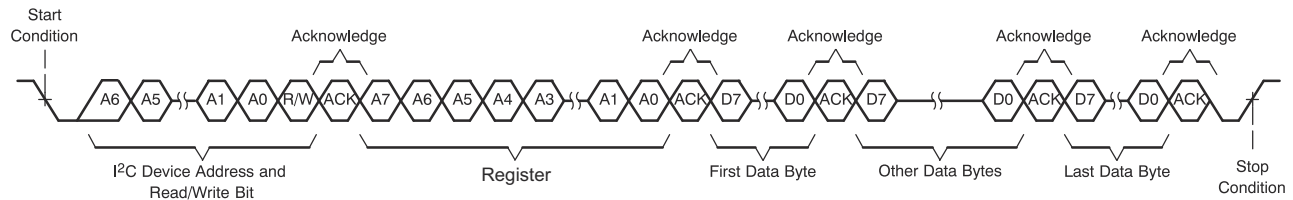


図 6-16. I²C のマルチ バイト書き込み転送

6.5.7 I²C のシングル バイト読み出し

図 6-17 で示されているように、シングルバイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I²C のターゲット アドレスと読み取り / 書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアックリッジ ビット(ACK)で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアックリッジ ビット(ACK)を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答(NACK)に続いてストップ条件を送信します。

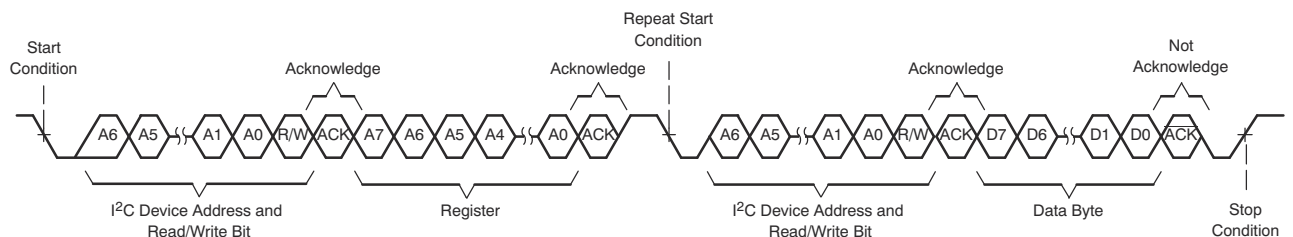


図 6-17. I²C のシングル バイト読み出し転送

6.5.8 I²C のマルチ バイト読み出し

図 6-18 で示されているように、複数バイトのデータ読み取り転送は、単一バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアックリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答(NACK)を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

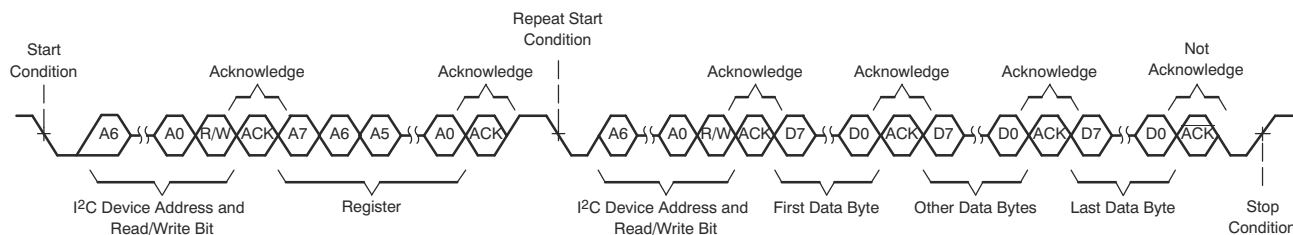


図 6-18. I²C のマルチ バイト読み出し転送

7 レジスタ マップ

デバイスのレジスタはページとブックに編成されています。ページ 0 からページ 8 のレジスタはすべてブック 0 にあり、ページ 9 のレジスタはブック 100 にあります。レジスタ マップのブック番号は **BOOK[7:0]** レジスタ ビットを設定することで変更でき、ページ番号は **PAGE[7:0]** レジスタ ビットを設定することで変更できます。

7.1 PAGE_0 のレジスタ

PAGE_0 レジスタのメモリマップされたレジスタを、表 7-1 に示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 7-1. PAGE_0 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	PAGE	デバイスのページ	セクション 7.1.1
1h	SW_RESET	ソフトウェア リセット	セクション 7.1.2
2h	PWR_CTL	電力制御	セクション 7.1.3
3h	DEVICE_CFG_01	デバイス構成レジスタ	セクション 7.1.4
4h	DEVICE_CFG_02	デバイス構成レジスタ	セクション 7.1.5
5h	DEVICE_CFG_03	デバイス構成レジスタ	セクション 7.1.6
6h	DEVICE_CFG_04	デバイス構成レジスタ	セクション 7.1.7
7h	DEVICE_CFG_05	デバイス構成レジスタ	セクション 7.1.8
8h	TDM_CFG1	TDM 構成レジスタ	セクション 7.1.9
9h	TDM_CFG2	TDM 構成レジスタ	セクション 7.1.10
Ah	TDM_CFG3	TDM 構成レジスタ	セクション 7.1.11
Ch	TDM_CFG5	TDM 構成レジスタ	セクション 7.1.12
Dh	TDM_CFG6	TDM 構成レジスタ	セクション 7.1.13
Eh	TDM_CFG7	TDM 構成レジスタ	セクション 7.1.14
Fh	TDM_CFG8	TDM 構成レジスタ	セクション 7.1.15
10h	TDM_CFG9	TDM 構成レジスタ	セクション 7.1.16
11h	TDM_CFG10	TDM 構成レジスタ	セクション 7.1.17
12h	TDM_CFG11	TDM 構成レジスタ	セクション 7.1.18
13h	TDM_CFG12	TDM 構成レジスタ	セクション 7.1.19
14h	TDM_DET	TDM クロック検出モニタ	セクション 7.1.20
15h	MONITOR_CFG_01	モニタリング構成	セクション 7.1.21
16h	MONITOR_CFG_02	モニタリング構成	セクション 7.1.22
17h	LIM_CFG_0	リミット構成	セクション 7.1.23
18h	BOP_CFG_0	ブラウン アウト保護構成	セクション 7.1.24
19h	TONE_GEN_01	内部トーン ジェネレータ	セクション 7.1.25
1Ah	TONE_GEN_02	内部トーン ジェネレータ	セクション 7.1.26
1Bh	IO_CFG_01	IO の構成	セクション 7.1.27
1Ch	IO_CFG_02	IO の構成	セクション 7.1.28
1Dh	IO_CFG_03	IO の構成	セクション 7.1.29
1Eh	NG_CFG0	ノイズ ゲート制御	セクション 7.1.30
21h	BST_CFG_01	昇圧構成	セクション 7.1.31
22h	BST_CFG_02	昇圧構成	セクション 7.1.32
25h	INTERRUPT_CFG1	IRQZ クリア	セクション 7.1.33
2Ch	TDM_CFG13	TDM 構成レジスタ	セクション 7.1.34
2Eh	TDM_CFG15	TDM 構成レジスタ	セクション 7.1.35
31h	CLASSD_CFG_01	クラス	セクション 7.1.36
32h	CLASSD_CFG_02	クラス	セクション 7.1.37
3Bh	BST_CFG_05	昇圧構成	セクション 7.1.38
3Ch	THERM_CFG	過熱警告の構成	セクション 7.1.39

表 7-1. PAGE_0 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Bh	INT_MASK_0	割り込みマスク	セクション 7.1.40
5Ch	INT_MASK_1	割り込みマスク	セクション 7.1.41
5Dh	INT_MASK_2	割り込みマスク	セクション 7.1.42
5Fh	INT_MASK_3	割り込みマスク	セクション 7.1.43
60h	INT_LATCH_0	ラッチ割り込み読み戻し	セクション 7.1.44
61h	INT_LATCH_1	ラッチ割り込み読み戻し	セクション 7.1.45
62h	INT_LATCH_2	ラッチ割り込み読み戻し	セクション 7.1.46
63h	INT_LATCH_3	ラッチ割り込み読み戻し	セクション 7.1.47
64h	INT_LATCH_4	ラッチ割り込み読み戻し	セクション 7.1.48
65h	NG_IDLE_STATUS	ラッチ割り込み読み戻し	セクション 7.1.49
66h	INT_MASK_5	割り込みマスク	セクション 7.1.50
67h	INT_LATCH_5	ラッチ割り込み読み戻し	セクション 7.1.51
78h	REV_ID	リビジョンおよび PG ID	セクション 7.1.52
7Fh	BOOK	デバイスのブック	セクション 7.1.53

7.1.1 PAGE レジスタ (オフセット = 0h) [リセット = 00h]

PAGE を表 7-2 に示します。

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-2. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE	R/W	0h	デバイス ページの設定。 00h = ページ 0 01h = ページ 1 FFh=ページ 255

7.1.2 SW_RESET レジスタ (オフセット = 1h) [リセット = 00h]

SW_RESET を [表 7-3](#) に示します。

[概略表](#)に戻ります。

ソフトウェア リセットをアサートすると、すべてのレジスタ値がデフォルトの POR (パワーオン リセット) 状態に戻ります。

表 7-3. SW_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	SW_RESET	R/W	0h	ソフトウェア リセット。ビットはセルフ クリアです。 0h = リセットしない 1h = リセット

7.1.3 PWR_CTL レジスタ (オフセット = 2h) [リセット = 02h]

表 7-4 に、PWR_CTL を示します。

概略表に戻ります。

デバイスの動作モードと電源構成を設定します

表 7-4. PWR_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	予約済み
1-0	モード	R/W	2h	デバイスの動作モード。 0h = アクティブ 1h = ミュート 2h = ソフトウェア シャットダウン 3h = ASI クロックでのウェークアップおよびシャットダウン

7.1.4 DEVICE_CFG_01 レジスタ (オフセット = 3h) [リセット = C0h]

DEVICE_CFG_01 を表 7-5 に示します。

[概略表](#)に戻ります。

このレジスタは、さまざまなデバイス モードを構成します。

表 7-5. DEVICE_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EFFICIENCY_MODE	R/W	3h	デバイスの動作モード。 0h = 音楽用効率とノイズ ゲート モードをディセーブル 1h = ノイズ ゲート モードのみ 2h = 音楽用効率のみ 3h = 音楽用効率 + ノイズ ゲート モード
5-2	予約済み	R	0h	予約済み
1-0	SDZ_MODE	R/W	0h	SDZ モード構成。 0h = ソフト シャットダウンとデバイス リセット 1h = 即時シャットダウンとデバイス リセット 2h = ソフト シャットダウンのみ (レジスタ設定はクリアされません) 3h = 予約済み

7.1.5 DEVICE_CFG_02 レジスタ (オフセット = 4h) [リセット = 8Ch]

DEVICE_CFG_02 を表 7-6 に示します。

[概略表](#)に戻ります。

このレジスタは、さまざまなデバイス モードを構成します。

表 7-6. DEVICE_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2C_GBL_EN	R/W	1h	I2C グローバル アドレス 0h=ディセーブル 1h = イネーブル
6	予約済み	R	0h	予約済み
5-3	CLK_HALT_TIME	R/W	1h	このレジスタで定義されたタイム アウト後デバイスはクロック チェックを中止します 0h = 永久チェック モード。ASI CLK チェックは中止されません 1h = 800us 2h = 3.2ms 3h = 34.1ms 4h = 68.3ms 5h = 256ms 6h = 768ms 7h = 1.3s
2	CLK_BASED_PWR_UP	R/W	1h	有効な ASI クロックに基づくパワー アップ/ダウン 0h = 無効化 1h = イネーブル。
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.6 DEVICE_CFG_03 レジスタ (オフセット = 5h) [リセット = 00h]

DEVICE_CFG_03 を表 7-7 に示します。

[概略表](#)に戻ります。

このレジスタは、さまざまなデバイス モードを構成します。

表 7-7. DEVICE_CFG_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	OCE_RETRY	R/W	0h	過電流イベント後の再試行。 0h = 再試行しない 1h = 「RETRY_WAIT_TIME」経過後に再試行
4	OTE_RETRY	R/W	0h	過熱イベント後の再試行。 0h = 再試行しない 1h = 「RETRY_WAIT_TIME」経過後に再試行
3	予約済み	R	0h	予約済み
2	CLKE_RETRY	R/W	0h	内部クロック エラー イベント後に再試行。 0h = 再試行しない 1h = 「RETRY_WAIT_TIME」経過後に再試行
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.7 DEVICE_CFG_04 レジスタ (オフセット = 6h) [リセット = 04h]

DEVICE_CFG_04 を表 7-8 に示します。

[概略表](#)に戻ります。

このレジスタは、さまざまなデバイス モードを構成します。

表 7-8. DEVICE_CFG_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	SEL_VBAT_MODE	R/W	0h	VBAT 動作モードを選択します 0h = VBAT 1S モード、VBAT ピン電圧をモニタ 1h = VBAT 1S モード、VBAT_SNS ピン電圧をモニタ Ah = VBAT 2S モード、VBAT_SNS ピン電圧をモニタ Bh = 予約済み
3-2	IRQZ_PIN_CFG	R/W	1h	IRQZ 割り込み構成。IRQZ アサート 0h = マスクされていないライブ割り込み時 1h = マスクされていないラッチ型割り込みが発生した場合 2h = マスクされていないライブ割り込み時に 1 回のみ、2~4ms 3h = マスクされていないラッチ型割り込みが発生した場合、4ms ごとに 2~4ms の間動作
1	予約済み	R	0h	予約済み
0	RETRY_WAIT_TIME	R/W	0h	デバイスがエラーを検出した後の再試行待機時間 (再試行オプションを利用可能なエラーに対してのみ有効) 0h = 1.5 sec 1h = 100ms

7.1.8 DEVICE_CFG_05 レジスタ (オフセット = 7h) [リセット = 00h]

DEVICE_CFG_05 を表 7-9 に示します。

[概略表](#)に戻ります。

このレジスタは、さまざまなデバイス モードを構成します。

表 7-9. DEVICE_CFG_05 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	SAMPLE_RATE_CFG	R/W	0h	サンプリング レートの選択 0h = オーディオ データ レートは 48Ksps の整数倍または約数 1h = オーディオ データ レートは 44.1Ksps の整数倍または約数
5-0	AMP_LVL	R/W	0h	デバイス チャネル ゲイン設定 0h = 21.000dB 1h = 20.498dB 2h = 19.997dB 3h = 19.495dB 4h = 18.993dB 26h = 1.935dB 27h = 1.434dB 28h = 0.932dB 29h = 0.430dB 2Ah = -0.071dB

7.1.9 TDM_CFG1 レジスタ (オフセット = 8h) [リセット = 82h]

TDM_CFG1 を表 7-10 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-10. TDM_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FRAME_START	R/W	1h	TDM フレームの開始極性。 0h = FSYNC で Low から High 1h = FSYNC で High から Low
6	RX_JUSTIFY	R/W	0h	TDM RX サンプルのタイムスロット内での位置揃え。 0h = 左寄せ 1h = 右寄せ
5-1	RX_OFFSET	R/W	1h	フレームの TDM RX 開始からタイム スロット 0 へのオフセット (SBCLK サイクル)。
0	RX_EDGE	R/W	0h	TDM RX キャプチャ クロック極性。 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

7.1.10 TDM_CFG2 レジスタ (オフセット = 9h) [リセット = 0Ah]

TDM_CFG2 を表 7-11 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-11. TDM_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	IVMON_SLEN	R/W	0h	電流および電圧データの長さの設定値 0h = 16 ビット 1h = 12 ビット 2h = 8 ビット 3h = 予約済み
5-4	予約済み	R	0h	予約済み
3-2	RX_WLEN	R/W	2h	TDM RX ワード長。 0h = 16 ビット 1h = 20 ビット 2h = 24 ビット 3h = 32 ビット
1-0	RX_SLEN	R/W	2h	TDM RX タイム スロットの長さ。 0h = 16 ビット 1h = 24 ビット 2h = 32 ビット 3h = 予約済み

7.1.11 TDM_CFG3 レジスタ (オフセット = Ah) [リセット = 10h]

TDM_CFG3 を表 7-12 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-12. TDM_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RX_SLOT_R	R/W	1h	TDM RX 右オーディオ チャンネルのタイム スロット。
3-0	RX_SLOT_L	R/W	0h	TDM RX 左オーディオチャンネルのタイム スロット。

7.1.12 TDM_CFG5 レジスタ (オフセット = Ch) [リセット = 13h]

TDM_CFG5 を表 7-13 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-13. TDM_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TX_KEEPCY	R/W	0h	TDM TX SDOUT LSB データ駆動条件 0h = フルサイクル 1h = 半周期
6	TX_KEEPLN	R/W	0h	TX_KEEPPEN がイネーブルのとき、TDM TX SDOUT がバスを保持 0h = 1LSB サイクル 1h = 常時
5	TX_KEEPPEN	R/W	0h	TDM TX SDOUT バス キーパーをイネーブル。 0h = バス キーパーをディスエーブル 1h = バス キーパー イネーブル
4	TX_FILL	R/W	1h	TDM TX における SDOUT の未使用ビット フィールドの埋め込み。 0h = 0 を送信 1h = Hi-Z を送信
3-1	TX_OFFSET	R/W	1h	TDM TX のフレーム開始からタイム スロット 0 へのオフセット。
0	TX_EDGE	R/W	1h	TDM TX 起動クロック極性。 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

7.1.13 TDM_CFG6 レジスタ (オフセット = Dh) [リセット = 02h]

TDM_CFG6 を表 7-14 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-14. TDM_CFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	VSNS_TX	R/W	0h	TDM TX 電圧センス送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	VSNS_SLOT	R/W	2h	TDM TX 電圧センスのタイム スロット。

7.1.14 TDM_CFG7 レジスタ (オフセット = Eh) [リセット = 00h]

TDM_CFG7 を表 7-15 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-15. TDM_CFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	ISNS_TX	R/W	0h	TDM TX 電流センス送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	ISNS_SLOT	R/W	0h	TDM TX 電流センスのタイム スロット。

7.1.15 TDM_CFG8 レジスタ (オフセット= Fh) [リセット= 04h]

TDM_CFG8 を表 7-16 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-16. TDM_CFG8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VBAT_SLEN	R/W	0h	TDM TX VBAT のタイム スロットの長さ。 0h = 8 ビットに切り捨て 1h = 左揃えで 16 ビット
6	VBAT_TX	R/W	0h	TDM TX VBAT データ送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	VBAT_SLOT	R/W	4h	TDM TX VBAT タイム スロット。

7.1.16 TDM_CFG9 レジスタ (オフセット = 10h) [リセット = 05h]

TDM_CFG9 を表 7-17 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-17. TDM_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	TEMP_TX	R/W	0h	TDM TX 温度センサ送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	TEMP_SLOT	R/W	5h	TDM TX 温度センサのタイム スロット。

7.1.17 TDM_CFG10 レジスタ (オフセット = 11h) [リセット = 07h]

TDM_CFG10 を表 7-18 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-18. TDM_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	STATUS_TX	R/W	0h	TDM TX ステータス ビット送信のイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	STATUS_SLOT	R/W	7h	TDM TX ステータス ビット タイム スロット。

7.1.18 TDM_CFG11 レジスタ (オフセット = 12h) [リセット = 06h]

TDM_CFG11 を表 7-19 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-19. TDM_CFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_SLEN	R/W	0h	TDM TX PVDD のタイム スロットの長さ。 0h = 8 ビットに切り捨て 1h = 左揃えで 16 ビット
6	PVDD_TX	R/W	0h	TDM TX PVDD データ送信をイネーブル。 0h=ディセーブル 1h = イネーブル
5-0	PVDD_SLOT	R/W	6h	TDM TX PVDD タイム スロット。

7.1.19 TDM_CFG12 レジスタ (オフセット = 13h) [リセット = 12h]

TDM_CFG12 を表 7-20 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-20. TDM_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AUDIO_SLEN	R/W	0h	TDM オーディオ スロットの長さ 0h = 16 ビット 1h = 24 ビット
6	AUDIO_TX	R/W	0h	TDM オーディオ出力送信イネーブル 0h=ディセーブル 1h = イネーブル
5-0	AUDIO_SLOT	R/W	12h	TDM TX ステータス タイム スロット。

7.1.20 TDM_DET レジスタ (オフセット = 14h) [リセット = 7Fh]

表 7-21 に、TDM_DET を示します。

概略表に戻ります。

内部自動レート検出の読み戻し。

表 7-21. TDM_DET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-3	FS_RATIO_DETECTED	R	Fh	検出された SBCLK と FSYNC の比率。 00h = 16 01h = 24 02h = 32 03h = 48 04h = 64 05h = 96 06h = 128 07h = 192 08h = 256 09h = 384 0Ah = 512 0Bh = 125 0Dh = 500 0Eh = 予約済み 0Fh = 比率が無効
2-0	FS_RATE_DETECTED	R	7h	TDM バスの検出サンプル レート。 0h = 予約済み 1h = 14.7/16KHz 2h = 22.05/24KHz 3h = 29.4/32KHz 4h = 44.1/48KHz 5h = 88.2/96kHz 6h = 176.4/192kHz 7h = エラー状態

7.1.21 MONITOR_CFG_01 レジスタ (オフセット = 15h) [リセット = 00h]

MONITOR_CFG_01 を表 7-22 に示します。

[概略表](#)に戻ります。

このレジスタはデバイスのモニタ チャンネルを構成します

表 7-22. MONITOR_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SUPPLY_SAMPLING_RATE	R/W	0h	VBAT および PVDD のサンプリング レートを構成します 0h = VBAT サンプリング レートは PVDD より高くなります 1h = PVDD サンプリング レートは VBAT より高くなります
6-0	予約済み	R	0h	予約済み

7.1.22 MONITOR_CFG_02 レジスタ (オフセット = 16h) [リセット = 30h]

MONITOR_CFG_02 を表 7-23 に示します。

[概略表](#)に戻ります。

このレジスタはデバイスのモニタ チャンネルを構成します

表 7-23. MONITOR_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IVSENSE_LPF_ENABLE	R/W	0h	IV センス チャンネルの 6kHz LPF を制御します 0h = IV センス LPF は無効です 1h = IV センス LPF は有効です
6-5	VSENSE_GAIN_SEL	R/W	1h	VSNS のフルスケール (FS) プログラミング
4-3	ISENSE_GAIN_SEL	R/W	2h	ISNS のフルスケール (FS) プログラミング
2-0	予約済み	R	0h	予約済み

7.1.23 LIM_CFG_0 レジスタ (オフセット = 17h) [リセット = 00h]

LIM_CFG_0 を表 7-24 に示します。

[概略表](#)に戻ります。

このレジスタは電圧リミッタ モジュールを構成します

表 7-24. LIM_CFG_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LIM_MODE	R/W	0h	リミッタ イネーブル。 0h=ディセーブル 1h = VBAT 電圧ベースのリミッタ モード 2h = PVDD 電圧ベースのリミッタ モード 3h = ClassH 昇圧電圧ベースの電圧リミッタ
5	SUPPLY_HEADROOM_LIM_MODE	R/W	0h	電源のヘッドルームに基づいてリミッタ スレッショルドを選択します 0h=ディセーブル 1h = イネーブル
4-0	予約済み	R	0h	予約済み

7.1.24 BOP_CFG_0 レジスタ (オフセット = 18h) [リセット = 00h]

BOP_CFG_0 を表 7-25 に示します。

[概略表](#)に戻ります。

このレジスタは電圧低下保護モジュールを構成します

表 7-25. BOP_CFG_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0h	予約済み
4	BOP_SRC	R/W	0h	電圧低下防止ソース制御 0h = VBAT 1h = PVDD
3	BOPSD_EN	R/W	0h	電圧低下防止シャットダウンのイネーブル。 0h=ディセーブル 1h = イネーブル。VBAT 電圧がプログラムされた BOSD_THR_LVL[24:0] を下回ると、デバイスはシャットダウンします
2	BOP_HLD_CLR	R/W	0h	BOP 無限ホールド クリア (セルフ クリア)。BOP_INF_HLD = 1 のときに使用可能です 0h = クリアしません 1h = クリア。
1	BOP_INF_HLD	R/W	0h	電圧低下イベント時の無限ホールド。 0h = 電圧低下イベント後に BOP_HLD_TM を使用します 1h = BOP_HLD_CLR が High にアサートされるまでリリースしません
0	BOP_EN	R/W	0h	電圧低下防止 (BOP) をイネーブル。 0h=ディセーブル 1h = イネーブル

7.1.25 TONE_GEN_01 レジスタ (オフセット = 19h) [リセット = 40h]

TONE_GEN_01 を表 7-26 に示します。

概略表に戻ります。

内部トーン ジェネレータの構成

表 7-26. TONE_GEN_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INTERNAL_TONE_PLAY BACK_EN	R/W	0h	パイロットトーン信号再生の制御 0h = パイロットトーンは生成されません 1h = パイロットトーンを生成 (chirp_en を 0 に設定する必要があります)
6	INTERNAL_TONE_MIXIN G_EN	R/W	1h	内部トーンミキシング制御 0h = トーンのみを再生 (ASI からのオーディオ データは FW が無視) 1h = トーン信号をオーディオ データと混合して再生
5	INTERNAL_TONE_CLK_ SEL	R/W	0h	トーン ジェネレータ用クロック ソース 0h = 外部クロック 1h = 内部発振器
4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

7.1.26 TONE_GEN_02 レジスタ (オフセット = 1Ah) [リセット = 96h]

TONE_GEN_02 を表 7-27 に示します。

[概略表](#)に戻ります。

内部トーン ジェネレータの構成

表 7-27. TONE_GEN_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CHIRP_FREQ_CYCLES	R/W	9h	チャープ内の各周波数のサイクル数。次の周波数は、常に前の周波数サイクルのゼロ クロス時に切り替わります。 0h = 1 サイクル 1h = 2 サイクル Fh = 16 サイクル
3	CHIRP_EN	R/W	0h	チャープトーン再生制御 (ダイナミック レジスタ) (注: ASI は、有効なクロックと fsync でアクティブになっている必要があります。オーディオ データがゼロになる可能性があります) 0h =チャープ トーンは生成されていません 1h = チャープトーンを生成 (pilot_tone_en を 0 に設定する必要があります)
2	INTERNAL_TONE_GEN_ENZ	R/W	1h	内部トーン生成機能が無効化 (トーン機能を使用するにはこのビットをリセットする必要があります) 0h =トーン ジェネレータはイネーブル 1h = トーン ジェネレータはディスエーブル
1	CHIRP_RAMP_EN	R/W	1h	チャープ ランプ制御 0h =ランプアップ/ダウンをディスエーブル 1h =ランプアップ/ダウンをイネーブル
0	予約済み	R	0h	予約済み

7.1.27 IO_CFG_01 レジスタ (オフセット = 1Bh) [リセット = 01h]

IO_CFG_01 を表 7-28 に示します。

[概略表](#)に戻ります。

このレジスタは IO バッファを構成します

表 7-28. IO_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SDO_DRIVE_SEL	R/W	0h	SDO パッド用のドライブ強度制御レジスタ 0h = 2mA ドライブ設定 1h = 4mA ドライブ設定 2h = 6mA ドライブ設定 3h = 8mA ドライブ設定
5-4	IRQZ_DRIVE_SEL	R/W	0h	IRQZ パッド用のドライブ強度制御レジスタ 0h = 2mA ドライブ設定 1h = 4mA ドライブ設定 2h = 6mA ドライブ設定 3h = 8mA ドライブ設定
3-2	SDA_DRIVE_SEL	R/W	0h	SDA パッド用のドライブ強度制御レジスタ 0h = 2mA ドライブ設定 1h = 4mA ドライブ設定 2h = 6mA ドライブ設定 3h = 8mA ドライブ設定
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.28 IO_CFG_02 レジスタ (オフセット = 1Ch) [リセット = 3Ch]

IO_CFG_02 を表 7-29 に示します。

概略表に戻ります。

このレジスタは IO バッファを構成します

表 7-29. IO_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IRQZ_POL	R/W	0h	割り込み用 IRQZ ピンの極性。 0h = アクティブ Low 1h = アクティブ High
6	IRQZ_PU	R/W	0h	IRQZ 内部プル アップ/ダウンを有効にします。 0h = プル アップ/ダウンを無効化 1h = irqz_pol によりプル アップ/ダウンを有効化
5	EN_SDO_OUTPUT	R/W	1h	SDO (ASI) 出力ステージをイネーブル 0h = 機能モード中に SDO O/P 段を無効化 (トライステート状態) 1h = 機能モード中にイネーブル
4	EN_ASI2_SDO_OUTPUT	R/W	1h	SDO (ASI) 出力ステージをイネーブル 0h = 機能モード中に SDO O/P 段を無効化 (トライステート状態) 1h = 機能モード中にイネーブル
3	EN_ASI2_SBCLK_OUTP UT	R/W	1h	SDO (ASI) 出力ステージをイネーブル 0h = 機能モード中に SDO O/P 段を無効化 (トライステート状態) 1h = 機能モード中にイネーブル
2	EN_ASI2_FSYNC_OUTP UT	R/W	1h	SDO (ASI) 出力ステージをイネーブル 0h = 機能モード中に SDO O/P 段を無効化 (トライステート状態) 1h = 機能モード中にイネーブル
1-0	ICC_DS	R/W	0h	ICC パッド用のドライブ強度制御レジスタ 0h = 2mA ドライブ設定 1h = 4mA ドライブ設定 2h = 6mA ドライブ設定 3h = 8mA ドライブ設定

7.1.29 IO_CFG_03 レジスタ (オフセット = 1Dh) [リセット = 00h]

IO_CFG_03 を表 7-30 に示します。

[概略表](#)に戻ります。

このレジスタは IO バッファを構成します

表 7-30. IO_CFG_03 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	WPD_EN_SDZ	R/W	0h	弱プルダウンをイネーブル - SDZ 0h = プルダウンをディスエーブル 1h = プルダウンをイネーブル
5	AD1_PD_EN	R/W	0h	弱いプルダウンをイネーブル - AD1 0h = プルダウンをディスエーブル 1h = プルダウンをイネーブル
4	AD2_PD_EN	R/W	0h	弱いプルダウンをイネーブル - AD2 0h = プルダウンをディスエーブル 1h = プルダウンをイネーブル
3	SDOUT_PD_EN	R/W	0h	SDOUT 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
2	SDIN_PD_EN	R/W	0h	SDIN 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
1	FSYNC_PD_EN	R/W	0h	FSYNC 用の弱プルダウン 0h=ディセーブル 1h = イネーブル
0	SBCLK_PD_EN	R/W	0h	SBCLK 用の弱プルダウン 0h=ディセーブル 1h = イネーブル

7.1.30 NG_CFG0 レジスタ (オフセット = 1Eh) [リセット = 60h]

NG_CFG0 を表 7-31 に示します。

[概略表](#)に戻ります。

ノイズゲートのヒステリシス、スレッショルド レベル、およびイネーブル。

表 7-31. NG_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	NG_HYST_TIMER	R/W	1h	ノイズ ゲート エントリ ヒステリシス タイマ 0h = 10ms 1h = 50ms 2h = 100ms 3h = 1000ms
5-3	NG_TH_LVL	R/W	4h	ノイズ ゲートのオーディオ スレッショルド レベル 0h = -85dBFS 1h = -90dBFS 2h = -95dBFS 3h = -100dBFS 4h = -105dBFS 5h = -110dBFS 6h = -115dBFS 7h = -120dBFS
2-0	予約済み	R	0h	予約済み

7.1.31 BST_CFG_01 レジスタ (オフセット = 21h) [リセット = 12h]

BST_CFG_01 を表 7-32 に示します。

[概略表](#)に戻ります。

このレジスタは、内部昇圧コントローラを構成します

表 7-32. BST_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0h	予約済み
4	BOOST_PHASE_SYNC_EN	R/W	1h	昇圧位相同期をイネーブル 0h=ディセーブル 1h = イネーブル
3-2	BOOST_PHASE	R/W	0h	昇圧位相同期遅延制御、BOOST_PHASE_SYNC_EN = 1 の場合のみ有効 0h = 位相シフトは 0ns 1h = 位相シフトは 65ns 2h = 位相シフトは 130ns 3h = 位相シフトは 195ns
1	BOOST_PHASE_FROM_ADDRESS_PIN	R/W	1h	昇圧位相シフト同期制御は、アドレス ピンから検出された i2c スレーブ アドレスに基づいて自動的に選択されます。BOOST_PHASE_SYNC_EN = 1 の場合のみ有効 0h=ディセーブル 1h = イネーブル
0	予約済み	R	0h	予約済み

7.1.32 BST_CFG_02 レジスタ (オフセット = 22h) [リセット = 23h]

BST_CFG_02 を表 7-33 に示します。

[概略表](#)に戻ります。

このレジスタは、内部昇圧コントローラを構成します

表 7-33. BST_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	BST_MODE	R/W	0h	昇圧モード 0h = Class-H 1h = Class-G 2h = 常時オン 3h = 常時オフ (パススルー)
5	BOOST_EN	R/W	1h	昇圧イネーブル 0h = ディスエーブル (外部 PVDD モード) 1h = イネーブル
4-3	BOOST_MIN_FREQ_SEL	R/W	0h	昇圧アクティブ モードの PFM 下限 0h = 無制限 1h = 25kHz 2h = 50kHz 3h = 予約済み
2-1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.33 INTERRUPT_CFG1 レジスタ (オフセット = 25h) [リセット = 00h]

INTERRUPT_CFG1 を表 7-34 に示します。

概略表に戻ります。

このレジスタはラッチされた割り込みレジスタをすべてクリアします

表 7-34. INTERRUPT_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-2	予約済み	R	0h	予約済み
1	INT_CLR_LTCH	R/W	0h	INT_LTCH レジスタをクリアします 0h = クリアしません 1h = クリアする (セルフ クリア ビット)
0	予約済み	R	0h	予約済み

7.1.34 TDM_CFG13 レジスタ (オフセット = 2Ch) [リセット = 00h]

TDM_CFG13 を表 7-35 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-35. TDM_CFG13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ECHOREF1_SLEN	R/W	0h	TDM TX エコー リファレンス チャネル 1 のタイム スロット長。 0h = 8 ビットに切り捨て 1h = 左揃えで 16 ビット
6	ECHOREF1_TX	R/W	0h	TDM TX エコー リファレンス チャネル 1 の送信イネーブル。 0h=ディセーブル 1h = イネーブル
5-0	ECHOREF1_SLOT	R/W	0h	TDM TX エコー リファレンス チャネル 1 のタイム スロット。

7.1.35 TDM_CFG15 レジスタ (オフセット = 2Eh) [リセット = 00h]

TDM_CFG15 を表 7-36 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの TDM モードを構成します

表 7-36. TDM_CFG15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	電流および電圧データの長さの設定値 0h = 16 ビット 1h = 12 ビット 2h = 8 ビット 3h = 予約済み
3-0	RX_CFG	R/W	0h	超 TDM RX タイム スロット選択構成。 0h = タイム スロットが I2C アドレス オフセットに等しいチャンネル 1h = 左チャンネル 2h = 右チャンネル 3h = ステレオ ダウンミックス (L+R)/2 4h = 予約済み 5h = 予約済み 6h = 予約済み 7h = 予約済み 8h = 予約済み 9h = 予約済み Ah = 予約済み Bh = 予約済み Ch = 予約済み

7.1.36 CLASSD_CFG_01 レジスタ (オフセット = 31h) [リセット = 34h]

CLASSD_CFG_01 を表 7-37 に示します。

[概略表](#)に戻ります。

D アンプ構成 - このレジスタは Class-D アンプを構成します

表 7-37. CLASSD_CFG_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	CLASSD_OUTPUT_EDG ERATE_CTRL	R/W	3h	Edgerate プログラマビリティ制御 0h = Class-D 出力のエッジレートはおよそ 0.5V/ns 1h = Class-D 出力のエッジレートはおよそ 1V/ns 2h = 予約済み - Class-D 出力のエッジレートはおよそ 2V/ns
3	CLASSD_HIZ_MODE	R/W	0h	ノイズ ゲート モードのアンプ出力状態 0h = 非ハイ インピーダンス 1h = イネーブル
2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

7.1.37 CLASSD_CFG_02 レジスタ (オフセット = 32h) [リセット = 94h]

CLASSD_CFG_02 を表 7-38 に示します。

[概略表](#)に戻ります。

D アンプ構成 - このレジスタは Class-D アンプを構成します

表 7-38. CLASSD_CFG_02 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_Y_BRIDGE_MODE	R/W	1h	デバイス動作中の VDD ブリッジ モードのイネーブル/ディセーブル 0h = VDD ブリッジ モードはディセーブルです 1h = VDD ブリッジ モードはイネーブルです
6	予約済み	R	0h	予約済み
5-4	予約済み	R	0h	予約済み
3-2	Y_BRIDGE_HYST_TIME R	R/W	1h	時間ヒステリシスのプログラマビリティ 0h = 100us 1h = 500us 2h = 5ms 3h = 50ms
1-0	予約済み	R	0h	予約済み

7.1.38 BST_CFG_05 レジスタ (オフセット = 3Bh) [リセット = A7h]

BST_CFG_05 を表 7-39 に示します。

[概略表](#)に戻ります。

このレジスタは、内部昇圧コントローラを構成します

表 7-39. BST_CFG_05 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VBOOST_MAX_CTRL	R/W	A7h	Class-H モードでの昇圧 VMAX 設定。 54h = 5.54V (最小設定) E5h = 15.11V (最大設定)

7.1.39 THERM_CFG レジスタ (オフセット = 3Ch) [リセット = 00h]

表 7-40 に、THERM_CFG を示します。

概略表に戻ります。

このレジスタは過熱警告検出を構成します

表 7-40. THERM_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	EN_THERM_WARN_DET	R/W	0h	過熱警告検出機能制御を有効にします 0h=ディセーブル 1h = イネーブル

7.1.40 INT_MASK_0 レジスタ (オフセット = 5Bh) [リセット = 01h]

INT_MASK_0 を表 7-41 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みフラグのマスクを構成します

表 7-41. INT_MASK_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0[7]	R/W	0h	BOP Inf ホールド フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
6	INT_MASK0[6]	R/W	0h	リミッタ減衰フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
5	INT_MASK0[5]	R/W	0h	供給電圧が inf pt フラグ未滿となったことによる割り込みのマスク 0h = マスクしない 1h=マスクあり
4	INT_MASK0[4]	R/W	0h	リミッタのアクティブ フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
3	INT_MASK0[3]	R/W	0h	電圧低下検出フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
2	INT_MASK0[2]	R/W	0h	bop アクティブ フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
1	INT_MASK0[1]	R/W	0h	デバイスのアクティブ フラグによる割り込みのマスク 0h = マスクしない 1h=マスクあり
0	予約済み	R	0h	予約済み

7.1.41 INT_MASK_1 レジスタ (オフセット = 5Ch) [リセット = 1Fh]

INT_MASK_1 を表 7-42 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みフラグのマスクを構成します

表 7-42. INT_MASK_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK1[7]	R/W	0h	PVDD 低電圧による割り込みのマスク 0h = マスクしない 1h=マスクあり
6	INT_MASK1[6]	R/W	0h	VBAT 2S 電源低電圧による割り込みのマスク 0h = マスクしない 1h=マスクあり
5	INT_MASK1[5]	R/W	0h	DacMod オーバーフローによる割り込みのマスク 0h = マスクしない 1h=マスクあり
4	INT_MASK1[4]	R/W	1h	過熱警告による割り込みのマスク 135C 0h = マスクしない 1h=マスクあり
3	INT_MASK1[3]	R/W	1h	過熱警告による割り込みのマスク 125C 0h = マスクしない 1h=マスクあり
2	INT_MASK1[2]	R/W	1h	過熱警告による割り込みのマスク 115C 0h = マスクしない 1h=マスクあり
1	INT_MASK1[1]	R/W	1h	過熱警告による割り込みのマスク 105C 0h = マスクしない 1h=マスクあり
0	INT_MASK1[0]	R/W	1h	DSP 割り込み出力による割り込みのマスク 0h = マスクしない 1h=マスクあり

7.1.42 INT_MASK_2 レジスタ (オフセット = 5Dh) [リセット = 00h]

INT_MASK_2 を表 7-43 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みフラグのマスクを構成します

表 7-43. INT_MASK_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK2[7]	R/W	0h	ウォッチドッグの満了による割り込みのマスク 0h = マスクしない 1h = マスクあり
6	予約済み	R	0h	予約済み
5	INT_MASK2[5]	R/W	0h	フレームの同期外れによる割り込みのマスク 0h = マスクしない 1h = マスクあり
4	INT_MASK2[4]	R/W	0h	PLL クロック エラーによる割り込みのマスク 0h = マスクしない 1h = マスクあり
3	INT_MASK2[3]	R/W	0h	tdm エラーによる割り込みのマスク 0h = マスクしない 1h = マスクあり
2	INT_MASK2[2]	R/W	0h	比率変更エラー フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり
1	INT_MASK2[1]	R/W	0h	fs 変更エラー フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり
0	INT_MASK2[0]	R/W	0h	無効な fs 比率フラグによる割り込みのマスク 0h = マスクしない 1h = マスクあり

7.1.43 INT_MASK_3 レジスタ (オフセット = 5Fh) [リセット = 1Ah]

INT_MASK_3 を表 7-44 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みフラグのマスクを構成します

表 7-44. INT_MASK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK4[7]	R/W	0h	vbat_por による割り込みのマスク 0h = マスクしない 1h=マスクあり
7	INT_MASK3[7]	R/W	0h	過温検出による割り込みのマスク 0h = マスクしない 1h=マスクあり
6	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	INT_MASK3[3]	R/W	1h	Class-D 過電流保護による割り込みのマスク 0h = マスクしない 1h=マスクあり
3	予約済み	R	0h	予約済み
2	INT_MASK4[2]	R/W	0h	クロック停止フラグによる割り込みのマスク。また、この割り込みはウェイクアップ オン ASI 機能使用中に、プリパワーアップ クロック エラーによるエラーをフラグ付けします 0h = マスクしない 1h=マスクあり
2	INT_MASK3[2]	R/W	0h	pvdd_ov_flag による割り込みをマスクし 0h = マスクしない 1h=マスクあり
1	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.44 INT_LATCH_0 レジスタ (オフセット = 60h) [リセット = 00h]

INT_LATCH_0 を表 7-45 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-45. INT_LATCH_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH0[7]	R	0h	BOP 無限ホールドによる割り込み 0h = 割り込みなし 1h=割り込みあり
6	INT_LTCH0[6]	R	0h	リミッタ減衰フラグによる割り込み 0h = 割り込みなし 1h=割り込みあり
5	INT_LTCH0[5]	R	0h	電源が inf pt フラグで規定された値未満になったことによる割り込み 0h = 割り込みなし 1h=割り込みあり
4	INT_LTCH0[4]	R	0h	リミッタが作動したことによる割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH0[3]	R	0h	電圧低下検出フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH0[2]	R	0h	bop アクティブ フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	INT_LTCH0[1]	R	0h	デバイス アクティブ フラグ要因のライブ割り込み 0h = 割り込みなし 1h=割り込みあり
0	予約済み	R	0h	予約済み

7.1.45 INT_LATCH_1 レジスタ (オフセット = 61h) [リセット = 00h]

INT_LATCH_1 を表 7-46 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-46. INT_LATCH_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH1[7]	R	0h	PVDD 低電圧エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
6	INT_LTCH1[6]	R	0h	VBAT2S 低電圧検出要因の割り込み 0h = 割り込みなし 1h=割り込みあり
5	INT_LTCH1[5]	R	0h	DacMod オーバーフローによる割り込み 0h = 割り込みなし 1h=割り込みあり
4	INT_LTCH1[4]	R	0h	135°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH1[3]	R	0h	125°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH1[2]	R	0h	115°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	INT_LTCH1[1]	R	0h	105°C の過熱警告要因の割り込み 0h = 割り込みなし 1h=割り込みあり
0	INT_LTCH1[0]	R	0h	割り込み出力に対する DSP マスクによる割り込み 0h = 割り込みなし 1h=割り込みあり

7.1.46 INT_LATCH_2 レジスタ (オフセット = 62h) [リセット = 00h]

INT_LATCH_2 を表 7-47 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-47. INT_LATCH_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH2[7]	R	0h	ウォッチドッグの有効期限切れによる割り込み 0h = 割り込みなし 1h=割り込みあり
6	予約済み	R	0h	予約済み
5	INT_LTCH2[5]	R	0h	フレーム同期外れ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
4	INT_LTCH2[4]	R	0h	PLL クロック エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH2[3]	R	0h	tdm エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH2[2]	R	0h	比率変更エラー フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	INT_LTCH2[1]	R	0h	fs 変更エラー フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
0	INT_LTCH2[0]	R	0h	無効な比率 fs フラグによる割り込み 0h = 割り込みなし 1h=割り込みあり

7.1.47 INT_LATCH_3 レジスタ (オフセット = 63h) [リセット = 00h]

INT_LATCH_3 を表 7-48 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-48. INT_LATCH_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH3[7]	R	0h	過熱検出要因の割り込み 0h = 割り込みなし 1h=割り込みあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	INT_LTCH3[3]	R	0h	Class-D 過電流保護要因の割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH3[2]	R	0h	PVDD 電源の過電圧による割り込み。 0h = 割り込みなし 1h=割り込みあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.48 INT_LATCH_4 レジスタ (オフセット = 64h) [リセット = 00h]

INT_LATCH_4 を表 7-49 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-49. INT_LATCH_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH4[7]	R	0h	VBAT 低電圧エラー要因の割り込み 0h = 割り込みなし 1h=割り込みあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	INT_LTCH4[2]	R	0h	クロック停止フラグ要因の割り込み 0h = 割り込みなし 1h=割り込みあり
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.49 NG_IDLE_STATUS レジスタ (オフセット = 65h) [リセット = 00h]

表 7-50 に、NG_IDLE_STATUS を示します。

概略表に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-50. NG_IDLE_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NG_STATUS	R	0h	ノイズ モード ステータス ビット 0h = デバイスがノイズ ゲート モードではありません 1h = デバイスはノイズ ゲート モード中です
6	MUSIC_EFF_STATUS	R	0h	音楽用効率モード ステータス ビット 0h = デバイスは音楽用効率モードではありません 1h = デバイスは音楽用効率モード中です
5-0	予約済み	R	0h	予約済み

7.1.50 INT_MASK_5 レジスタ (オフセット = 66h) [リセット = 00h]

INT_MASK_5 を表 7-51 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みフラグのマスクを構成します

表 7-51. INT_MASK_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK5[7]	R/W	0h	出荷時較正の完了に起因する割り込みのマスク 0h = マスクしない 1h = マスクあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	INT_MASK5[4]	R/W	0h	短絡検出による割り込みのマスク 0h = マスクしない 1h = マスクあり
3	INT_MASK5[3]	R/W	0h	開路検出による割り込みのマスク 0h = マスクしない 1h = マスクあり
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	
0	予約済み	R	0h	

7.1.51 INT_LATCH_5 レジスタ (オフセット = 67h) [リセット = 00h]

INT_LATCH_5 を表 7-52 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込みのステータスを提供します

表 7-52. INT_LATCH_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH5[7]	R	0h	出荷時校正の完了に起因する割り込み 0h = 割り込みなし 1h=割り込みあり
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	INT_LTCH5[4]	R	0h	短絡検出による割り込み 0h = 割り込みなし 1h=割り込みあり
3	INT_LTCH5[3]	R	0h	開路検出による割り込み 0h = 割り込みなし 1h=割り込みあり
2	INT_LTCH5[2]	R	0h	入力オーディオの無音検出による割り込み 0h = 割り込みなし 1h=割り込みあり
1	予約済み	R	0h	
0	予約済み	R	0h	

7.1.52 REV_ID レジスタ (オフセット = 78h) [リセット = 00h]

表 7-53 に、REV_ID を示します。

概略表に戻ります。

REV および PG ID を返します。

表 7-53. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	REV_ID	R	0h	リビジョン ID を返します。

7.1.53 BOOK レジスタ (オフセット = 7Fh) [リセット = 00h]

BOOK を表 7-54 に示します。

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはブックを設定します。

表 7-54. BOOK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BOOK	R/W	0h	デバイスのブックを設定します。

7.2 PAGE_1 のレジスタ

PAGE_1 レジスタのメモリマップされたレジスタを、表 7-55 に示します。表 7-55 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 7-55. PAGE_1 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	PAGE	デバイスのページ	セクション 7.2.1
Ah	BOOST_TUNING_12	昇圧構成レジスタ	セクション 7.2.2
Bh	MISC_01	その他の構成	セクション 7.2.3
Eh	DEV_PERF_TUNING_07	デバイス性能調整レジスタ	セクション 7.2.4
10h	FAULT_DET_DIS	故障レジスタ	セクション 7.2.5
17h	DEVICE_CFG_06	IV 検出性能調整レジスタ	セクション 7.2.6
18h	PVDD_OVLO1	PVDD 過電圧	セクション 7.2.7
19h	DEVICE_CFG_07	デバイス構成	セクション 7.2.8
1Ah	PVDD_OVLO2	PVDD 過電圧	セクション 7.2.9
1Fh	DEV_PERF_TUNING_20	デバイス性能調整レジスタ	セクション 7.2.10
21h	DEVICE_CFG_08	電力制御	セクション 7.2.11
23h	DEV_PERF_TUNING_11	デバイス性能調整レジスタ	セクション 7.2.12
29h	DEVICE_CFG_09	デバイス構成	セクション 7.2.13
2Bh	DEV_PERF_TUNING_04	デバイス性能調整レジスタ	セクション 7.2.14
64h	I2C_CKSUM	I2C のチェックサム	セクション 7.2.15

7.2.1 PAGE レジスタ (オフセット = 0h) [リセット = 00h]

PAGE を表 7-56 に示します。

[概略表](#)に戻ります。

デバイスのメモリ マップはページとブックに分割されています。このレジスタはページを設定します。

表 7-56. PAGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE	R/W	0h	デバイス ページの設定。 00h = ページ 0 01h = ページ 1 FFh=ページ 255

7.2.2 BOOST_TUNING_12 レジスタ (オフセット = Ah) [リセット = 98h]

BOOST_TUNING_12 を表 7-57 に示します。

[概略表](#)に戻ります。

昇圧構成

表 7-57. BOOST_TUNING_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-2	BOOST_TUNING_12	R/W	6h	昇圧調整レジスタ。PPC3 ソフトウェアを使用して構成できます
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.2.3 MISC_01 レジスタ (オフセット= Bh) [リセット= 00h]

MISC_01 を表 7-58 に示します。

[概略表](#)に戻ります。

このレジスタはデバッグにおけるループバック用です

表 7-58. MISC_01 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	TDM_LOOPBACK	R/W	0h	SDIN から SDOUT ピンへのループバック オプション 0h=ディセーブル 1h = ループ バックが有効
4	TDM_DESER_LOOPBACK	R/W	0h	ASI プロトコル デシリアライザ後の SDIN から SDOUT へのループバック 0h=ディセーブル 1h = ループ バックが有効
3-2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

7.2.4 DEV_PERF_TUNING_07 レジスタ (オフセット = Eh) [リセット = 0Bh]

DEV_PERF_TUNING_07 を表 7-59 に示します。

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-59. DEV_PERF_TUNING_07 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	予約済み	R	0h	予約済み
3-0	DEV_PERF_TUNING_07	R/W	Bh	デバイス性能調整レジスタ 0h = 外部 PVDD モード調整 Bh = 1S モード調整

7.2.5 FAULT_DET_DIS レジスタ (オフセット = 10h) [リセット = 00h]

表 7-60 に、FAULT_DET_DIS を示します。

概略表に戻ります。

デバイスに対する故障応答を制御

表 7-60. FAULT_DET_DIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	PVDD_OV_DET_DIS	R/W	0h	PVDD OV イベント発生時のデバイス シャットダウン。
0	DEV_PERF_TUNING_22	R/W	0h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します

7.2.6 DEVICE_CFG_06 レジスタ (オフセット = 17h) [リセット = 29h]

DEVICE_CFG_06 を表 7-61 に示します。

[概略表](#)に戻ります。

IV センス性能の調整

表 7-61. DEVICE_CFG_06 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-2	CLASSH_TUNING_06	R/W	Ah	Eh = 調整レジスタ
1-0	IV_TUNING_06	R/W	1h	IV 検出性能調整レジスタ 0h = 予約済み 1h = 予約済み 2h = パフォーマンス調整 3h = 予約済み

7.2.7 PVDD_OVLO1 レジスタ (オフセット = 18h) [リセット = 6Bh]

PVDD_OVLO1 を表 7-62 に示します。

[概略表](#)に戻ります。

外部 PVDD モードで PVDD OVLO 電圧を設定します

表 7-62. PVDD_OVLO1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PVDD_OVLO_TH_SEL_E XT_BOOST	R/W	1h	外部 PVDD モード中の PVDD ovlo スレッシュホールド選択 0h = 13.5 V 1h = 14 V 2h = 15 V 3h = 16 V
5-4	予約済み	R	0h	予約済み
3-2	BOOST_TUNING_13	R/W	2h	昇圧調整レジスタ 0h = 予約済み 1h = 2S 動作モード 2h = 1S 動作モード 3h = 予約済み
1-0	予約済み	R	0h	予約済み

7.2.8 DEVICE_CFG_07 レジスタ (オフセット = 19h) [リセット = 23h]

DEVICE_CFG_07 を表 7-63 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイス仕様を満たすためにブースト性能を最適化するために使用されます

表 7-63. DEVICE_CFG_07 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	DEV_PERF_TUNING_03	R/W	1h	デバイス性能調整レジスタ 0h = デバイス パフォーマンス構成 1h = 予約済み
4	DEV_PERF_TUNING_23	R/W	0h	デバイス性能調整レジスタ
3-0	予約済み	R	0h	予約済み

7.2.9 PVDD_OVLO2 レジスタ (オフセット = 1Ah) [リセット = C4h]

PVDD_OVLO2 を表 7-64 に示します。

[概略表](#)に戻ります。

PVDD OVLO 電圧を内部昇圧モードに構成します

表 7-64. PVDD_OVLO2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PVDD_OVLO_TH_SEL	R/W	3h	Pcdd ovlo スレッシュホールドの選択 - 内部昇圧モード 0h = 13.5 V 1h = 14 V 2h = 15 V 3h = 16 V
5-3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.2.10 DEV_PERF_TUNING_20 レジスタ (オフセット = 1Fh) [リセット = 00h]

DEV_PERF_TUNING_20 を表 7-65 に示します。

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-65. DEV_PERF_TUNING_20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	dig_spare_01	R/W	0h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.2.11 DEVICE_CFG_08 レジスタ (オフセット = 21h) [リセット = 00h]

DEVICE_CFG_08 を表 7-66 に示します。

[概略表](#)に戻ります。

ブロックの電源状態を制御

表 7-66. DEVICE_CFG_08 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	isns_pd	R/W	0h	電流センス パワーダウン。 0h = 電流検出がアクティブ 1h = 電流検出はパワーダウンし
2	vsns_pd	R/W	0h	電圧検出パワーダウン。 0h = 電圧検出はアクティブです 1h = 電圧検出はパワーダウンしています
1-0	予約済み	R	0h	予約済み

7.2.12 DEV_PERF_TUNING_11 レジスタ (オフセット = 23h) [リセット = 00h]

DEV_PERF_TUNING_11 を表 7-67 に示します。

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-67. DEV_PERF_TUNING_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	DEV_PERF_TUNING_11	R/W	0h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します 0h = デバイス性能の調整。PPC3 ソフトウェアは、必要な正しい構成を生成します 1h = デバイス性能の調整。PPC3 ソフトウェアは、必要な正しい構成を生成します
3-0	予約済み	R	0h	予約済み

7.2.13 DEVICE_CFG_09 レジスタ (オフセット = 29h) [リセット = 64h]

DEVICE_CFG_09 を表 7-68 に示します。

[概略表](#)に戻ります。

このレジスタは、デバイスの内部バイアス電圧要件を選択するためのものです

表 7-68. DEVICE_CFG_09 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	DEVICE_CFG_1	R/W	3h	内部バイアス電圧を構成します 0h = デバイス パフォーマンス構成 1h = 予約済み 2h = 予約済み 3h = 予約済み 4h = 予約済み 5h = 予約済み 6h = 予約済み 7h = 予約済み
4	VBAT_BIAS_SEL1	R/W	0h	VBAT ピンの電圧に基づいて内部バイアス電圧を構成します 0h = VBAT_BIAS_SEL2 レジスタに基づいています 1h = VBAT_2S/2 として補間
3-2	VBAT_BIAS_SEL2	R/W	1h	VBAT_BIAS_SEL1 = 0 のとき、内部バイアス電圧を構成します 0h = 予約済み 1h = VBAT ピンの最小電圧 > 2.9V 2h = 最小 VBAT ピン電圧 > 3.3V 3h = 最小 VBAT ピン電圧 > 3.7V
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

7.2.14 DEV_PERF_TUNING_04 レジスタ (オフセット = 2Bh) [リセット = 00h]

DEV_PERF_TUNING_04 を表 7-69 に示します。

[概略表](#)に戻ります。

デバイス パフォーマンスの調整

表 7-69. DEV_PERF_TUNING_04 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	DEV_PERF_TUNING_04	R/W	0h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します
0	DEV_PERF_TUNING_05	R/W	0h	デバイス パフォーマンスの調整。PPC3 ソフトウェアは、必要な正しい構成を生成します

7.2.15 I2C_CKSUM レジスタ (オフセット = 64h) [リセット = 00h]

I2C_CKSUM を表 7-70 に示します。

[概略表](#)に戻ります。

I2C チェックサムを返します。

表 7-70. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM	R/W	0h	I2C チェックサムを返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのブックとページの他のレジスタに書き込みを行うと更新されます。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TAS2573 は、昇圧、I-V センス、バッテリー電圧および温度モニタリング機能を内蔵したモノラル チャンネルのデジタル入力対応 Class-D アンプです。オンチップの DSP は、スマート アンプ オーディオ チューニング、スピーカ保護、高度なバッテリー ガード アルゴリズムをサポートしています。I²S オーディオ データは、SDIN データ ポート経由でビット クロックおよびフレーム同期信号と共にホスト プロセッサから供給され、デバイスはエコー リファレンス ストリームを SDOUT データ ポート経由で返します。I²C バスは、構成と制御に使用されます。

このデバイスには VBAT - 2.5V ~ 5.5V、VDD - 1.65V ~ 1.95V の外部電源電圧が必要で、1.2V または 1.8V の IOVDD レールをサポートしています。

PurePath™ Console 3 (PPC3) ソフトウェアは、デバイスを構成するための推奨ツールで、PPC3 はさまざまなアプリケーション シナリオに応じてデバイスおよびアルゴリズムの性能パラメータを最適化できます。

8.2 代表的なアプリケーション

以下の図は、1S、低電圧 1S バッテリーおよび 2S リチウムイオンバッテリー、および外部 PVDD または 3S バッテリー接続の代表的なアプリケーション接続を示します。VBAT_SNS ピンの接続は 1S モードではオプションであり、使用しない場合は VBAT_SNS ピンをグラウンドに接続する必要があります。AD1 および AD2 はアドレス検出に使用し、「I²C モード アドレスの選択」セクション (セクション 6.5.2) に記載されているように、最大 4 つの I²C ターゲットアドレスをサポートするため IOVDD またはグラウンドに接続できます。

必要に応じて、システムは同じ 1.8V 電源を使用して IOVDD および VDD に電力を供給できます。デカップリング コンデンサ C2 と C3 はデバイス ピンに近づけて配置する必要があります。

電源を供給する VDD 信号はデバイスの性能を高めるために重要であり、寄生インダクタンスを最小限に抑えるために、ソース PMIC から VDD ピンまで幅広いパターンを使用する必要があります。VDD 電源リップルは最小限に維持する必要があります、パターンは共通の電源プレーンに接続する必要があります。

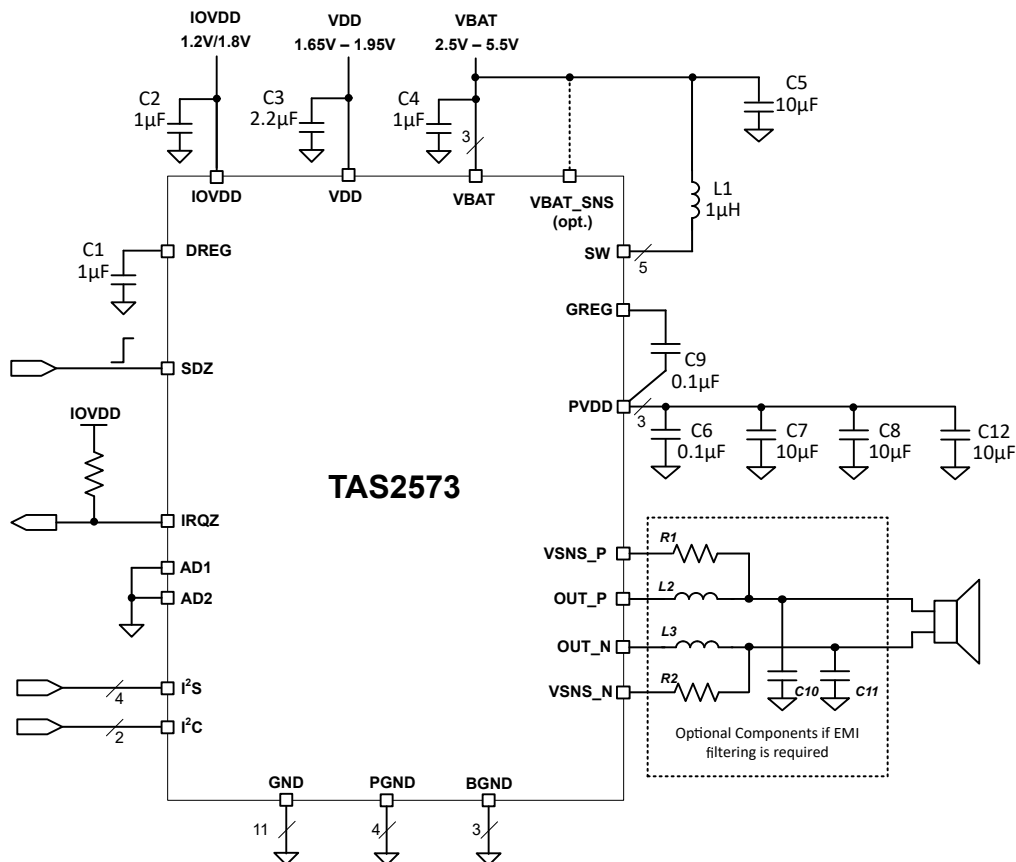


図 8-1. 1S システムのアプリケーション図

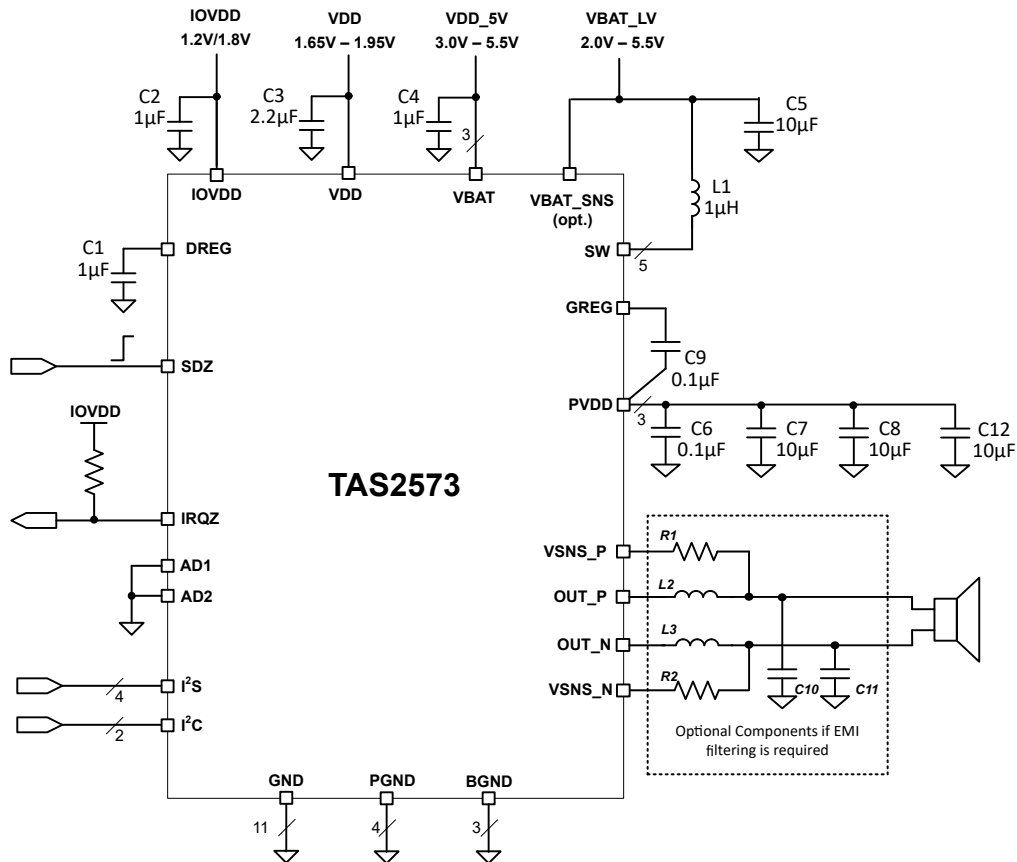


図 8-2. 低電圧 1S バッテリー システムのアプリケーション図

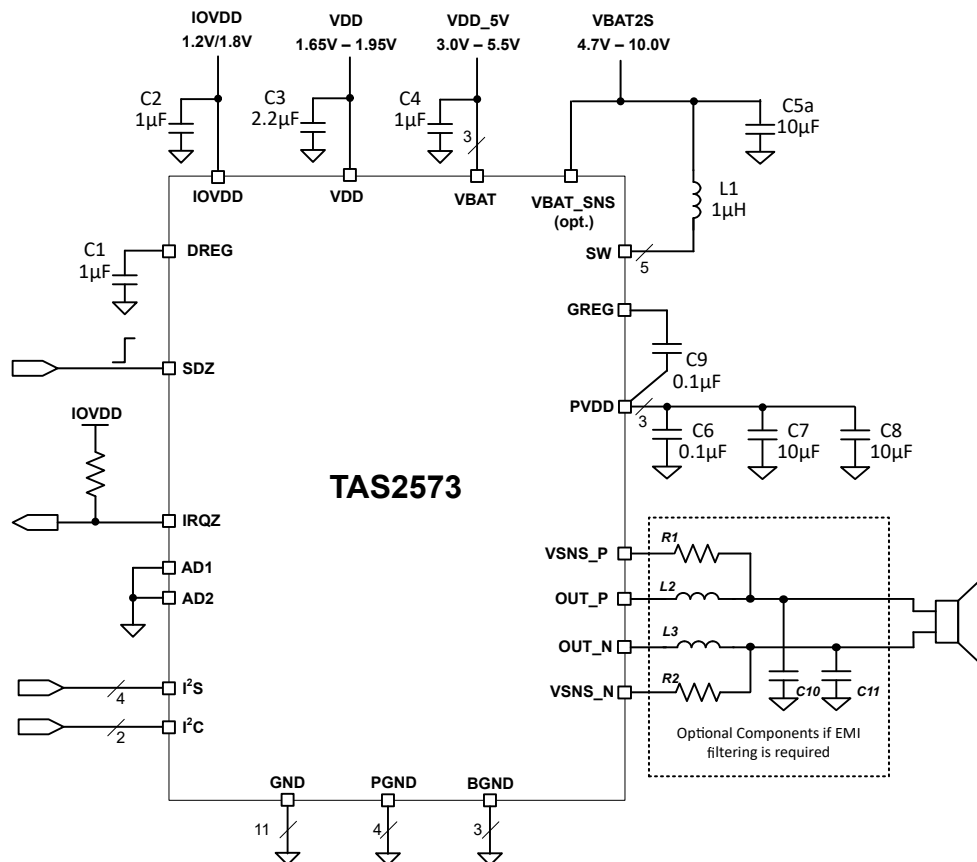


図 8-3. 2S バッテリー システムのアプリケーション図

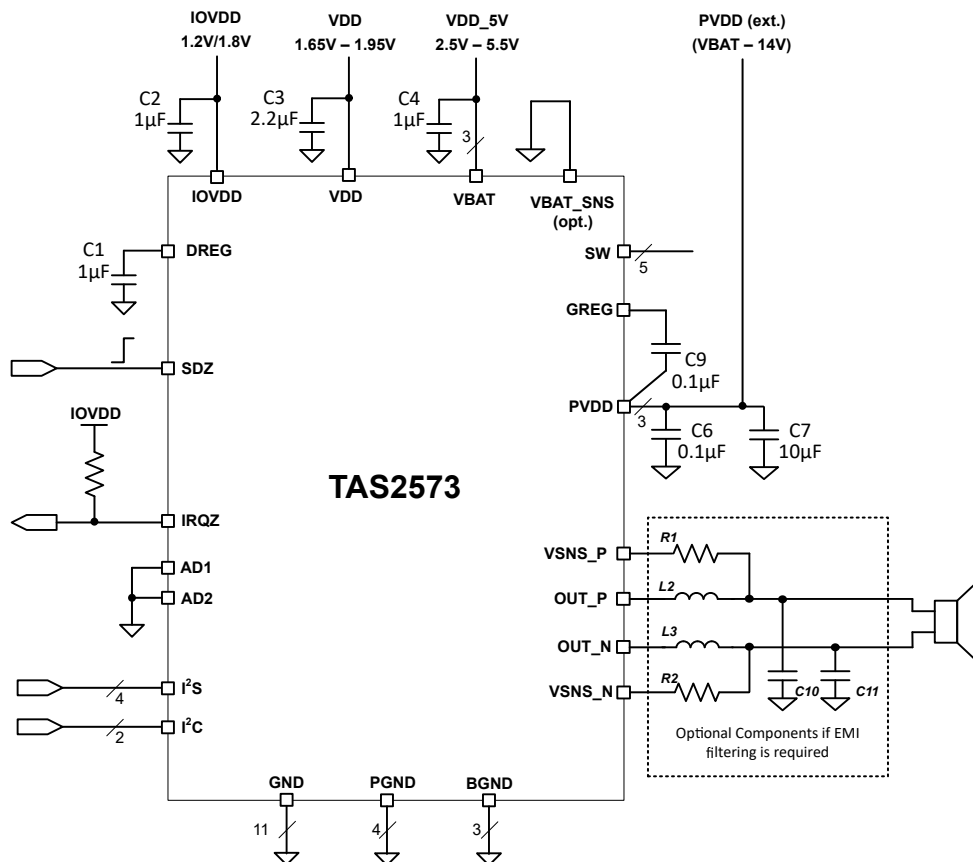


図 8-4. 外部 PVDD または 3S バッテリ システムのアプリケーション図

表 8-1. 推奨外付け部品

部品	説明	仕様	最小値	標準値	最大値	単位
L1	昇圧コンバータ インダクタ	インダクタンス、許容誤差 20%	0.47	1		μH
		飽和電流		5.3		A
L2、L3	オプションの EMI フィルタ コンデンサ (L2、L3 が使用されている場合は R1、R2 を使用するものとします)	DC 電流	2			A
C1、C2	DREG、IOVDD デカップリング	容量、許容誤差 20%		1		μF
		定格電圧	2	6.3		V
C3	VDD デカップリング	容量、許容誤差 20%		2.2		μF
		定格電圧	2	6.3		V
C4	VBAT デカップリング	容量、許容誤差 20%		1		μF
		定格電圧	6.3	10		V
C5	VBAT パワー デカップリング	容量、許容誤差 20%		10		μF
		定格電圧	6.3	10		V
C5a	VBAT 2S パワーデ カップリング	容量、許容誤差 20%		10		μF
		定格電圧	10	16		V
C6	PVDD 低 ESL デカップリング	容量、許容誤差 20%		0.1		μF
		定格電圧	16	25		V
C7、C8、C12 ⁽¹⁾	PVDD パワー デカップリング	容量、許容誤差 20%		10		μF
		定格電圧	16	25		V
		1S バッテリー システムにおける 13V DC 時のディレーティング後の有効な PVDD 合計容量	3			μF
		2S バッテリー システムにおける 13V DC 時のディレーティング後の有効な PVDD 合計容量 注:C12 は、2S システムにおいてディレーティング仕様を満たすためには不要です。	2			μF
C9	GREG デカップリング	容量、許容誤差 20%		0.1		μF
		定格電圧	6.3	10		V
C10、C11	オプションの EMI フィルタ コンデンサ (C10、C11 が使用されている場合は L2、L3 を使用するものとします)	定格電圧	2xPVDD			V
R1、R2	オプションの電圧センス抵抗 (L2、L3 を使用する場合は使用する必要あり)	抵抗、5% 公差	1	2.2	4.7	kΩ
		温度係数			300	ppm/C
		電源		0.01		W

(1) コンデンサのディレーティング要件を満たすより値の大きいコンデンサに 10μF を置き換えると、コンデンサの数を減らすことができます。たとえば、2 つの GRM188C61E206ME01 コンデンサは 1S バッテリー システムの仕様を満たし、0603 パッケージ サイズのコンデンサを 1 個減らすことで基板面積を削減します。

8.2.1 設計要件

表 8-1 は、本アプリケーションに必要な BOM 部品を示しています。表 8-2 に、アプリケーションの他の要件を示します。

表 8-2. 設計パラメータ

パラメータ	条件	仕様
VDD 電源電流 ⁽¹⁾	VDD Y ブリッジがディスエーブル、48ksps モード、全ブロックがイネーブル	15mA 未満
	VDD Y ブリッジがディスエーブル、96ksps モード、全ブロックがイネーブル	20mA 未満
IOVDD 電源電流	1.2V モード	1mA 未満
	1.8V モード	1mA 未満
VBAT 電源電流	1S または 2S の動作モード。注: 電流はデバイスの VBAT ピンを介してのみ流れ、バッテリー電流が昇圧インダクタ SW ピンを経由して取り込まれることはありません。	10mA 未満

- (1) VDD Y ブリッジが有効化されると、選択されたスイッチオーバー スレッショルド電圧と出力負荷インピーダンスに応じて、VDD 電源から追加の電力が消費されます。

8.2.2 詳細な設計手順

8.2.2.1 モノラル / ステレオの構成

このアプリケーションでは、デバイスはモノラル モードで動作していることが想定されています。TAS2573 の I²C アドレスを変更してステレオまたはマルチ チャネル動作をサポートする方法については、[セクション 6.5.2](#) を参照してください。モノラルまたはステレオの構成は、デバイス性能には影響しません。

8.2.2.2 昇圧コンバータ パッシブ デバイス

昇圧コンバータは複数の受動素子を必要とし、これらは [セクション 8.2](#) で L1、C7、C8、C12 とラベル付けされており、仕様は [表 8-1](#) に記載されています。これらの仕様は TAS2573 の設計に基づいており、デバイスの性能目標を満たすために必要です。特に、L1 は電流飽和領域に入らないようにする必要があります。L1 の飽和電流 (I_{SAT}) は、Class-D のピーク電力を供給するために (ILIM + 5%) を超える必要があります。I_{SAT} と ILIM の値は、アプリケーションで必要とされるピーク出力電力に基づいて選択する必要があります。

また、昇圧安定性のために、L1/C (C7、C8、C12 のディレーティング値) の比率は 1/3 よりも小さい必要があります。2S バッテリー動作モードでは、この比率が 1/2 に緩和されます。この比率は、昇圧インダクタおよび出力コンデンサの最悪条件でのばらつきを含めて維持される必要があります。

十分なエネルギー伝達を確保するために、L1 は昇圧スイッチング周波数 (100kHz~4MHz) において 0.47μH 以上である必要があります。0.47μH を使用することで、必要なコンデンサ容量を削減でき、基板スペースの節約にもなりますが、その代償として VBAT の電圧リップルが増加し、平均入力電流が低下するため、デバイスの最大出力電力 (P_{OUT}) も低下します。TAS2573 の PSRR が高いと、VBAT 電源への追加リップルによる影響を最小限に抑えることができます。

L1 インダクタの直列抵抗 (ESR) も、アプリケーションにおいて選定すべき重要なパラメータの一つです。ESR が小さくなると、電力損失が小さくなり、システム全体の効率向上に役立ちます。使用可能な基板面積に基づいて、アプリケーション要件を満たす中で最も ESR の小さいインダクタを選定することで、より高い効率性能が得られます。

8.2.2.3 EMI パッシブ デバイス

TAS2573 はエッジレート制御をサポートして EMI を最小化していますが、システム設計者は EMI をさらに低減するために、Class-D 出力に受動デバイスを含めることを希望する可能性があります。これらのパッシブ デバイスは、[セクション 8.2](#) で L2、L3、C10、および C11 とラベル付けされています。C10 および C11 を使用する場合は、L2 および L3 も取り付ける必要があります。出力段の安定性を維持するために、C10 および C11 はそれぞれ L2 および L3 の後段に配置する必要があります。EMI フィルタを使用する場合、Vsense (VSNS_P/N) ピンには追加の直列抵抗 R1 および R2 を挿入する必要があります。

EMI フィルタの部品値の選定は、これらのフィルタで抑制すべき周波数帯に関するアプリケーションの要件に依存します。カットオフ周波数を高く設定することで、BOM のサイズを削減でき、フィルタに関連するスイッチング電力損失も低減されます。アプリケーションでは、システムの周波数抑制目標を満たす中で最も高いカットオフ周波数のフィルタを選定することで、より高い効率性能を得ることができます。

インダクタやフェライト ビーズなど、EMI フィルタに使用される部品の DC 抵抗も、システムの効率に大きな影響を与えます。抵抗を小さくすると、電力損失が小さくなり、システム全体の効率向上に役立ちます。基板上のスペースに基づいて、アプリケーションの要件を満たす中で最も小さい DC 抵抗を持つ部品を選ぶことで、より高い効率を得ることができます。

8.2.2.4 その他のパッシブ デバイス

GREG コンデンサは、昇圧および Class-D の電力供給と効率仕様を満たすために 100nF が必要です。デバイスの正常な動作のために、GREG コンデンサはデバイスの PVDD ピンにケルビン/スター接続する必要があります。

デバイスの性能を維持し、電源リップルを仕様範囲内に抑えるためには、デカップリング コンデンサの電源/グランド経路における寄生インダクタンスを最小限に抑える必要があります。すべての電源用デカップリング コンデンサは、ESL を最小限に抑えるために、できる限りパッケージ フットプリントの小さいものを選定する必要があります。コンデンサのレイアウト配置および配線は、パターン上の寄生インダクタンスを最小限に抑えるうえで非常に重要です。詳細な推奨事項については、「[セクション 8.4.1](#)」セクションを参照してください。

8.2.3 アプリケーション特性の波形

$T_A = 25^\circ\text{C}$ 、 $V_{BAT} = 3.6\text{V}$ 、 $V_{DD}=1.8\text{V}$ 、 $IOVDD=1.8\text{V}$ 、負荷 = $8\Omega + 33\mu\text{H}$ 、 $L_{BOOST} = 1\mu\text{H}$ 、 $F_{IN} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、ゲイン = 21dBV 、 $BST_ILIM = 5.1\text{A}$ 、 $SDZ=1$ 、ノイズ ゲート モードがディスエーブル、代表的なアプリケーション使用例に基づき評価基板上で測定 (セクション 8.2)。特記のない限り、 $22\text{Hz} \sim 20\text{kHz}$ の重み付け帯域幅で Audio Precision を用いてフィルタなしで測定しています。

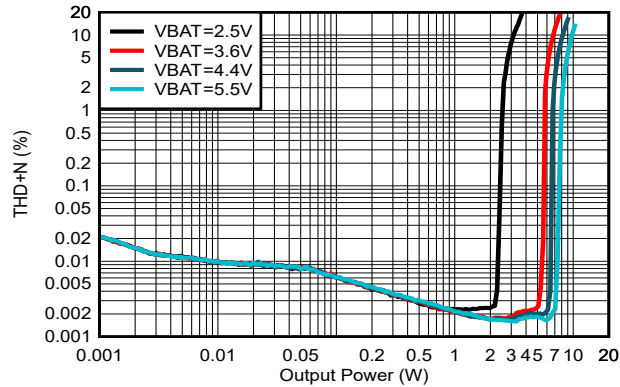


図 8-5. THDN と出力電力との関係

8.2.4 推奨事項および禁止事項

- ・ 帯域内オーディオ信号なしで超音波信号を生成するためにデバイスを使用し、時間ヒステリシスが 50ms 未満の V_{DD} Y ブリッジが有効な場合、帯域内の重み付けノイズが大きくなり、望ましい結果にならない可能性があります。Y ブリッジヒステリシス時間を 50ms 以上維持するか、Y ブリッジ機能を無効にして超音波信号の使用事例で帯域内ノイズを低減することを推奨します。
- ・ デバイスの性能調整がすべて正しく構成されるように、PPC3 ソフトウェアを使用してデバイスの i2c 構成スクリプトを生成する必要があります。

8.3 電源に関する推奨事項

TAS2573 は、 V_{DD} 、 $IOVDD$ 、 V_{BAT} 、 $PVDD$ (外部 $PVDD$ モードの場合) で外部から電圧を供給するための、任意のシーケンスでランプ アップ/ダウンする電源電圧をサポートしています。

電源の動作状態が安定しない場合は、 SDZ ピンを **Low** に保持する必要があります。すべての電源が安定したら、デバイスの動作を開始するために SDZ ピンを **High** にアサートできます。いずれかの電源が推奨動作電圧を下回るまでランプダウンする前に、 SDZ ピンを **Low** にプルする必要があります。

デバイスを外部 $PVDD$ モードで使用する場合、 SW パッドはフローティングのままにしておく必要があります。

すべての電源が有効となり、 SDZ ピンが **High** にリリースされると、デジタル コア電圧レギュレータが起動し、内部初期化シーケンスを開始します。ハードウェア リセットまたはソフトウェア リセットの後、デバイス内部ブロックの初期化を許可するために、デバイスへの追加の i2c コマンドは少なくとも $300\mu\text{s}$ 遅延させる必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- ・ 大電流を通す信号には広いパターンを使用し、可能な限りビアを避けます。ビアを避けられない場合は、低い寄生インダクタンスと高電流容量を実現するために、複数のビアを追加する必要があります。これらには、 $PVDD$ 、 V_{BAT} 、 V_{DD} 、 $PGND$ 、 $BGND$ 、 GND 、 OUT_P 、 OUT_N のパターンが含まれます。
- ・ $PGND$ と $BGND$ 信号は、寄生インダクタンスを最小限に抑えるため、基板のグランド プレーンに直接接続して短絡する必要があります。グランド プレーンに接続する前に、グランド ピン間 (GND と $PGND$ 、または GND と $BGND$ の共通配線など) の共通インダクタンスを避ける必要があります。

- OUT_P、OUT_N、SW、VSNS_P、VSNS_N などの高スイッチング信号パターン間の結合は、敏感な低電圧信号では避ける必要があります。
- OUT_P、OUT_N、SW、VSNS_P、VSNS_N などの高スイッチングラインとグラウンド/静的ノード間の容量を最小化します。容量が大きいと効率が低下します。OUT_P と OUT_N の間の結合も効率の低下につながります。
- VBAT の配線は、昇圧インダクタおよびデバイスの VBAT ピンへ、共通の VBAT 電源プレーンにスター接続される必要があります。デカップリング コンデンサ C4 はデバイスの近くに、デカップリング コンデンサ C5 はインダクタの近くに配置してください。
 - VBAT_SNS ピンを使用する場合、接続は電源プレーンにスター接続するか、可能な限りバッテリーに近い位置に接続する必要があります。昇圧インダクタ VBAT 接続の近くに VBAT_SNS ピンを接続しないでください。
- 昇圧インダクタは、VBAT と SW の間に配置し、デバイス端子の近くに配置します。デバイス端子とインダクタの間にはビアを設けないようにします。昇圧インダクタへの VBAT 配線は、デバイスで最高の性能を実現するために、最小限の配線抵抗で配線する必要があります。
- デカップリング コンデンサはデバイスにできるだけ近づけて配置する必要があります。デバイスの性能を最大限に引き出すために、デカップリング コンデンサには可能な限り小さいパッケージ サイズを使用することを推奨します。DREG、VDD、IOVDD、VBAT (C4 コンデンサ)、PVDD 低 ESL (C6 コンデンサ) は、0201 ケース サイズ以下にすることを推奨します。デカップリング コンデンサとデバイス端子との間のビアは避けるか、寄生インダクタンスを最小化するために複数のビアを追加する必要があります。
- すべてのデカップリング コンデンサのグラウンド端子は、複数のグラウンドビアにより確実にグラウンドプレーンへ接続する必要があります。コンデンサのグラウンドとデバイスのグラウンドピンの間のグラウンド配線ループは、最小限に抑える必要があります。
- VDD Y-ブリッジ機能のために、ホスト PMIC からデバイス VDD への配線は、寄生インダクタンスを最小限に抑えた広い電源プレーン配線にする必要があります。
- GREG-PVDD 間のコンデンサ (C9) については、コンデンサの PVDD 側を PVDD デカップリング コンデンサ (C6、C7、C8) に直接接続せず、デバイスの PVDD ピンにできるだけ近い位置に接続する必要があります。
- 外部 PVDD モードで動作する場合、SW ピンはフローティングのままとし、いかなる電源またはグラウンド信号にも接続しないようにする必要があります。

8.4.2 レイアウト例

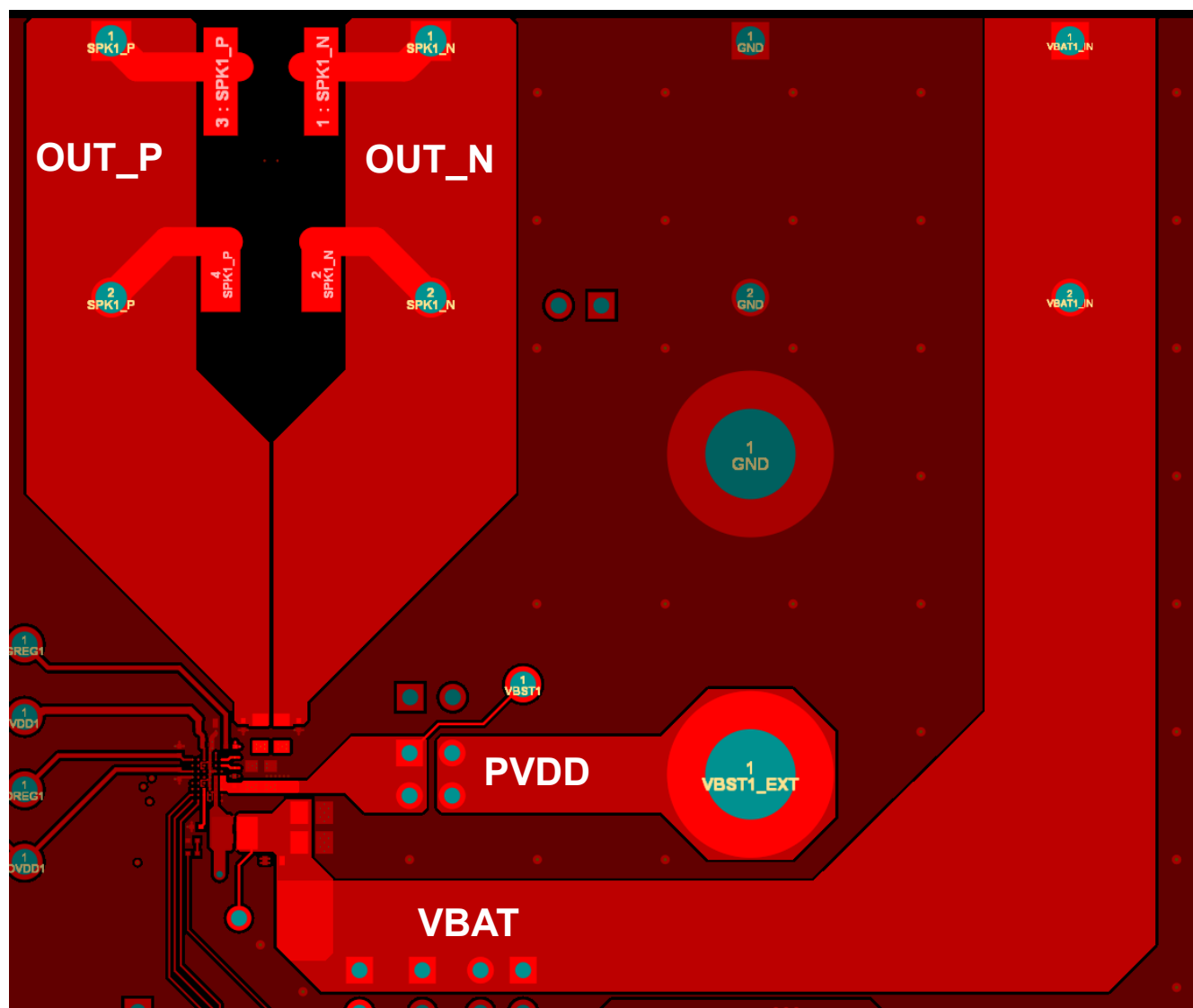


図 8-6. レイアウト例

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2026	*	初版リリース

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください

- テキサス・インスツルメンツ、[PurePath Console 3 \(PPC3\) ソフトウェア](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 付録：パッケージ オプション

パッケージ情報

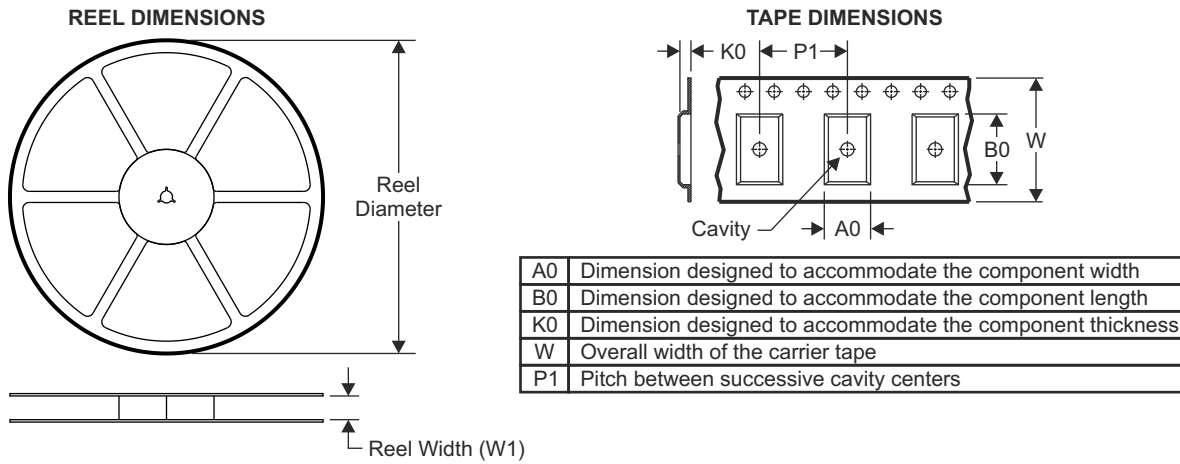
発注可能なデバイス	ステータス ⁽¹⁾	パッケージ タイプ	パッケージ図	ピン	パッケージの数 量	エコ プラン ⁽²⁾	リード / ボール 仕上げ ⁽⁶⁾	MSL ピーク温 度 ⁽³⁾	動作温度 (°C)	デバイス マーキ ング ⁽⁴⁾⁽⁵⁾
PTAS2573YCFR	アクティブ	WCSP	YCF	48	12000	RoHS & グリー ン	SNAGCU	レベ ル-1-260C- UNLIM	-40～85	RW138

- (1) マーケティング ステータスの値は次のように定義されています。
供給中:新しい設計への使用が推奨される量産デバイス。
最終受注中:TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品:TI は、このデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定:鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS):テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外):この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンパ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかに
 ついて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS および Sb/Br 非含有):テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な
 材質中の Br または Sb 重量が 0.1%を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされて
 いる場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- (6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値
 が最大列幅に収まらない場合は、2 行にまたがります。

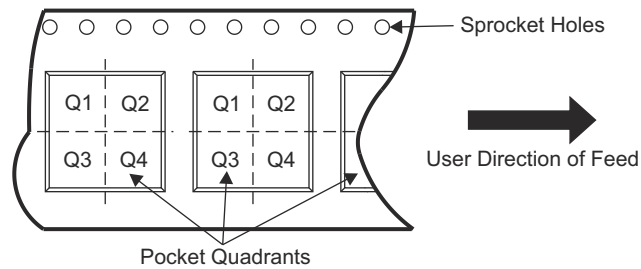
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によ
 って提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・イン
 スツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場
 合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合がありま
 す。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.2 テープおよびリール情報

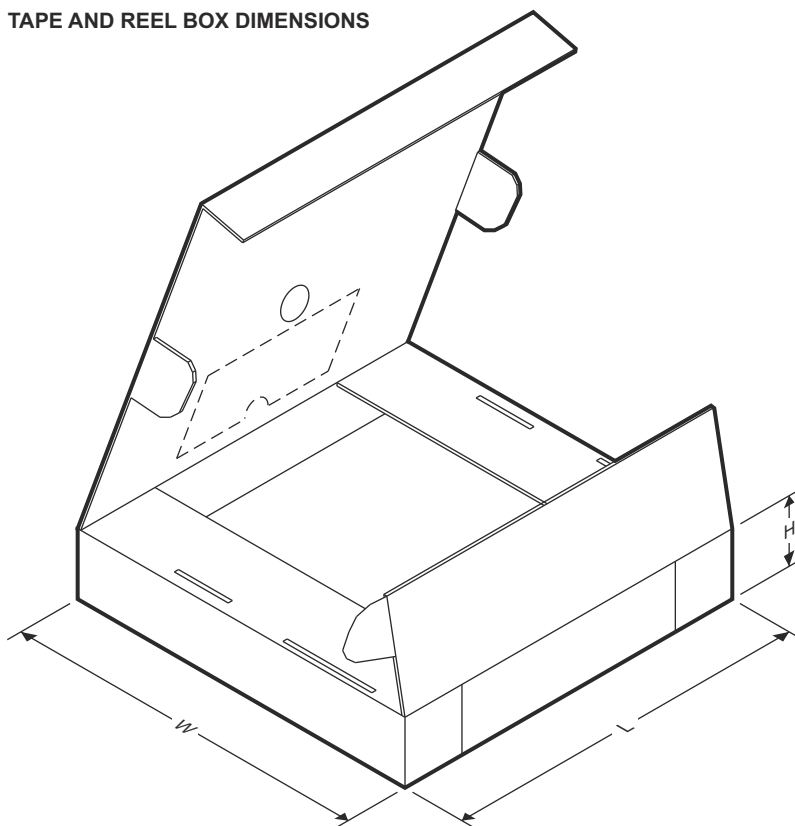


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

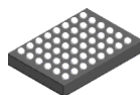


デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PTAS2573YCFR	WCSP	YCF	48	12000	330	12.4	2.36	3.30	0.60	4	12	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTAS2573YCFR	WCSP	YCF	48	12000	360	360	36

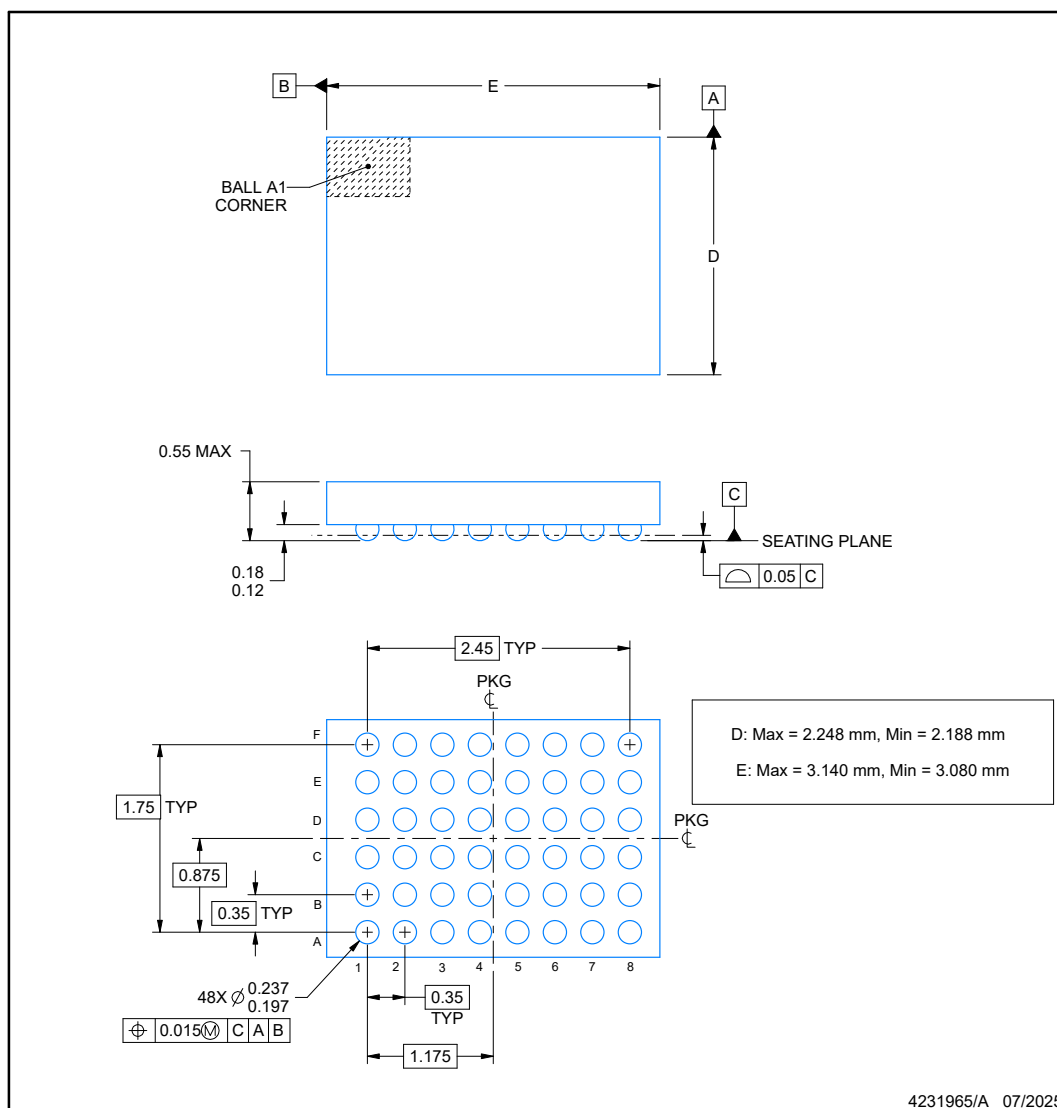


PACKAGE OUTLINE

YCF0048-C01

DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



ADVANCE INFORMATION

NOTES:

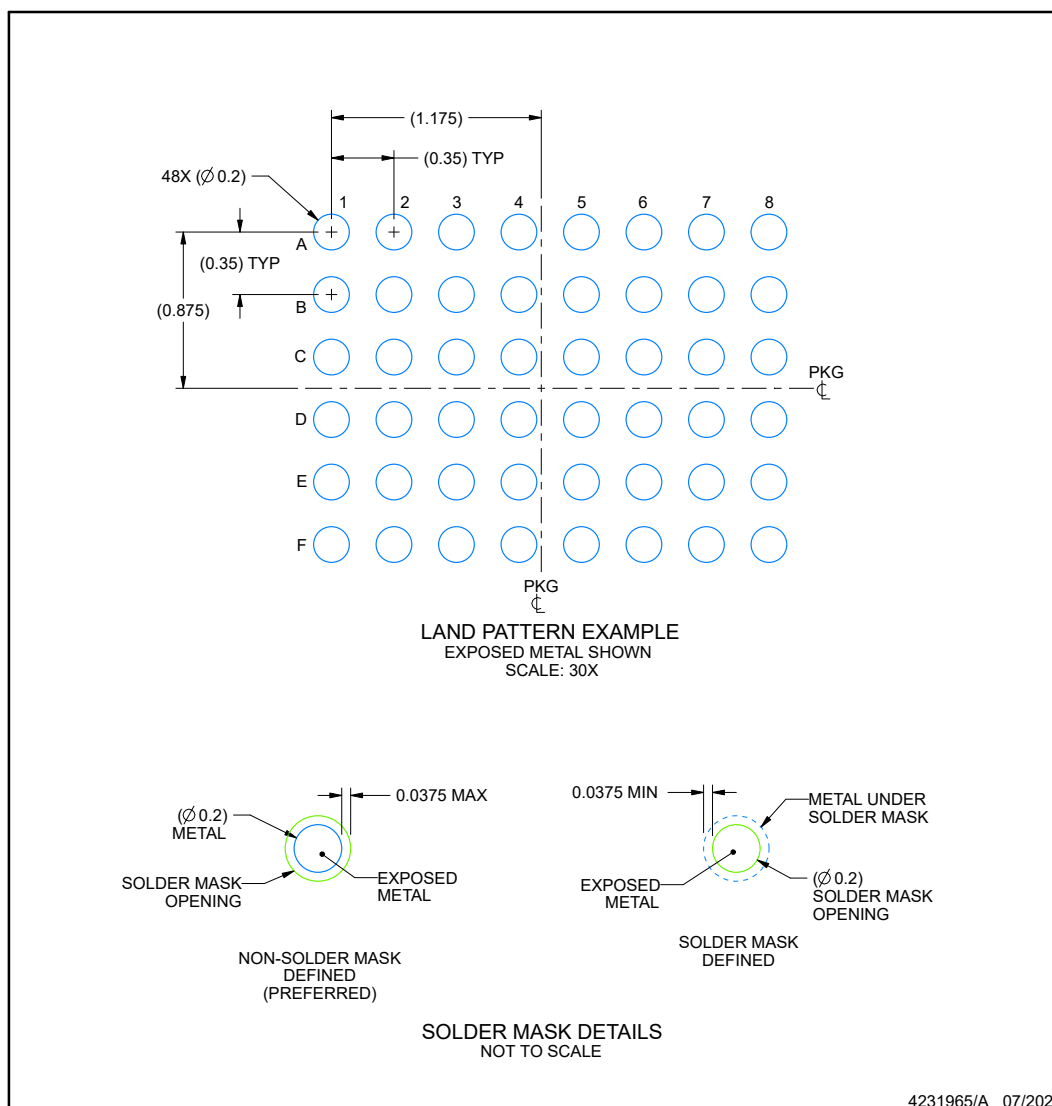
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YCF0048-C01

DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

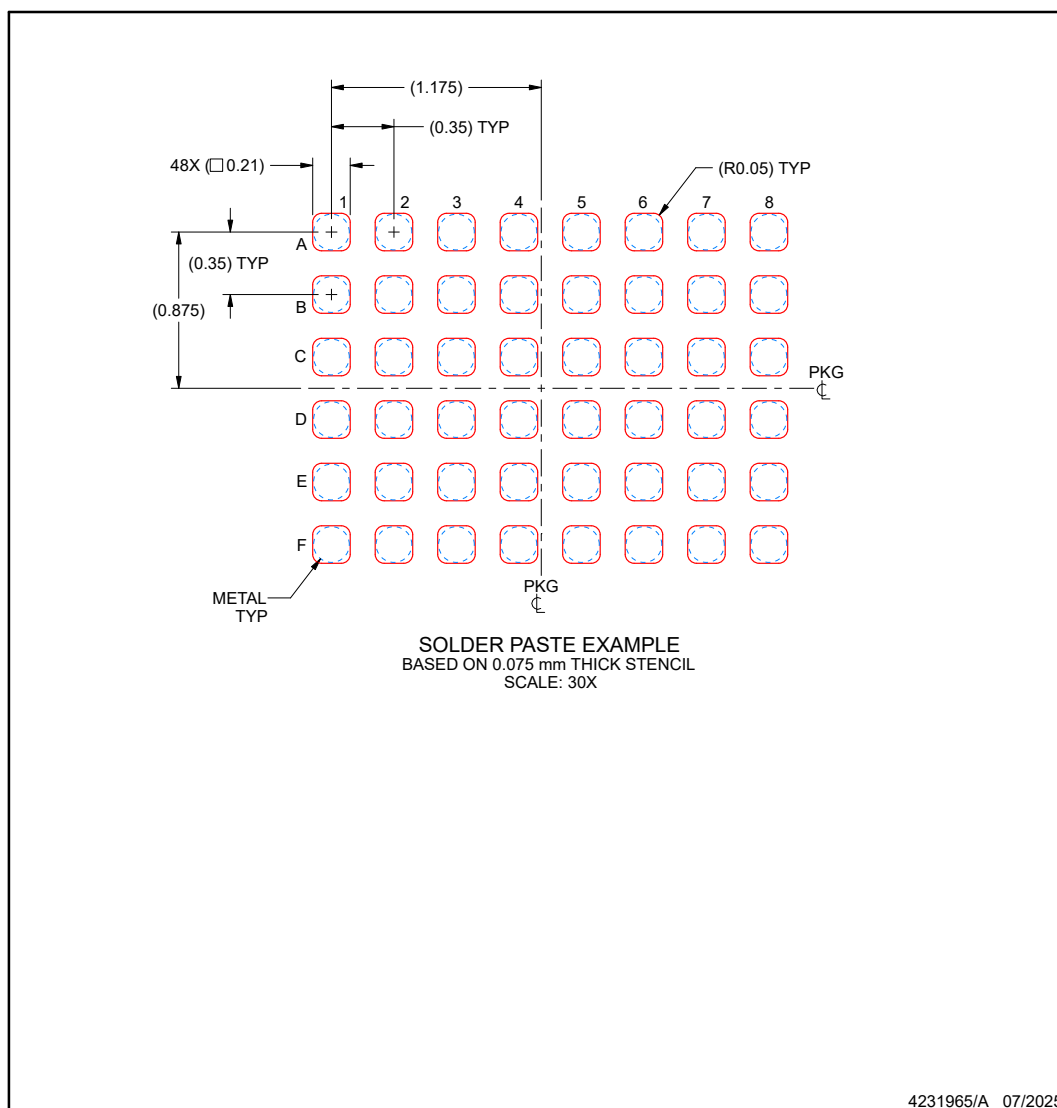
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCF0048-C01

DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTAS2573YCFR	Active	Preproduction	DSBGA (YCF) 48	3000 LARGE T&R	-	Call TI	Call TI	-	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月